

Číslicová elektronika

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

2 Klasifikácia PLD z hľadiska technológie výroby

- 2.1 FUSE
- 2.2 EPROM a EEPROM
- 2.3 SRAM
- 2.4 ANTIFUSE
- 2.5 FLASH

2 Klasifikácia PLD z hľadiska technológie výroby

Technológie programovania FPD obvodov

Uvedený popis sa netýka technológie výroby (bipolárnej, alebo CMOS technológie), ale programovacích metód PLD obvodov. Všetky obvody PLD sú vyrobené z kombinácie prepojovacích polí základných hradíel, KO alebo konfigurovateľných logických blokov- makrobuniek.

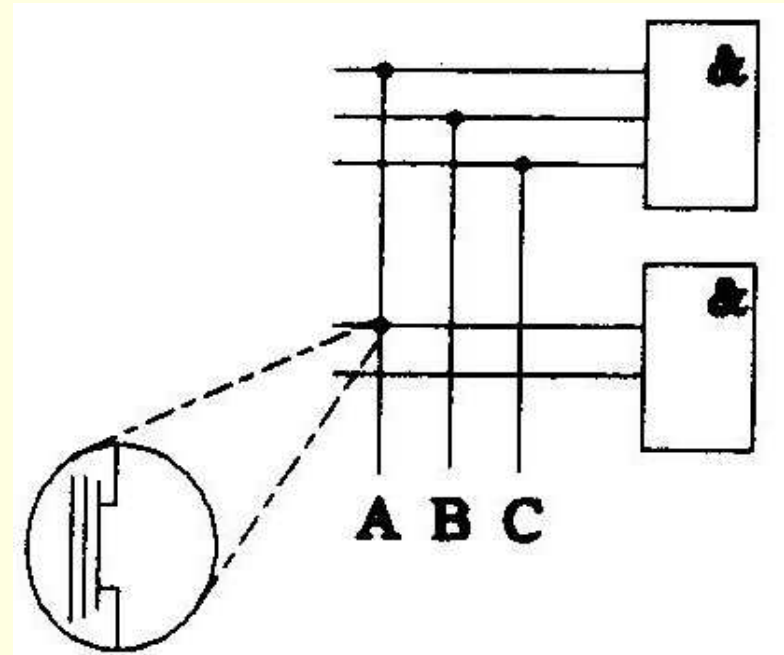
Programovateľné spínače vytvárajú pole ktoré prepája logické obvody a tým umožňuje implementovať požadovanú logickú funkciu.

Užívateľ, v závislosti na požadovanej logickej funkcii, určí v etape programovania obvodu PLD ktoré z prepojení budú nastavené a ktoré nie.

Technológie programovania FPD obvodov

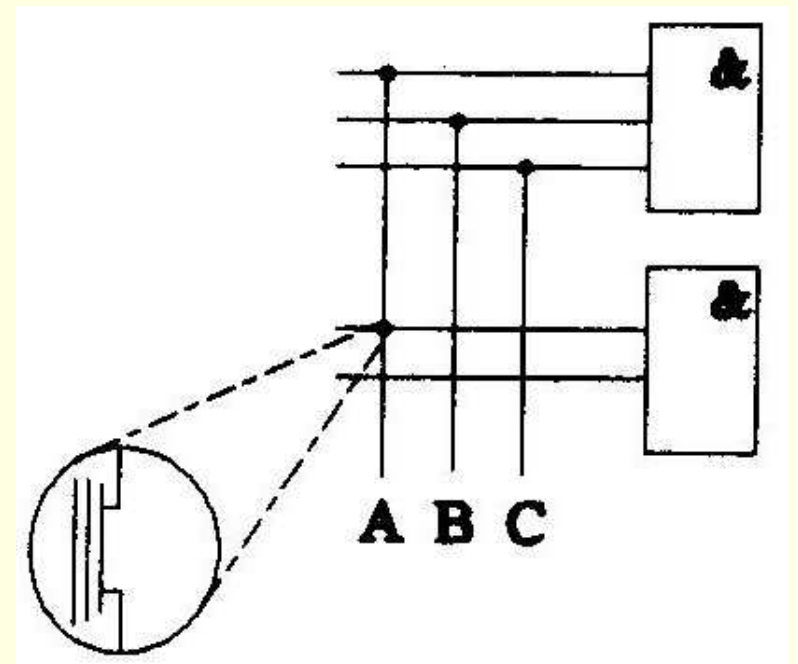
Programovateľnosť jednotlivých prepojení je zabezpečená použitím prepojovacích spínačov (Logic Control Element) realizovaných na báze rôznych technológií:

- pevné prepojenie (fuse/ antifuse) programované jeho pretavením/ zatavením (PROM),
- spínač na báze statickej pamäťovej bunky (SRAM),
- EPROM, EEPROM spínač.



2.1 FUSE

Prvý krát bolo programovateľné prepojenie použité v obvodoch **PLA**, realizované ako tavná poistka– *fuse* (OTP). Táto technológia nie je v súčasnosti významná aj keď sa stále používa a bola nahradená novšími technológiami programovania.



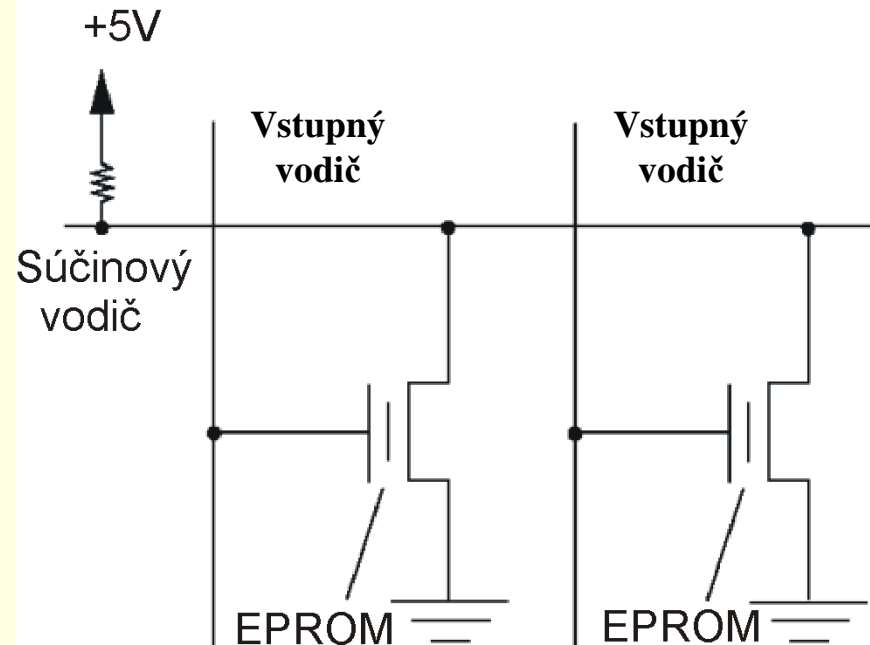
2.2 EPROM a EEPROM

V prípade CPLD obvodov je najvýznamnejšou technológiou vytvárania prepojení, technológia ktorá využíva tranzistory s plávajúcim hradlom. Rozlišujeme dve technológie:

- **EPROM** (Erasable Programmable Read-Only Memory)
- **EEPROM** (Electrically Erasable PROM)

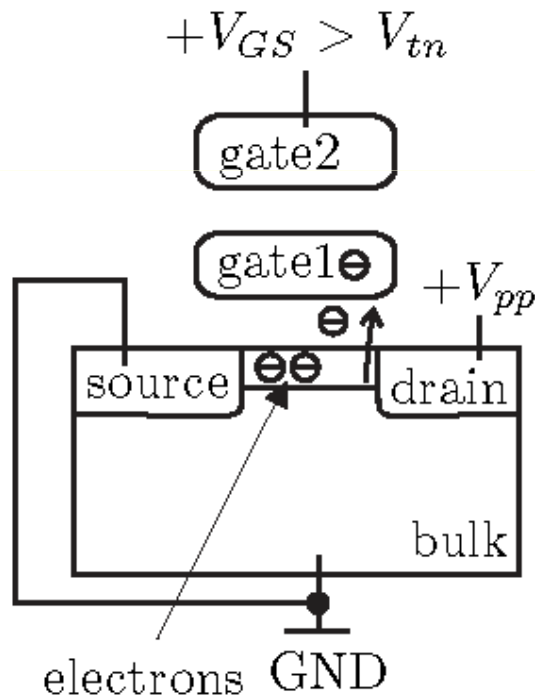
V CPLD obvodoch (a mnohých SPLD obvodoch) je EPROM alebo EEPROM tranzistor (použitý vo funkcii programovateľného spínača) umiestnený medzi dva vodiče a umožňuje realizovať funkciu montážneho súčinu .

Na obr. je príklad zapojenia EPROM (EEPROM) tranzistorov v matici AND v CPLD obvodoch. Vstup do matice AND môže prostredníctvom EPROM tranzistora nastaviť súčinový vodič na logickú úroveň 0, ak je tento vstup súčasťou príslušného súčinového termu. Pre vstupy ktoré nie sú súčasťou súčinového termu, je príslušný EPROM tranzistor naprogramovaný, ako permanentne zavretý.

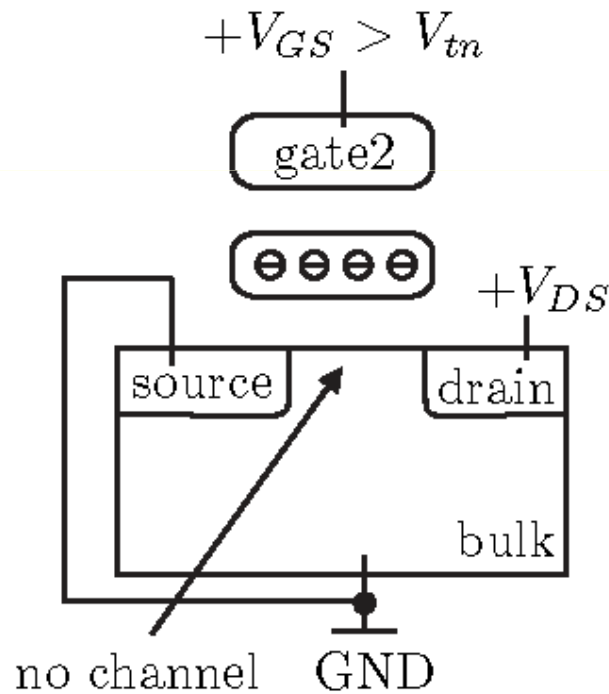


2.2 EPROM a EEPROM

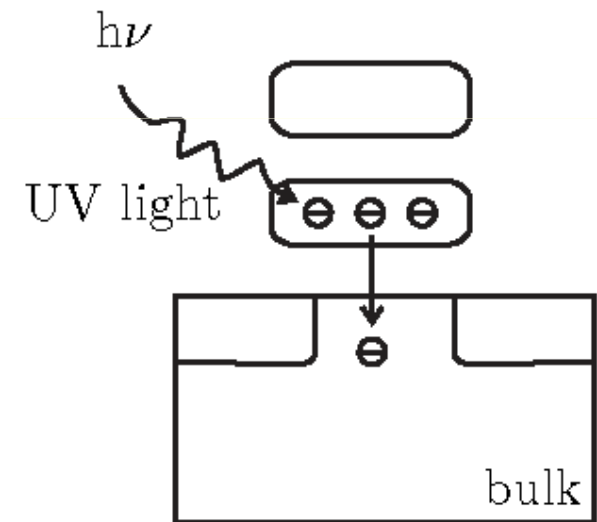
Bunka EPROM je takmer tak malá ako antifuse. EPROM tranzistor vyzerá podobne ako obyčajný MOS tranzistor, má však navyše druhé plávajúce hradlo (gate1). Programovaním (pripojením programovacieho napätia $V_{pp} > 12V$ na kolektor EPROM tranzistora s n- kanálom) dochádza k lavínovej injekcii elektrónov (Floating Avalanche Injection MOS- FAMOS) a hradlo sa nabije a zvyšuje tak prahové napätie EPROM tranzistora s n- kanálom.



(a)



(b)



(c)

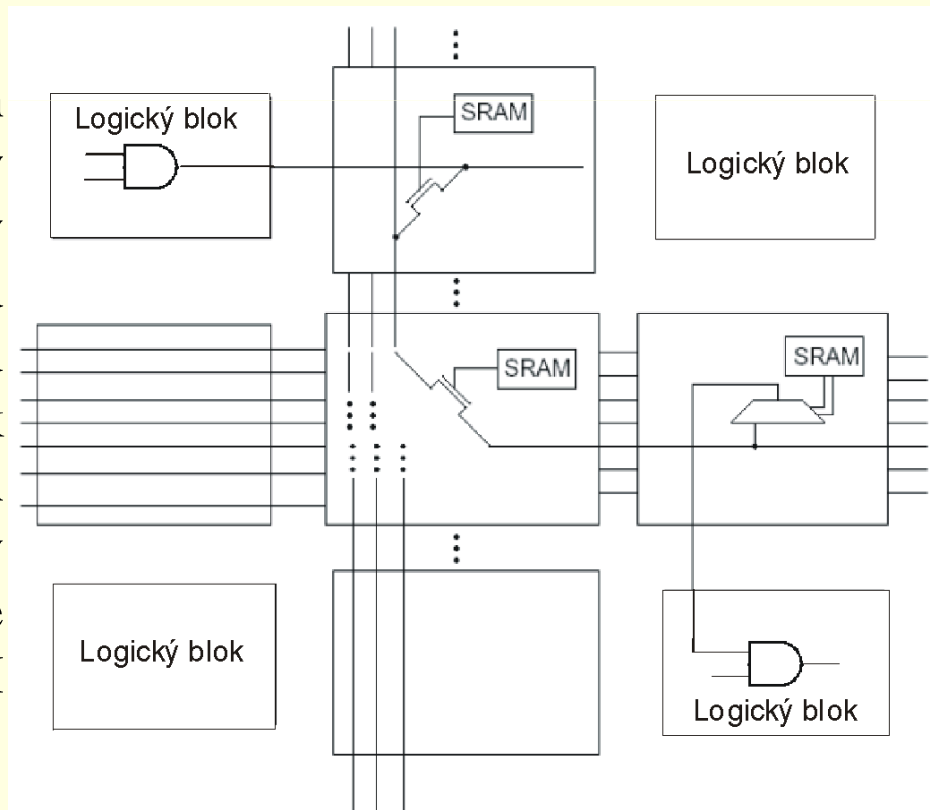
2.3 SRAM

Hoci z hľadiska technológie nie je dôvod prečo by EPROM a EEPROM technológia nemohla byť použitá v FPGA obvodoch, súčasne komerčne vyrábané FPGA sú realizované na:

- SRAM, alebo
- antifuse technológií.

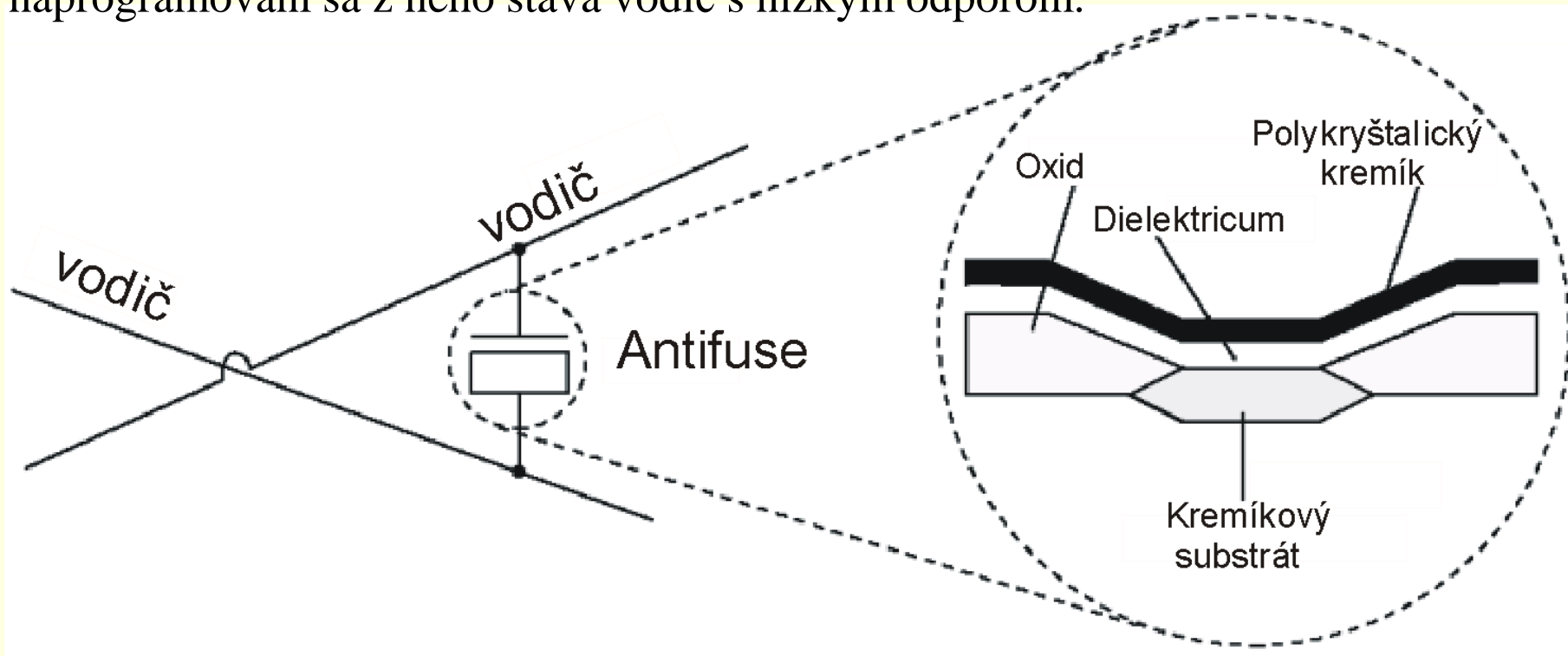
Príklad riadenia programovateľných prepojení prostredníctvom **SRAM** je na obr. Sú tu uvedené dve aplikácie.

Aplikácia, ktorá riadi hradlá spínacích tranzistorov a aplikácia ktorá vyberá riadky multiplexorov, ktoré riadia vstupy logických blokov. Obr. uvádza príklad pripojenia jedného logického bloku (reprezentovaného AND hradlom) k druhému prostredníctvom dvoch prechodových spínacích tranzistorov a multiplexera, pričom celý proces je riadený hodnotami zapísanými v SRAM bunkách.



2.4 ANTIFUSE

Ďalším typom programovateľných spínačov používaných v FPGA obvodoch je *antifuse*. Antifuse (programovateľná prepojka) v nenaprogramovanom stave má veľký odpor, teda je rozpojená. Programovaním znížime odpor tak, že prepojkou bude prechádzať signál. Antifuse sú vyrábané modifikovanou CMOS technológiou. Táto technológia je znázornená na obr. Antifuse je umiestnená medzi dva prepojovacie vodiče. Skladá sa z troch úrovní: hornú a dolnú tvorí vodič a v strede je izolant. V nenaprogramovanom stave izolant izoluje hornú a dolnú vrstvu. Pri naprogramovaní sa z neho stáva vodič s nízkym odporom.

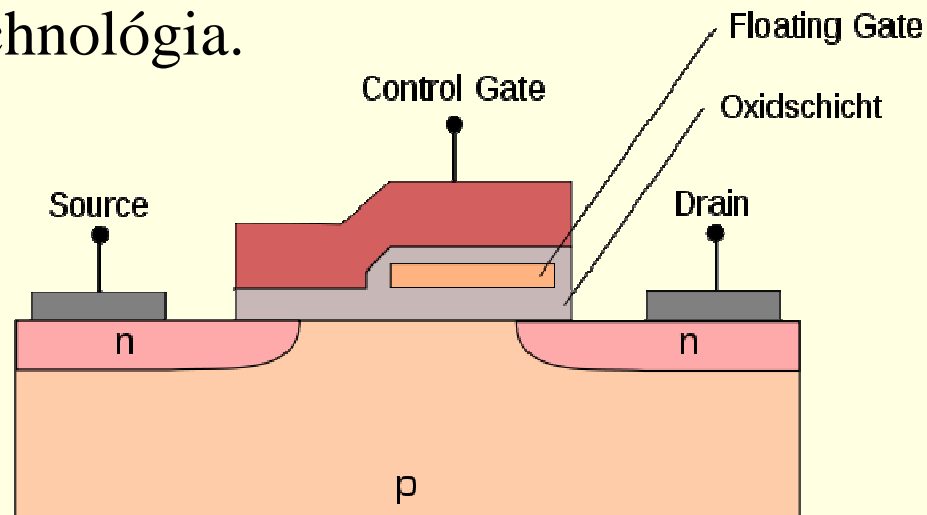


2.5 FLASH

FLASH – elektrický mazateľný a programovateľný ROM. Pamäť je vnútorne organizovaná po blokoch a na rozdiel od pamätí typu EEPROM, je možné programovať každý blok samostatne (obsah ostatných blokov ostane zachovaný).

FLASH:

- majú výhodu EEPROM- môžu byť elektricky mazateľné,
- majú menšiu a úspornejšiu veľkosť bunky podobne ako EPROM technológia.



Prehľad technológií programovania FPD obvodov

Typ spínača	Reprogramo- vateľnosť	Energetická závislosť	Technológia
SRAM	Áno v obvode	Áno	CMOS
EPROM	Áno mimo obvodu	Nie	UVCMOS
EEPROM	Áno v obvode	Nie	EECMOS
FUSE	Nie	Nie	Bipolárna
ANTIFUSE	Nie	Nie	CMOS+

3 Architektúry a typy číslicových obvodov SPLD

- 3.1 Obvody PLD (Programmable Logic Device)
- 3.2 Obvody PLA (Programmable Logic Array)
- 3.3 Obvody PAL (Programmable Array Logic)
- 3.4 Obvody GAL (Generic Array Logic)

3 Architektúry a typy číslicových obvodov SPLD

SPLD sú rýchle a najmenšie obvody a teda aj najlacnejšie z rodiny programovateľných obvodov.

SPLD obsahujú 4 až 22 makrobuniek a väčšinou nahrádzujú systémy ktoré sú realizované niekoľkými TTL obvodmi 7400.

Každá z makrobuniek je úplne prepojená s ostatnými makrobunkami v obvode.

Väčšina SPLD používa buď technológiu pevných prepojení (fuse), alebo technológiu energeticky nezávislých buniek EPROM, EEPROM alebo FLASH.

3.1 Úvod do obvodov SPLD

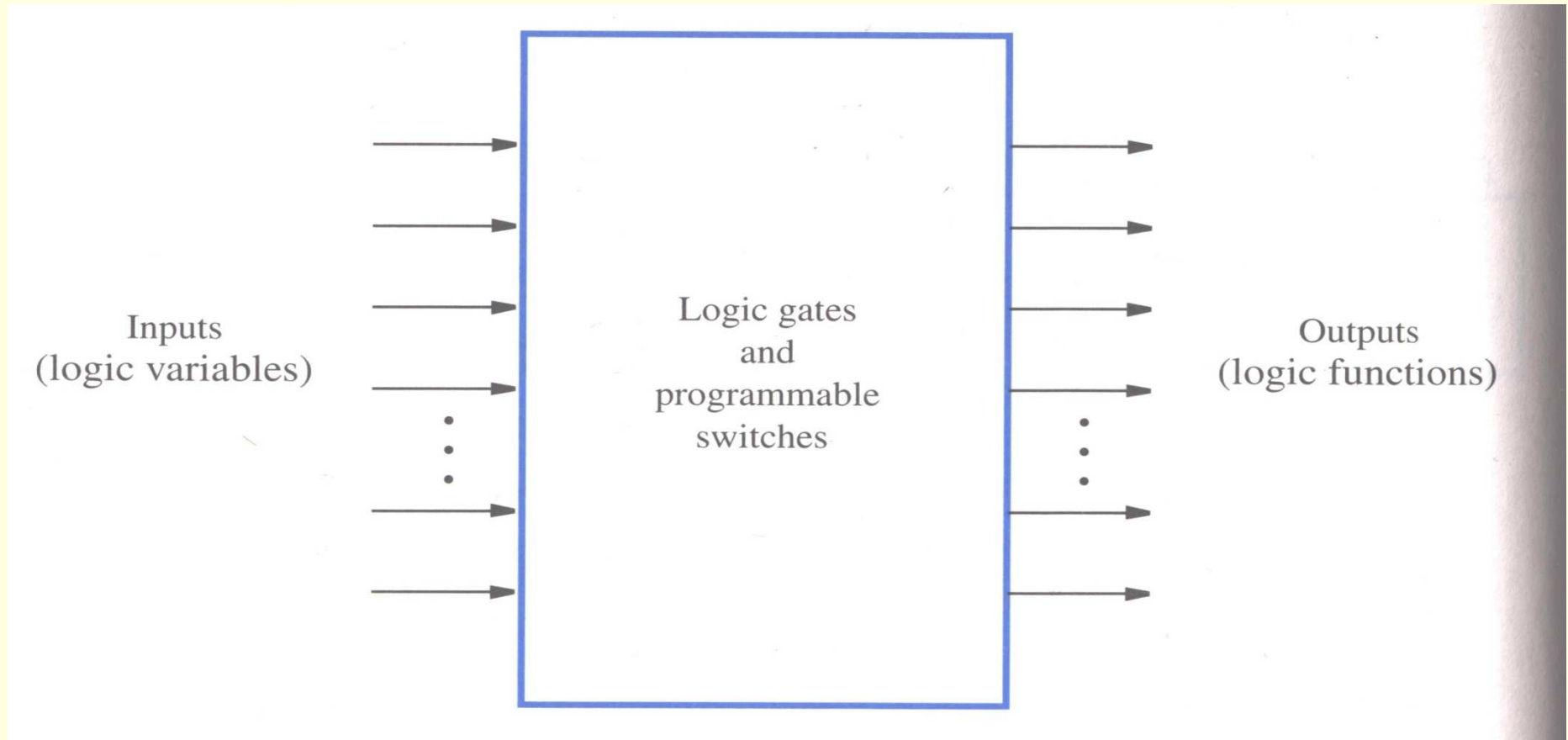
Hlav. výrobcovia sú uvedený v Tab. Obvody tejto kategórie sú charakteristické/ zaujímavé:

- veľmi rýchle,
- lacné.

Manufacturer	SPLD Products	WWW Locator
Altera	Classic	http://www.altera.com
Atmel	PAL	http://www.atmel.com
Cypress	PAL	http://www.cypress.com
Lattice	ispGAL	http://www.latticesemi.com

3.2 Obvody PLA

Všeobecná štruktúra PLA obvodov je na Obr. Na základe toho, že každú logickú funkciu môžeme vyjadriť v tvare súčtu súčinov premenných, PLA sa skladá zo súboru (poľa/ matice) AND hradiel, ktoré sa pripájajú k súboru (poľu/ matici) OR hradiel.

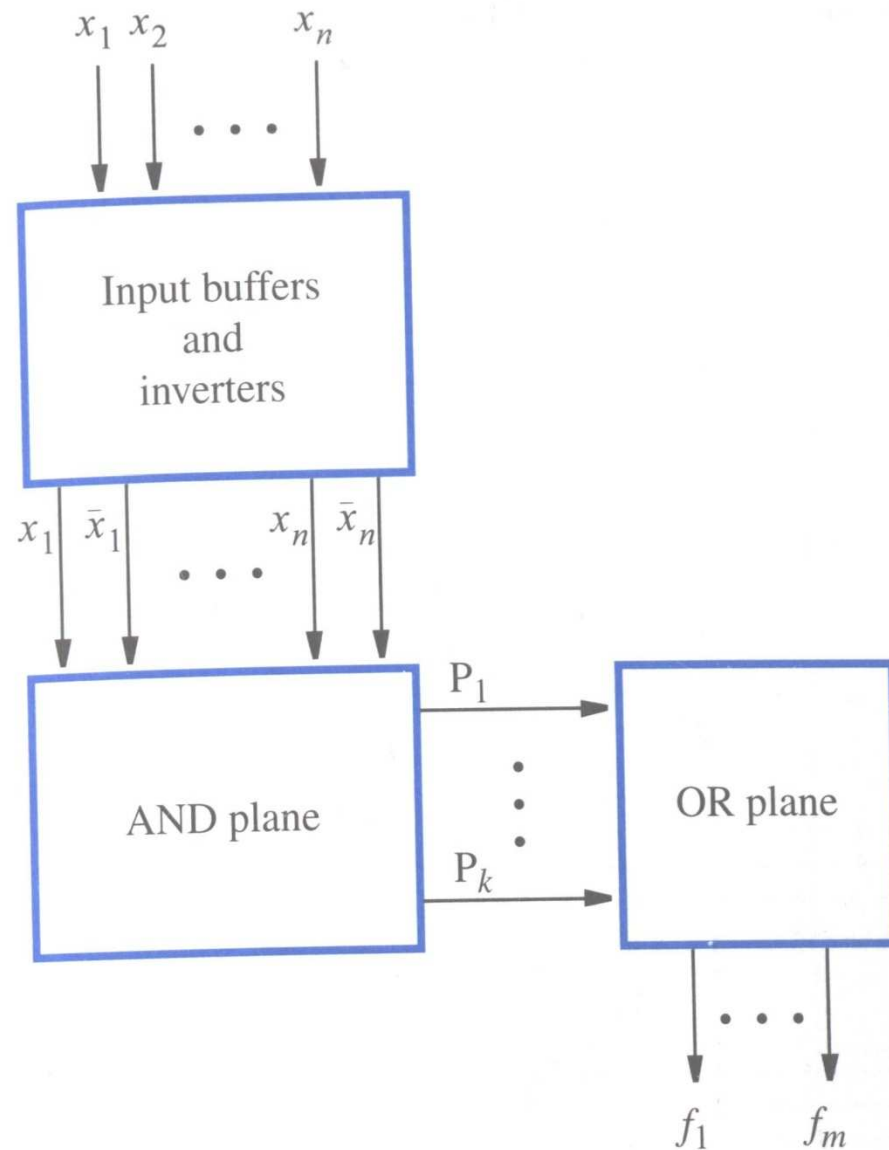


3.2 Obvody PLA

Ako vidieť z Obr. vstupné premenné prechádzajú cez prechodovú pamäť, ktorá vytvárajú doplnky vstupných premenných.

Tie vstupujú do bloku- *pole hradiel AND*, ktoré vytvára súčin týchto premenných.

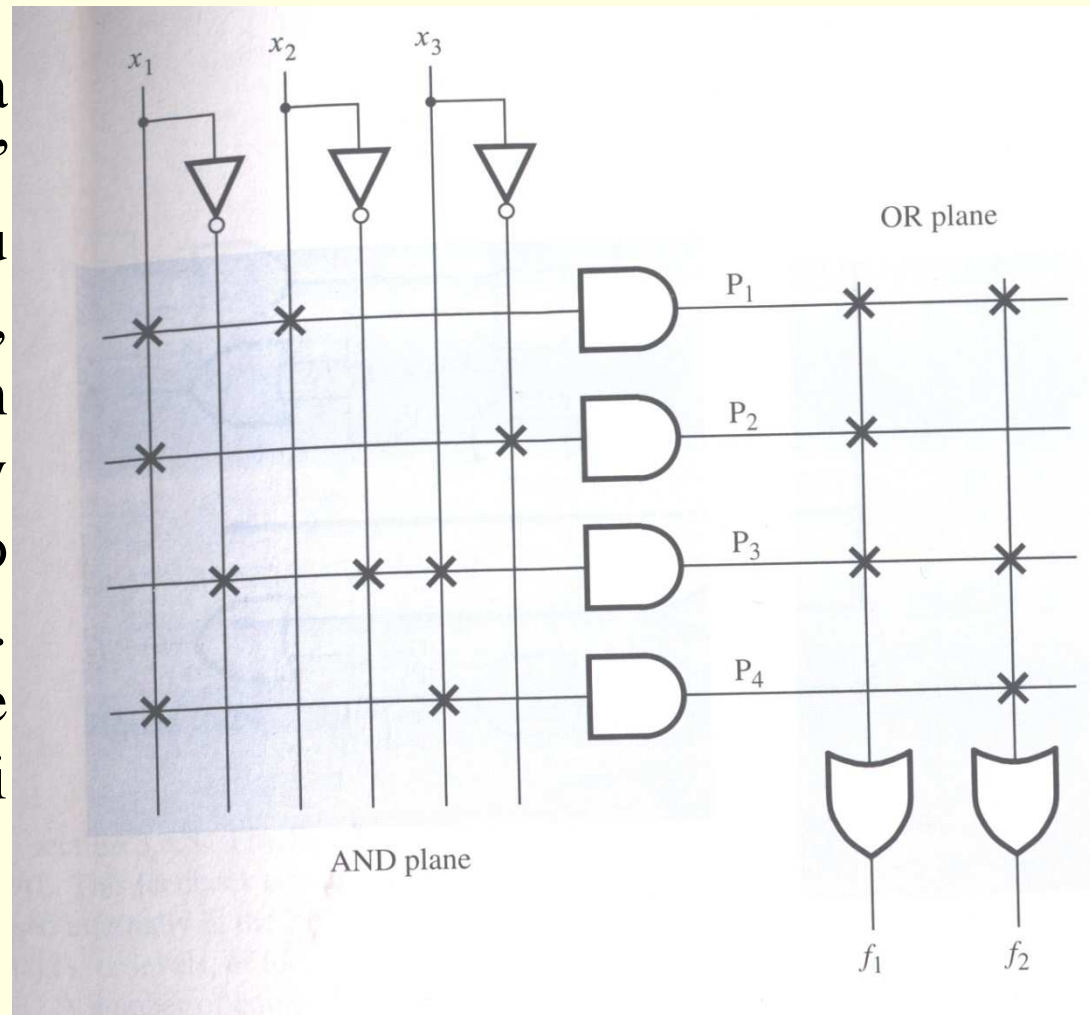
Tie ďalej slúžia ako vstupy do *poľa hradiel OR*, ktoré nakoniec vytvára výsledne požadované funkcie.



3.2 Obvody PLA

Obvody tejto kategórie sú charakteristické nasledovnou vnútornou štruktúrou. Každá vodorovná čiara v programovateľnej matici AND predstavuje vždy jedno súčinové hradlo.

Na vstupy každého hradla môžeme pripojiť „ľubovoľnú“ kombináciu vstupných signálov, spätných väzieb a ich negácií. Počet vstupov každého súčinového hradla je však obmedzený. Podobne to platí aj pre hradlo OR s vertikálnymi čiarami.



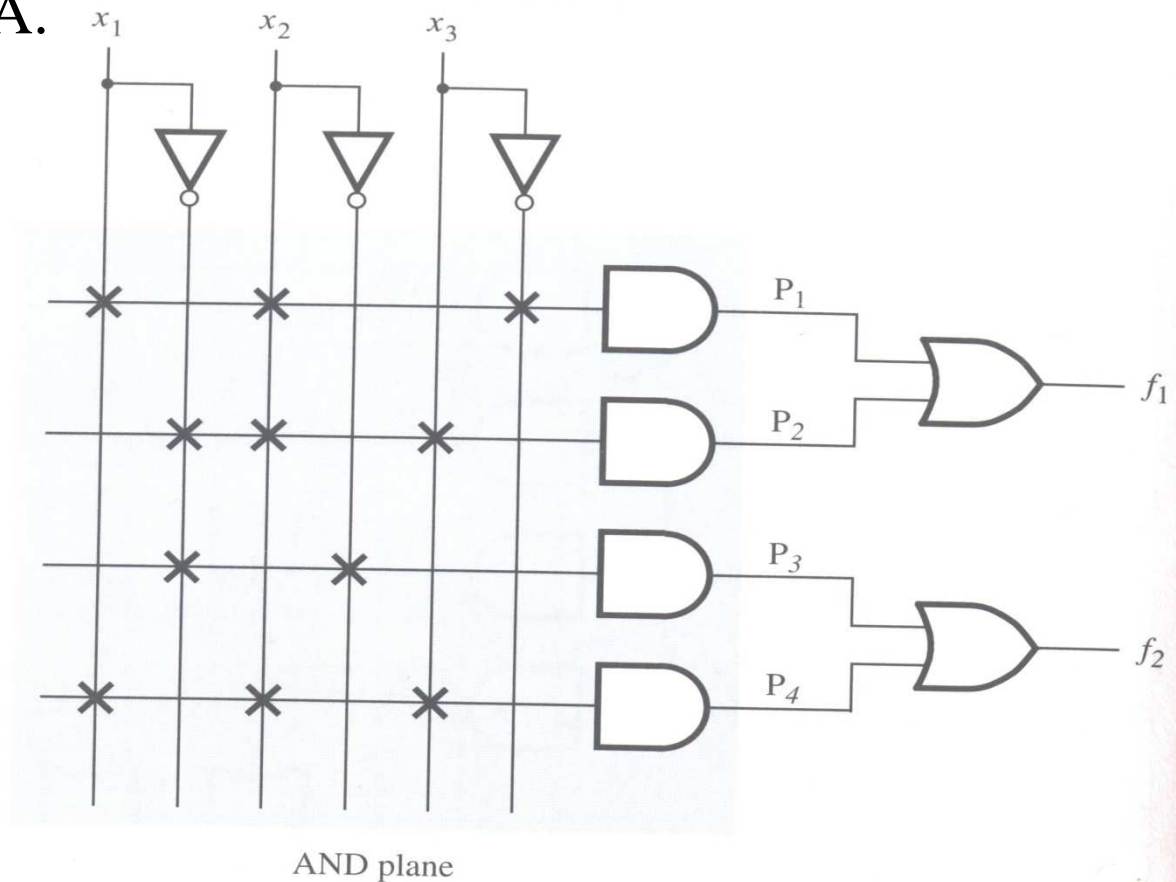
3.3 Obvody PAL

V obvodech PLA- aj pole AND aj pole OR hradiel je programovateľné. Programovateľné spínače však predstavujú pre výrobcov týchto obvodov problémy:

- je ich pomerne ťažko vyrobiť (bezchybne),
- znižujú rýchlosť PLA.

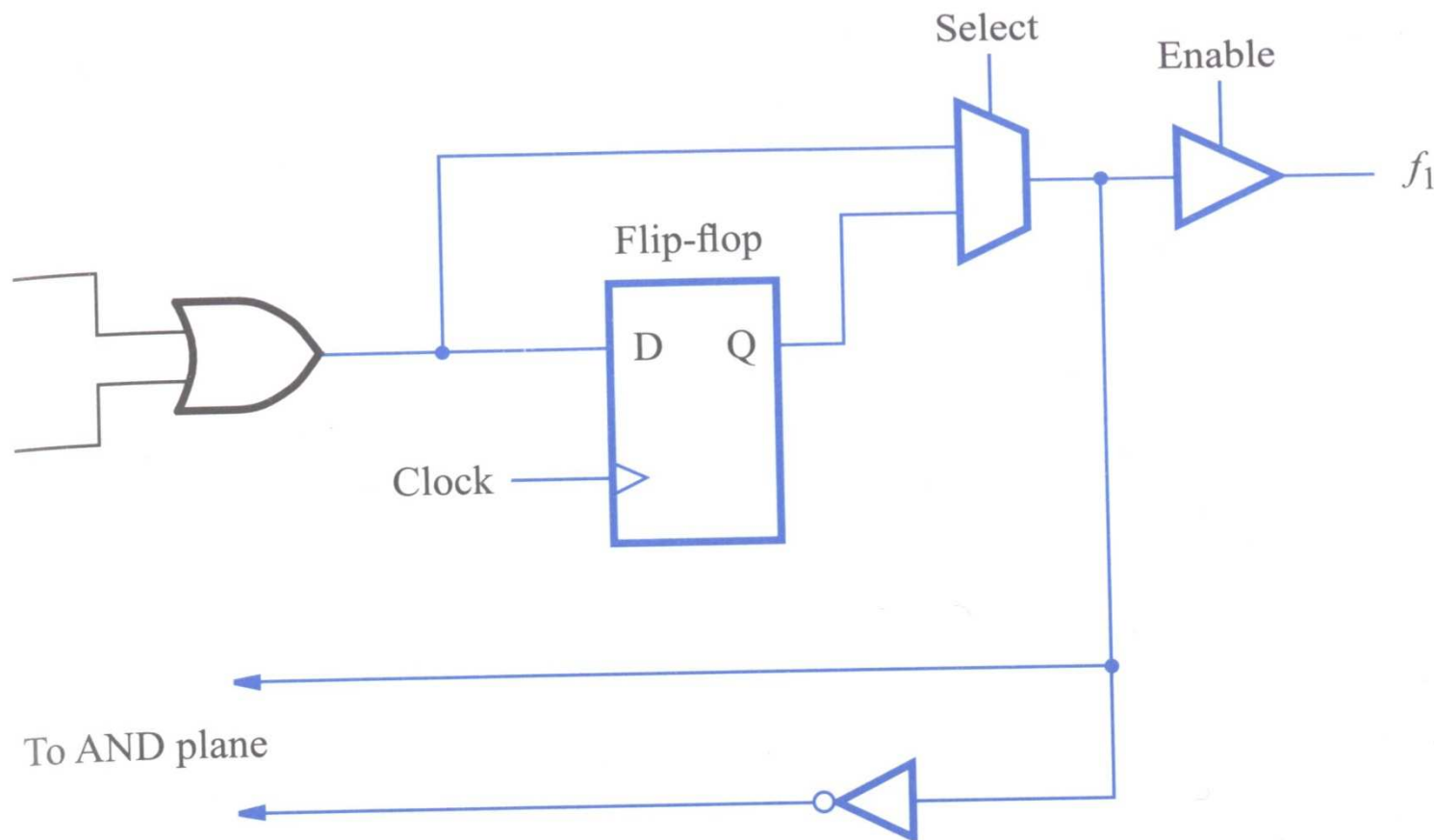
Tento nedostatok viedol k vývoju podobných obvodov, v ktorých pole AND je programovateľné, ale pole OR hradiel je pevné – **PAL** (Obr.).

- jednoduchšie z pohľadu výroby,
- lacnejšie.



3.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- *makrobunky*, ktoré poskytujú dodatočnú flexibilitu (Obr.). KO- predstavuje pamäť (na hodinový signál pri prechode z logickej hodnoty 0 do 1).



3.3 Obvody PAL

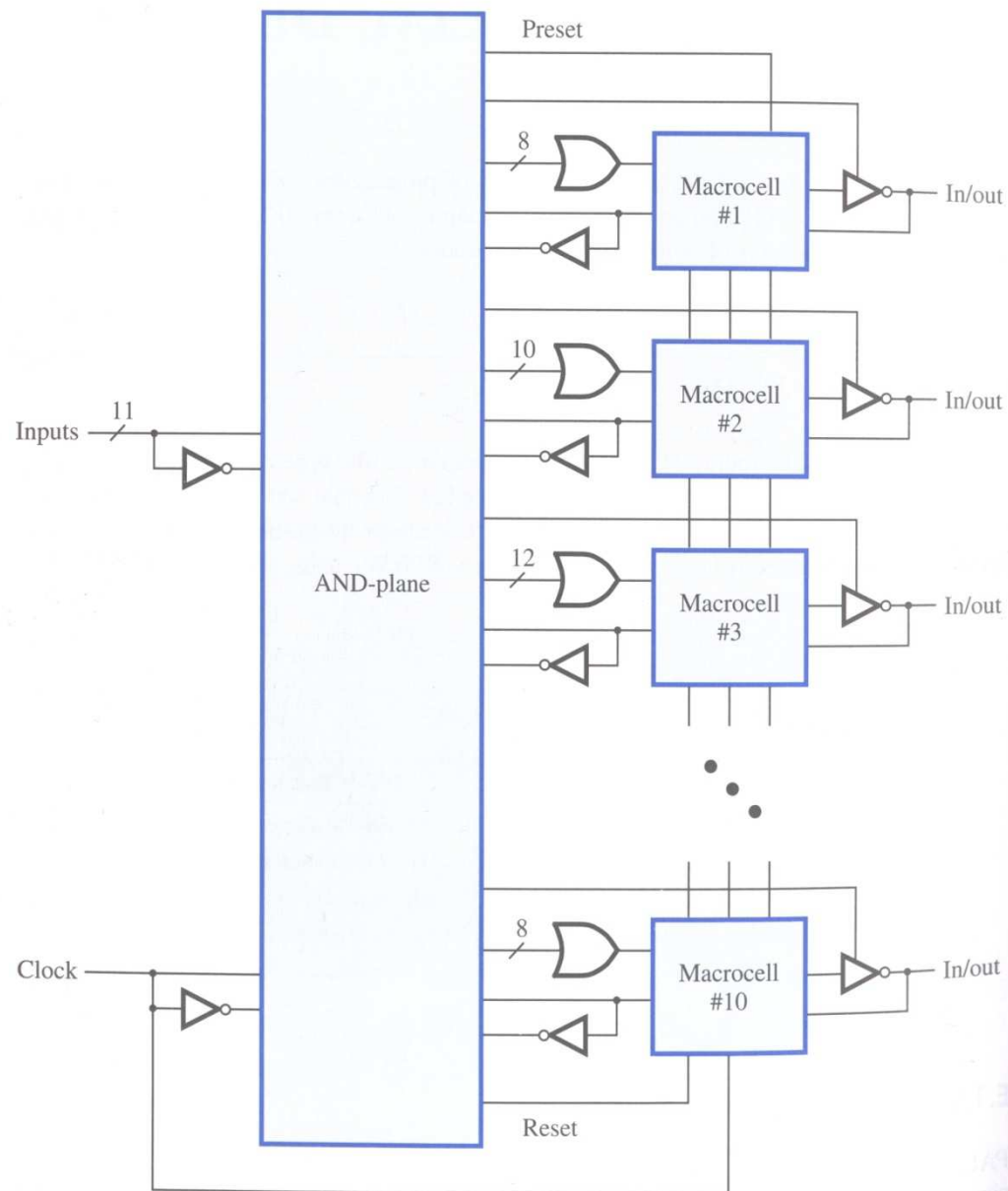
Príklad komerčne vyrábaného obvodu PAL (Advanced Micro Devices- AMD) 22V10 je na Obr. Číslo: NNXOO- S:

- NN- celkový počet vstupov a výstupov
- X- napr. obsahuje KO, ..
- OO- počet výstupov
- S- rýchlosť

12- priradených vstupov

10- vstupov/ výstupov

OR hradla majú rôzny počet vstupov (8- 16)

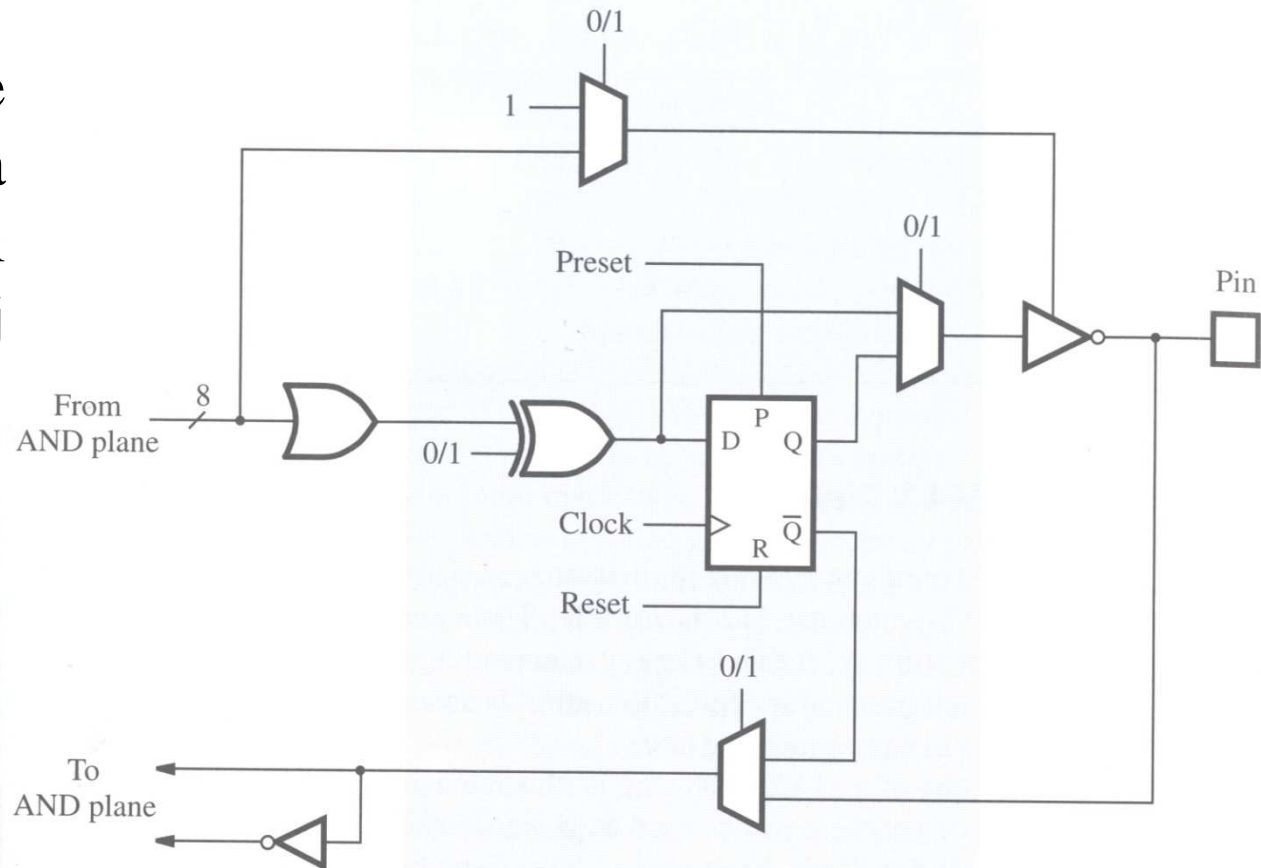


3.3 Obvody PAL

V mnohých obvodoch PAL sú k výstupom OR hradiel pripojené dodatočné obvody- makrobunky, ktoré poskytujú dodatočnú flexibilitu (Obr.). **XOR hradlo** zabezpečuje programovateľným vstupom (0 alebo 1) doplnok výstupu z OR hradla a pripája ho k D-KO. Multiplexer zabezpečuje premostenie KO.

KO- predstavuje pamäť (aktívna na hodinový signál pri prechode z logickej hodnoty 0 do 1).

Trojstavový buffer



4 Architektúry a typy číslicových obvodov CPLD

- 4.1 Lattice pLSI a ispLSI
- 4.2 MAX 3000 a 7000 CPLD (Multiple Array matrix, Altera)
- 4.3 Xilinx XC 7000

4 Architektúry a typy číslicových obvodov CPLD

Obvody CPLD sú v podstate rovnaké ako SPLD obvody, ale rozdiel ako aj výhoda CPLD obvodov spočíva vo vyššej logickej kapacite CPLD obvodov a ich dokonalejšej štruktúre.

Tieto obvody sú typické tým, že obsahujú desať až niekoľko sto makrobuniek. Osem až šesťnásť vzájomne prepojených makrobuniek je spojených do vyšších funkčných blokov (LAB). Funkčné bloky sú tiež vzájomne prepojené prostredníctvom programovateľnej prepojovacej matice, ale nie všetky CPLD obvody majú navzájom prepojené všetky funkčné bloky – záleží to od špecifikácie výrobcu a rodiny obvodov.

CPLD sa môžu vyrábať jednou z týchto troch technológií: EPROM, EEPROM alebo FLASH. Niektoré z CPLD rodín, ktoré využívajú EEPROM alebo FLASH sa navrhujú tak, aby boli programované v systéme (In- System Programmable - isp), čo znamená, že obvod môže byť programovaný na doske plošného spoja spoločne s inými súčiastkami.

4 Architektúry a typy číslicových obvodov CPLD

Hlavný komerčný výrobcovia sú uvedený v Tab.

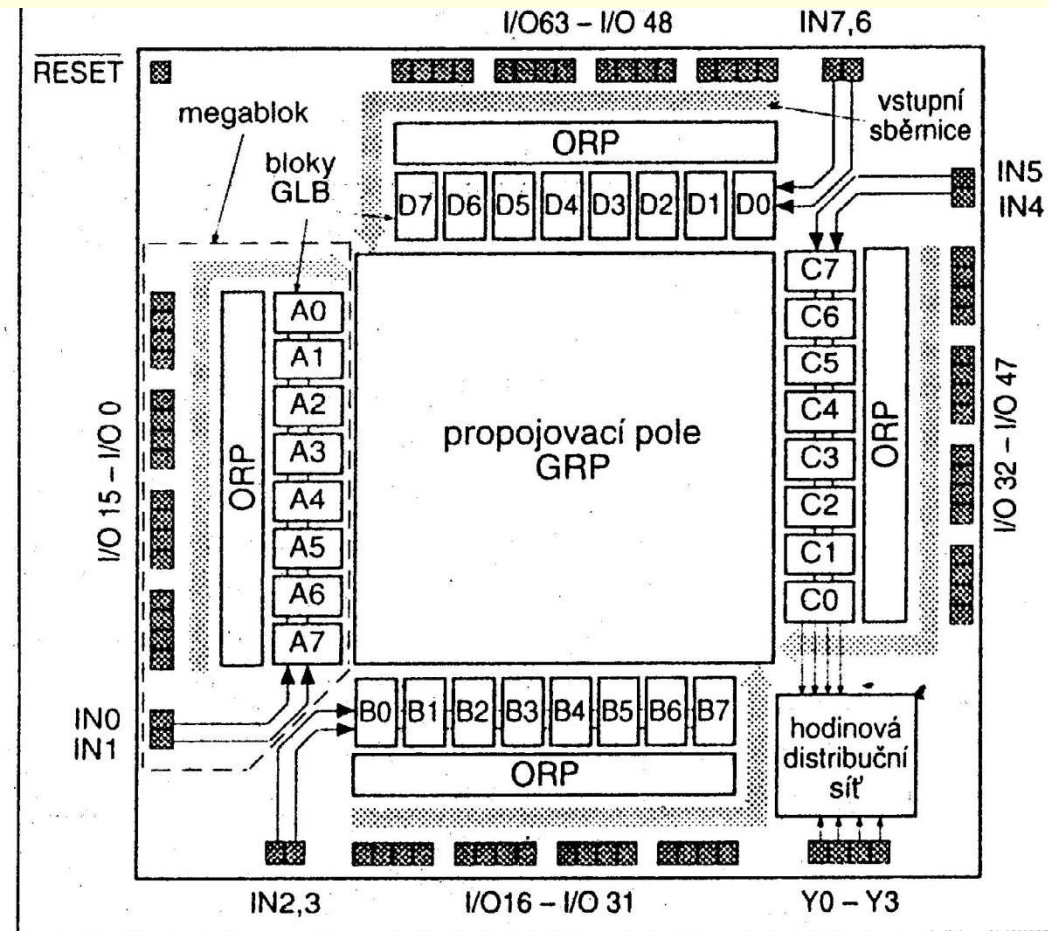
Manufacturer	CPLD Products	WWW Locator
Altera	MAX 3000, 7000, and 9000, and MAX II	http://www.altera.com
Atmel	ATF	http://www.atmel.com
Cypress	Delta39K, FLASH370, Ultra37000	http://www.cypress.com
Lattice	ispLSI, ispMACH	http://www.latticesemi.com
Xilinx	XC9500, CoolRunner	http://www.xilinx.com

4.1 Lattice pLSI a ispLSI

- programmable Large Scale Integration (pLSI)
- ispLSI (in- system- programovateľných priamo v aplikácií)
- technológia EECMOS

Vlastnosti:

- vysoká rýchlosť,
- predvídateľné oneskorenie,
- nízka spotreba,
- flexibilná architektúra,
- Jednoduché použitie.



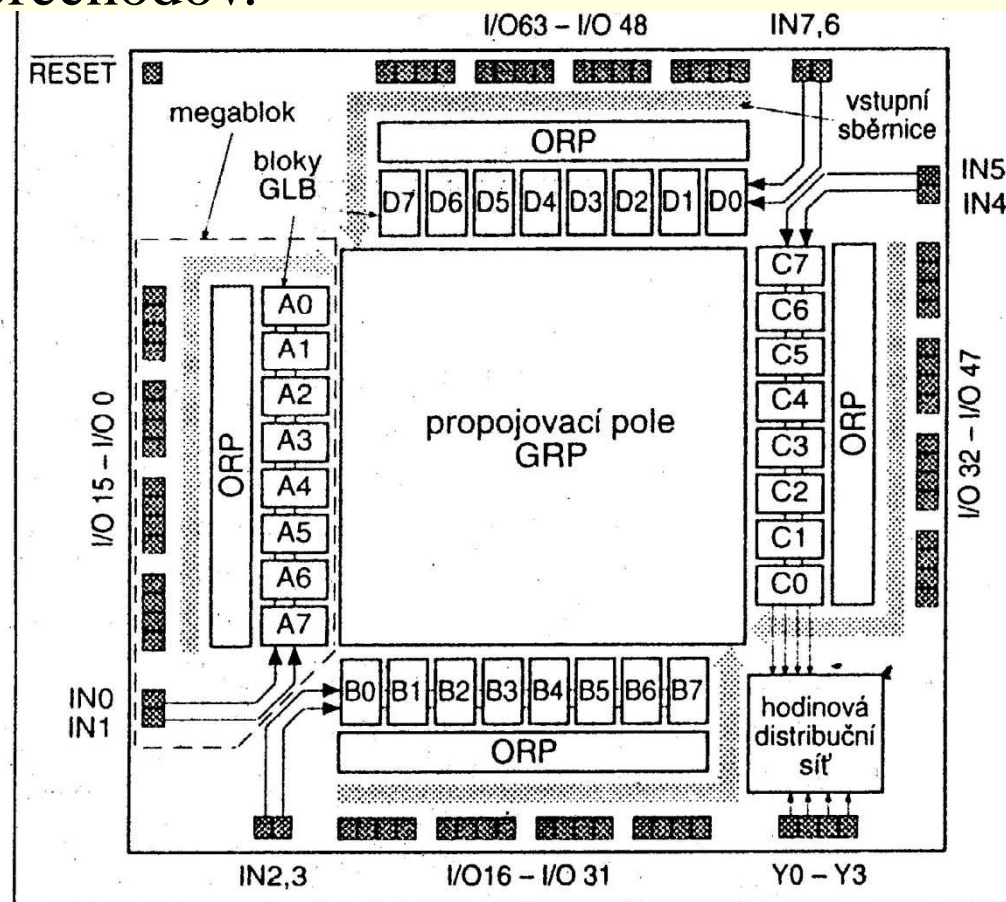
4.1 Lattice pLSI a ispLSI

Global Routing Pool (GRP)

- prepája celú internú logiku a sprístupňuje ju užívateľovi,
- umožňuje kompletne prepojenie s pevne definovaným a odhadnuteľným oneskorením prechodov.

I/O bunky

- sú priamo pripojené k V/V vývodom,
- každá môže byť individuálne naprogramovaná ako:
 - kombinačný vstup,
 - kombinačný výstup,
 - obojsmerný V/V- trojst.
- úroveň signálu kompatibilné s TTL.

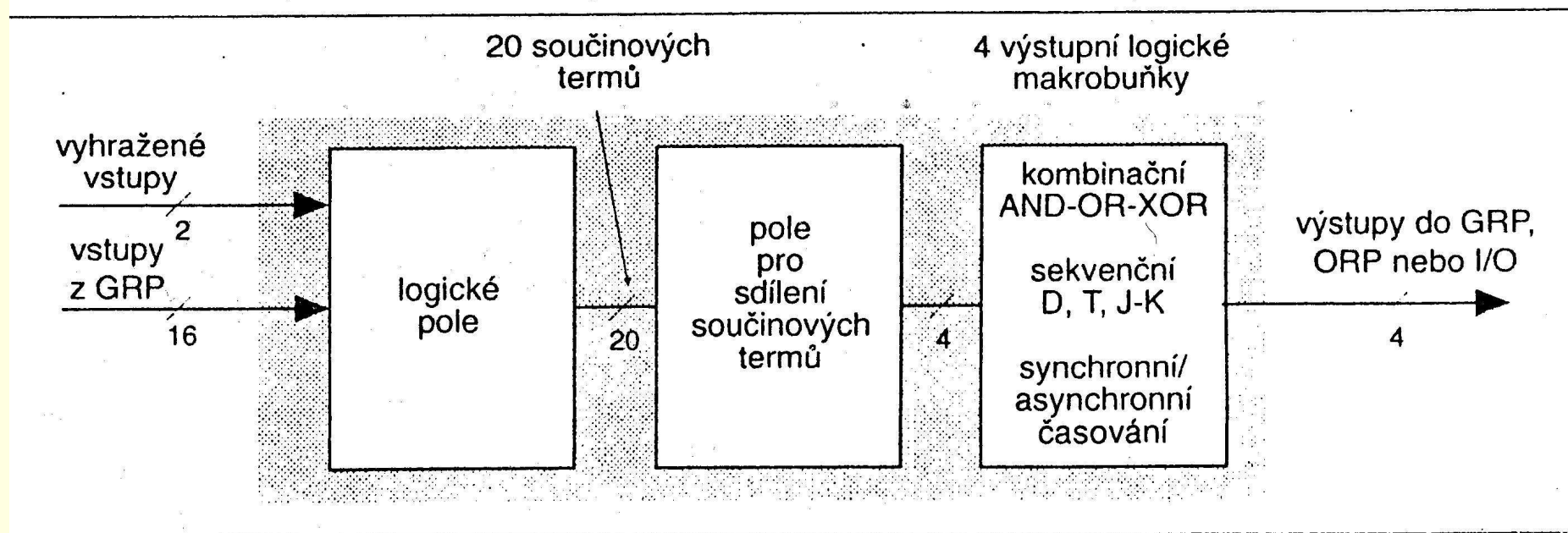


4.1 Lattice pLSI a ispLSI

Generic Logic Block (GLB)

-hlavný logický blok štruktúry pLSI/ ispLSI. Na Obr. je príklad rodiny 1000 a 2000 s logickými blokmi s 18 vstupmi a 4 výstupmi (všetky vedené do prepojovacieho poľa GRP tak, aby mohli byť použité ako vstupy iných blokov GLB).

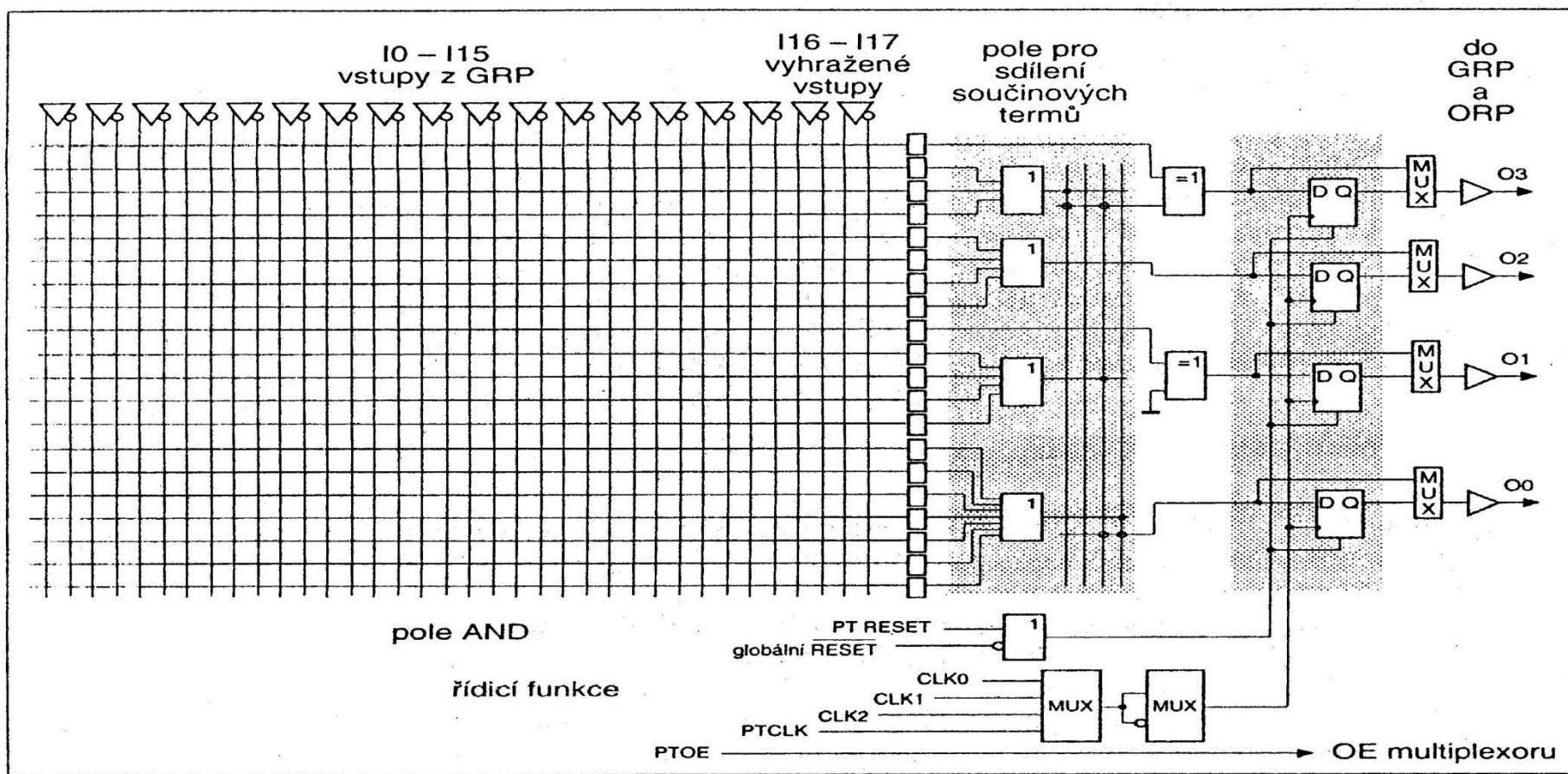
- jedinečným prvkom zvyšujúcim flexibilitu je Product Term Sharing Array (PTSA)



4.1 Lattice pLSI a ispLSI

Product Term Sharing Array (PTSA)

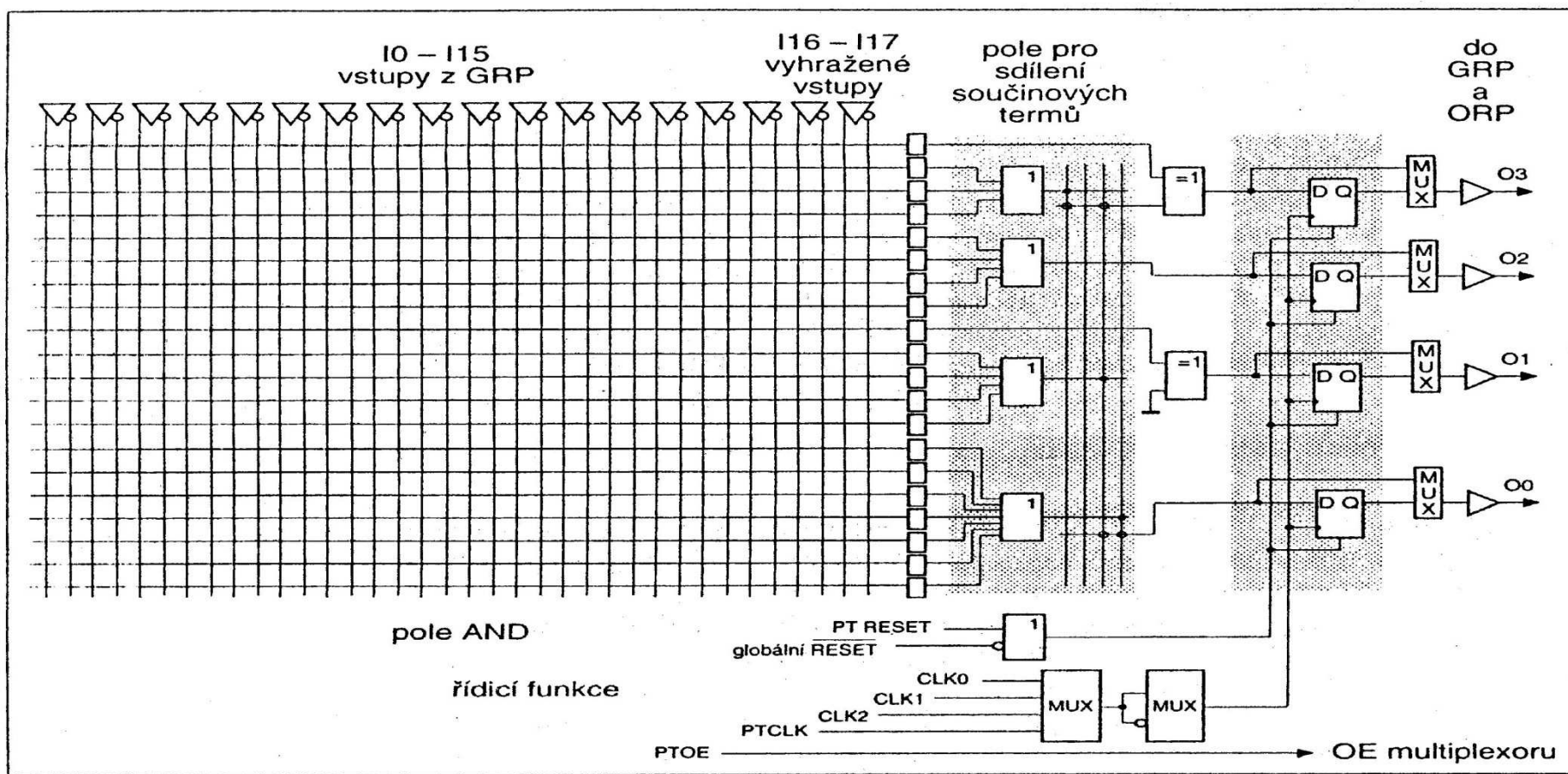
- pole které umožňuje použít ľubovoľný z 20 súčinových členov (výstupy poľa AND) pre ľubovoľný výstup bloku GLB- to podporuje napr. veľmi efektívne implementácie stavových automatov.



4.1 Lattice pLSI a ispLSI

Output Logic Macrocell (OLMC)

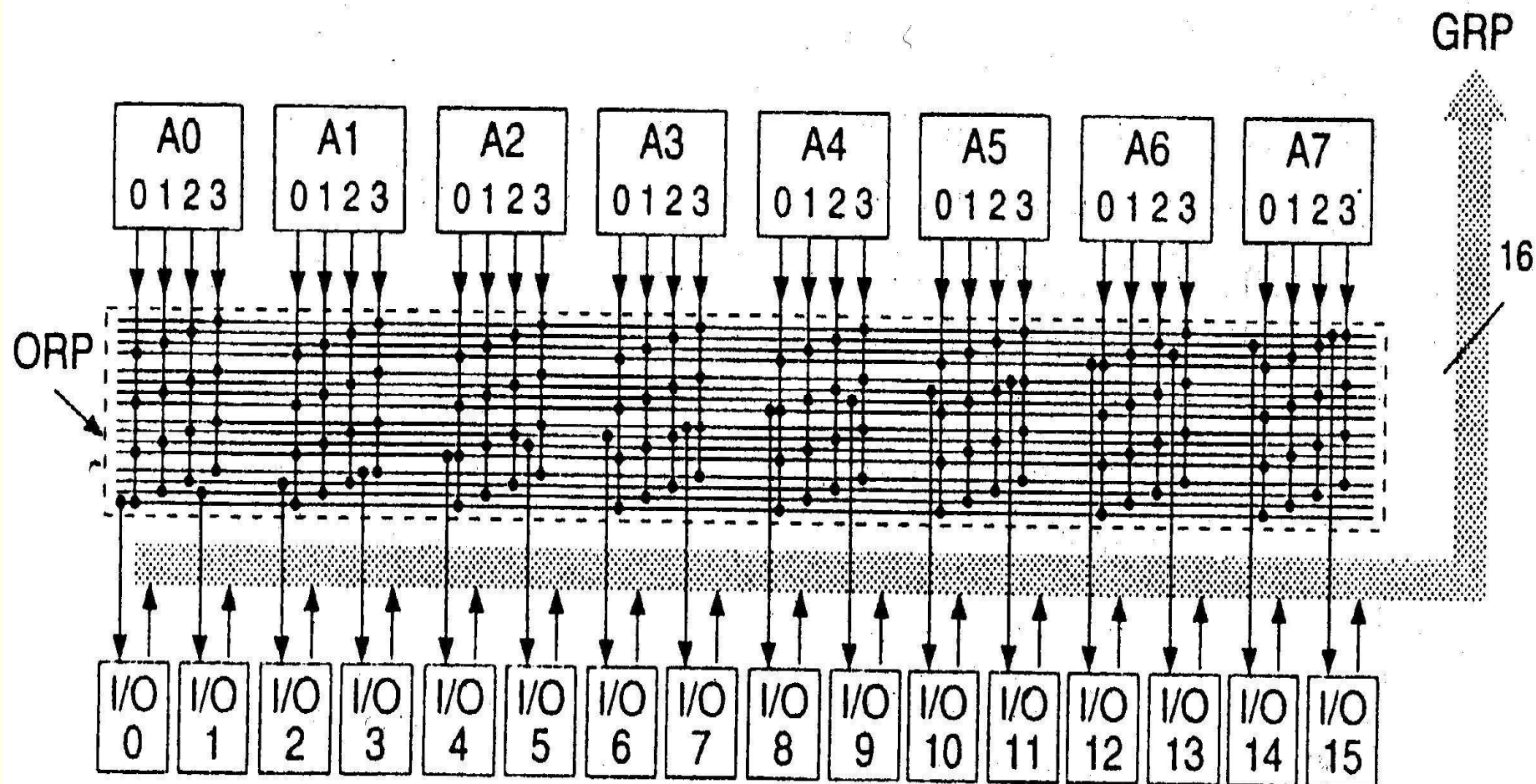
- umožňuje každý výstup GLB konfigurovat' ako kombinačný, alebo sekvenčný (riadený globálnymi synchronnými, alebo interne generovanými asynchronnými hodinovými signálmi).



4.1 Lattice pLSI a ispLSI

Output Routing Pool (ORP)

- prepája výstupy GLB so V/V bunkami (Obr.).



4.1 Lattice pLSI a ispLSI

Tabulka 1. Přehled obvodů pLSI a ispLSI

Obvod	1016	1024	1032	1048	2032	2064	2096	3192	3256	3320
počet hradel	2000	4000	6000	8000	1000	2000	4000	8000	11 000	14 000
f_{\max} [MHz]	110	90	90	80	135	135	110	110	80	80
zpoždění t_{pd} [ns]	10	12	12	15	7,5	7,5	10	10	15	15
počet makrobuněk	64	96	128	192	32	64	96	192	256	320
počet registrů	96	144	192	288	32	64	96	288	284	480
počet vstupů (I a I/O)	36	54	72	106	34	68	102	96	128	160
pouzdro PLCC	44	68	84		44	84				
pouzdro PQFP/TQFP			100	120		100	128	128	160	208
pouzdro PGA									167	207

4.2 Altera CPLD

Altera vyvinula rodiny CPLD obvodov:

- MAX 3000
- MAX 5000
- MAX 7000
- MAX 9000

Bližšie sa budeme venovať rodine obvodov MAX 3000 a MAX 7000.

MAX 5000 reprezentuje staršiu technológiu, jej výhoda však spočíva v cenovej dostupnosti.

MAX 9000 je v podstate rovnaká ako MAX 7000, ale poskytuje vyššiu logickú kapacitu.

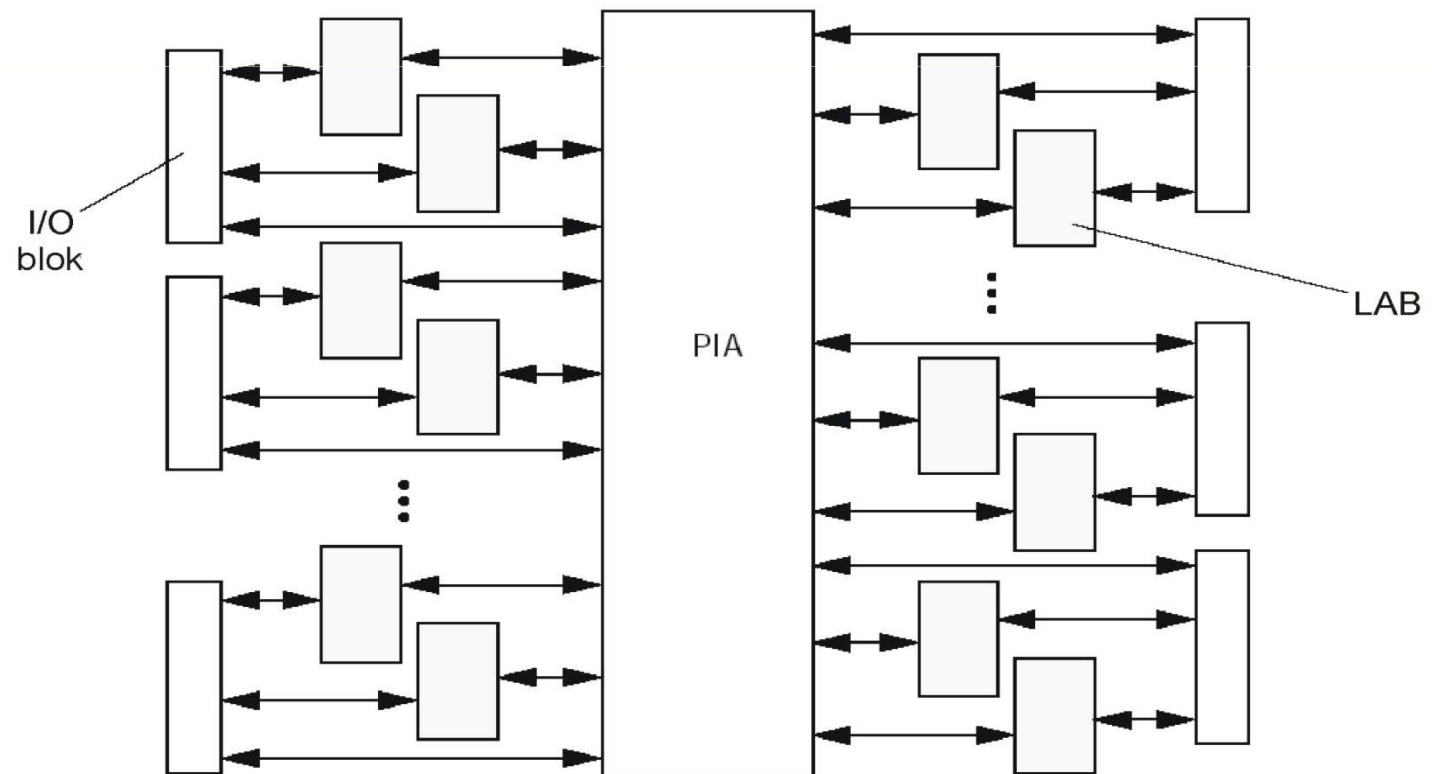
4.2 Altera MAX 3000 CPLD

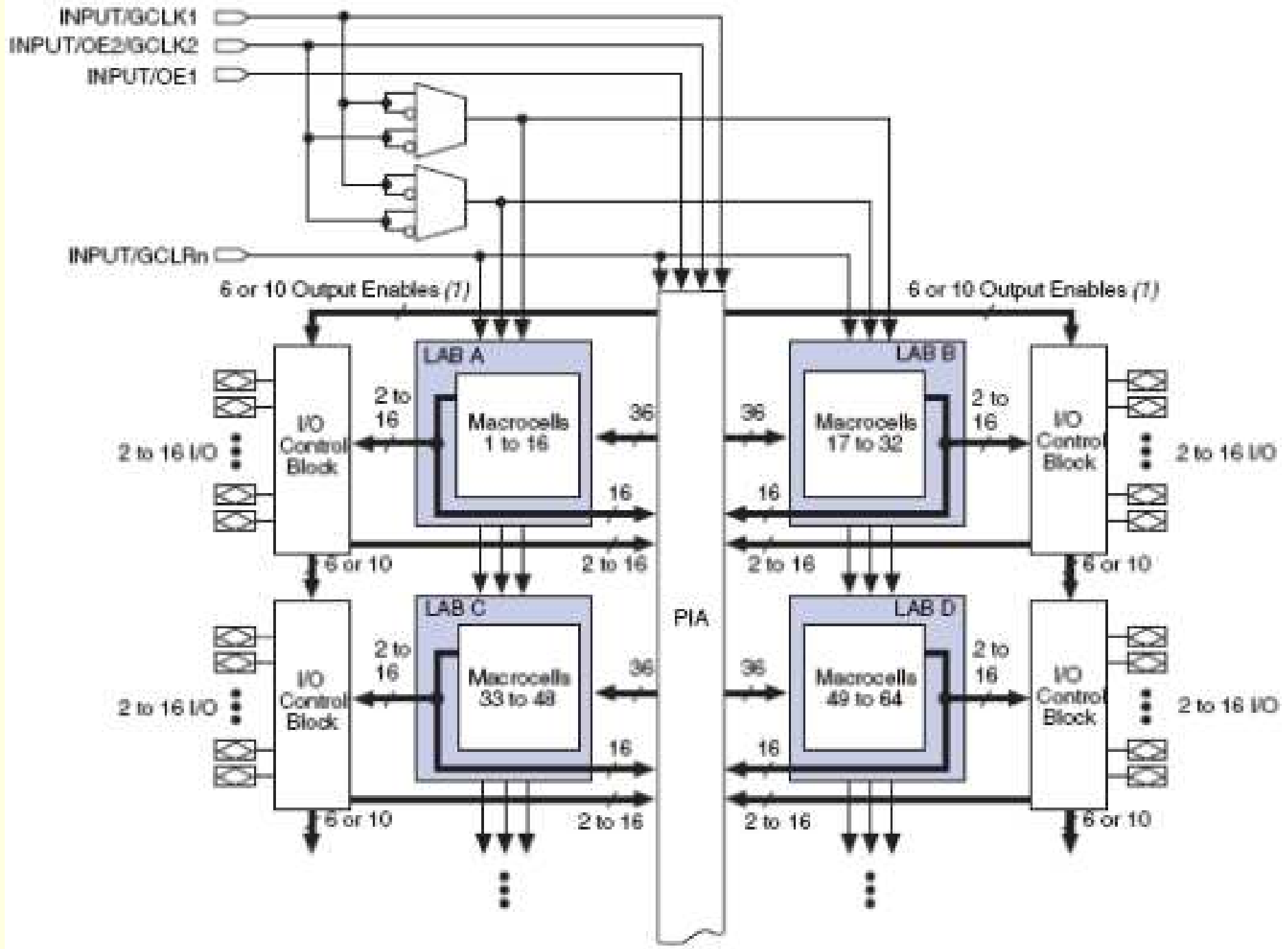
Table 1. MAX 3000A Device Features

Feature	EPM3032A	EPM3064A	EPM3128A	EPM3256A	EPM3512A
Usable gates	600	1,250	2,500	5,000	10,000
Macrocells	32	64	128	256	512
Logic array blocks	2	4	8	16	32
Maximum user I/O pins	34	66	98	161	208
t_{PD} (ns)	4.5	4.5	5.0	7.5	7.5
t_{SU} (ns)	2.9	2.8	3.3	5.2	5.6
t_{CO1} (ns)	3.0	3.1	3.4	4.8	4.7
f_{CNT} (MHz)	227.3	222.2	192.3	126.6	116.3

4.2 Altera MAX 3000 CPLD

Obr. ukazuje základnú architektúru rodiny obvodov MAX 3000, ktorá sa skladá z poľa logických blokov (Logic Array Blocks - LAB) a zo sústavy prepojuvácich vodičov, ktorú budeme nazývať *programovateľné prepojuvacie pole* (Programmable Interconnect Array – PIA). PIA môže navzájom prepájať vstupy alebo výstupy medzi jednotlivými LAB. Vstupy a výstupy čipu sa pripájajú priamo na PIA a LAB. LAB je zložitá logická štruktúra, podobaná SPLD štruktúre, preto môžeme považovať celý čip za pole vytvorené z SPLD obvodov.





4.2 Altera MAX 3000 CPLD

- obvody: 3032 (32 makrobuniek) až 3512 (512 makrobuniek),
- 3064A- programovatelné v programátore,
- 4 priradené vstupy- 2 globálne hodinové vstupy, 1 globálny reset všetkých KO,
- LAB= 16 makrobuniek,
- LAB pripojený k I/O CB,
- LAB pripojený k PIA

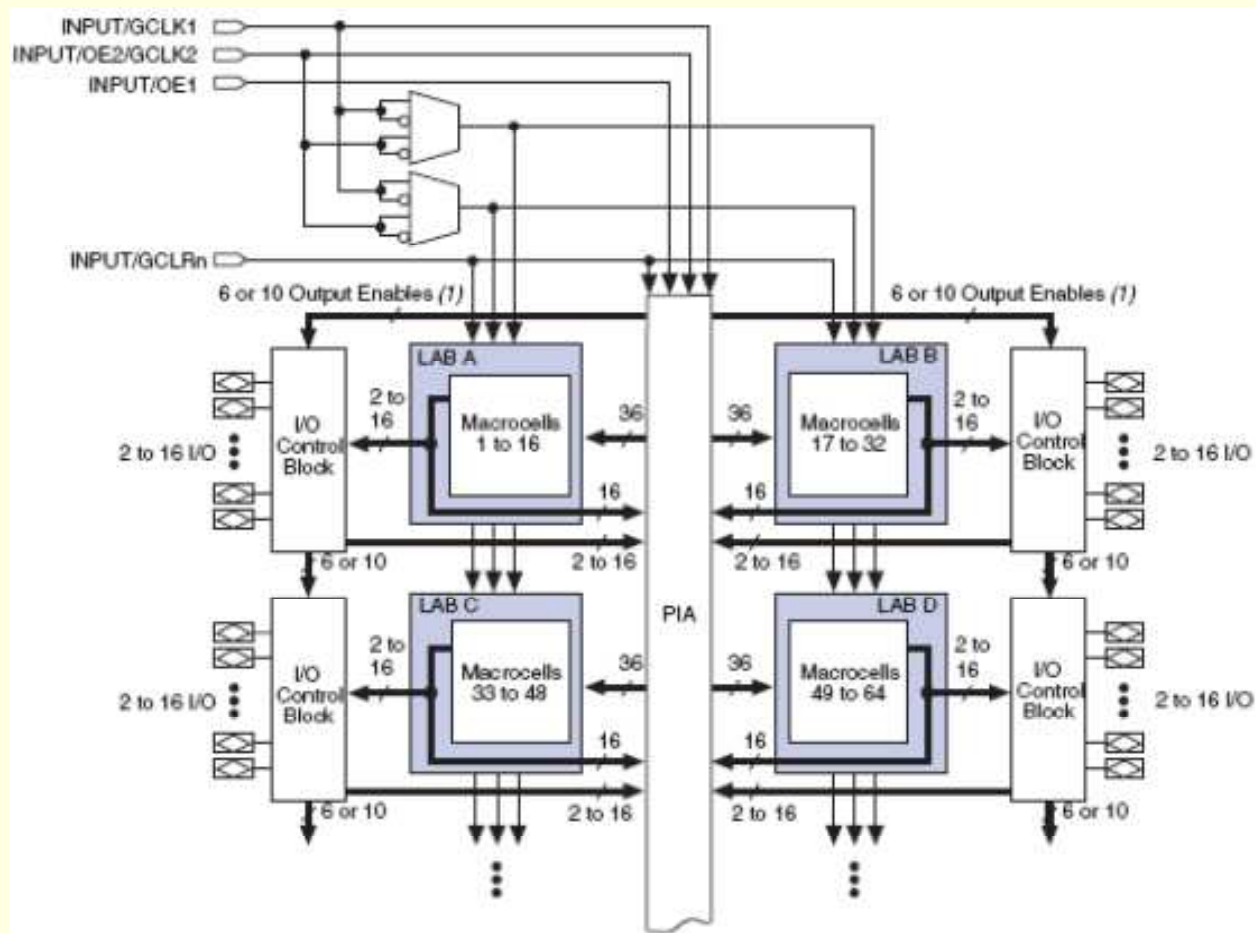
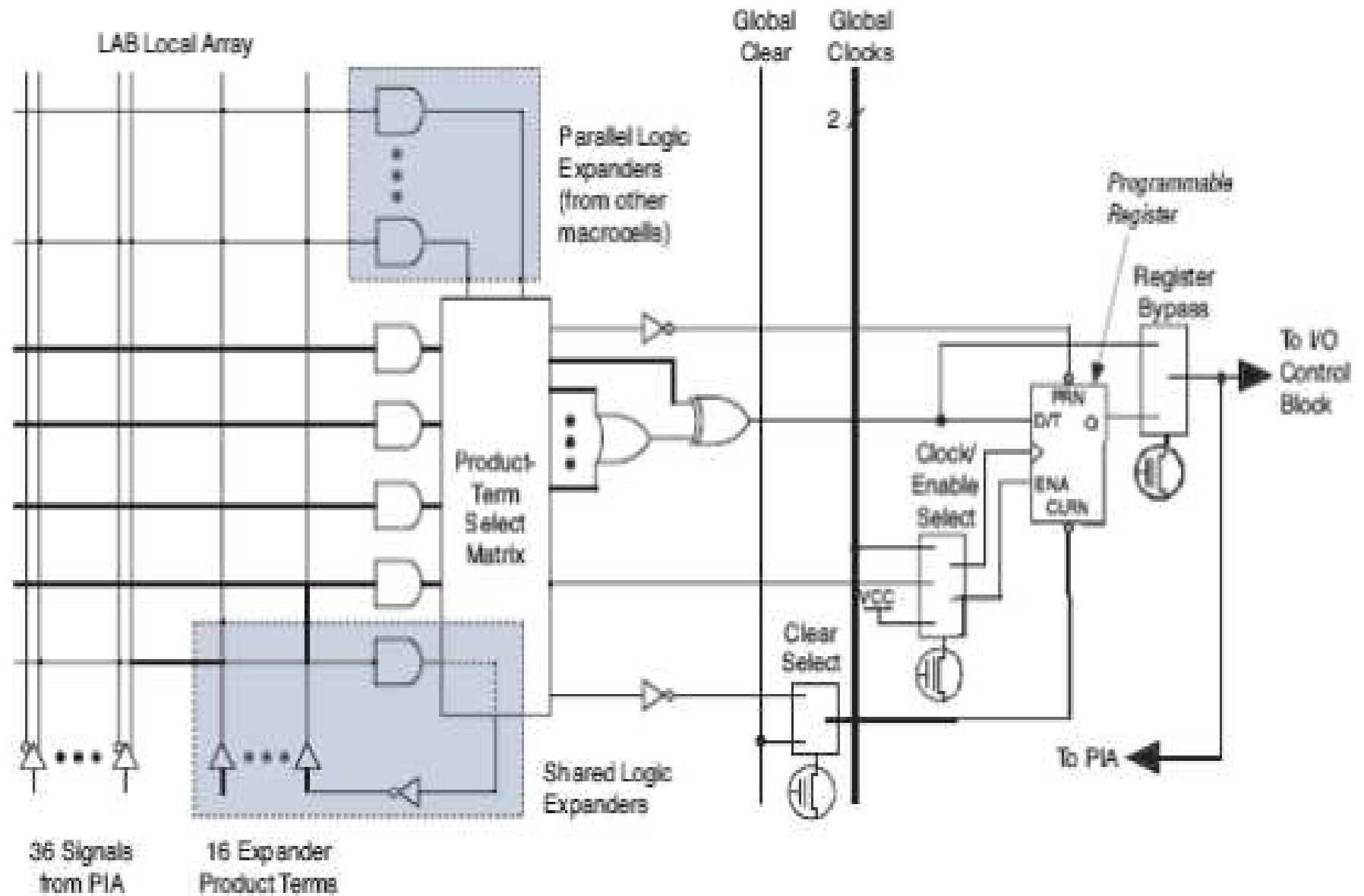


Figure 2. MAX 3000A Macrocell



5 Architektúry a typy číslicových obvodov FPGA

- 5.1 Xilinx XC 4000
- 5.2 Altera FLEX 10K
- 5.3 Altera Cyclone

5 Architektúry obvodov FPGA

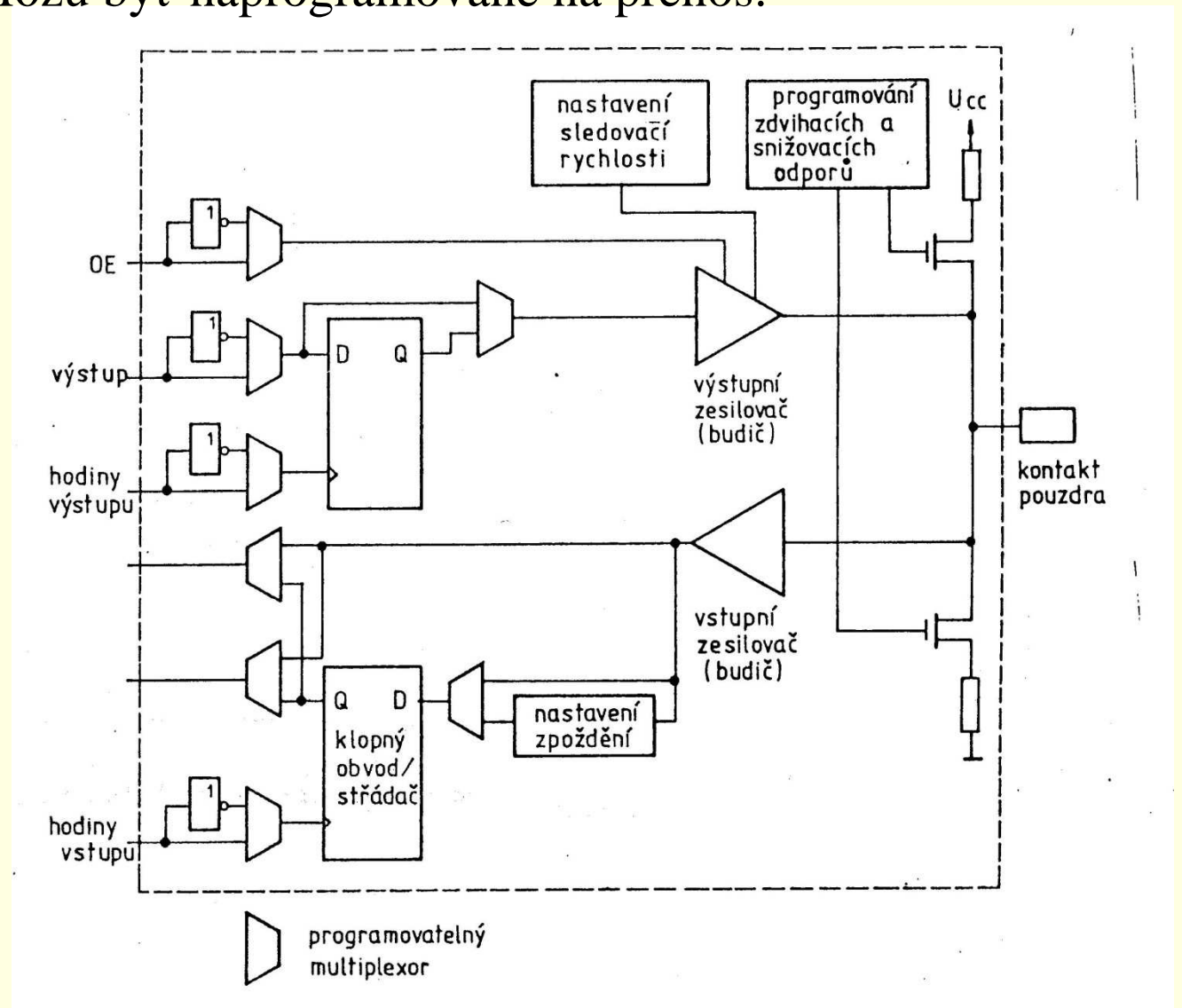
Hlavný komerčný výrobcovia sú uvedený v Tab.

Manufacturer	FPGA Products	WWW Locator
Actel	Act 1, 2 and 3, MX, SX	http://www.actel.com
Altera	FLEX 6000, 8000 and 10K, Mercury, APEX 20K (II), Excalibur, Stratix (II)	http://www.altera.com
Atmel	AT6000, AT40K	http://www.atmel.com
Lattice	ispXPGA, ORCA	http://www.latticesemi.com
QuickLogic	pASIC, Eclipse, Eclipse II	http://www.quicklogic.com
Xilinx	XC3000, XC4000, Spartan (3), Virtex, Virtex II (Pro)	http://www.xilinx.com

5.1 Xilinx XC 4000

V/V bloky (IOB): realizujú rozhranie medzi vývodmi pouzdra a vnútornými signálovými cestami. Môžu byť naprogramované na prenos:

- vstupných,
- výstupných,
- obojsmerných sign.

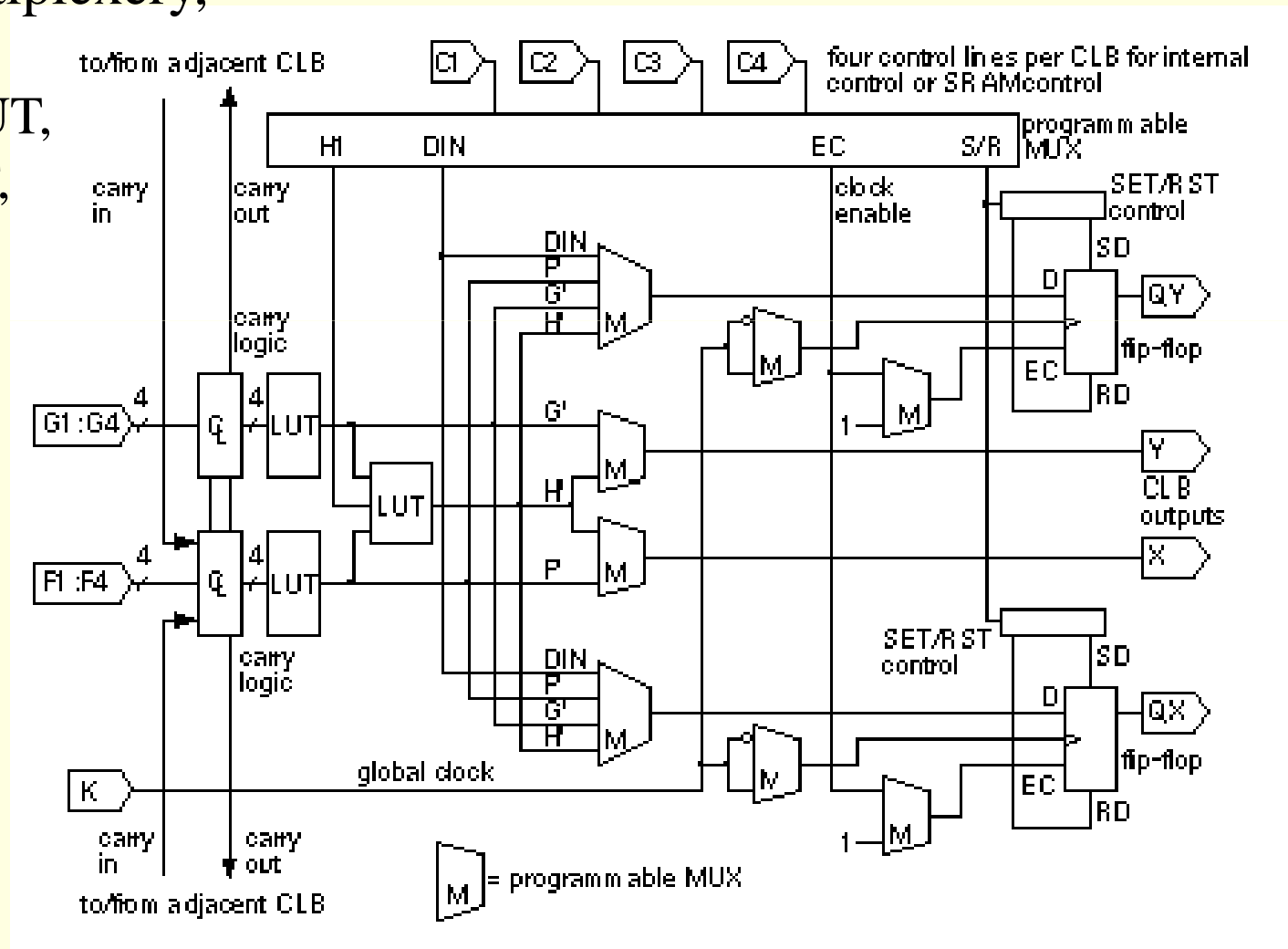


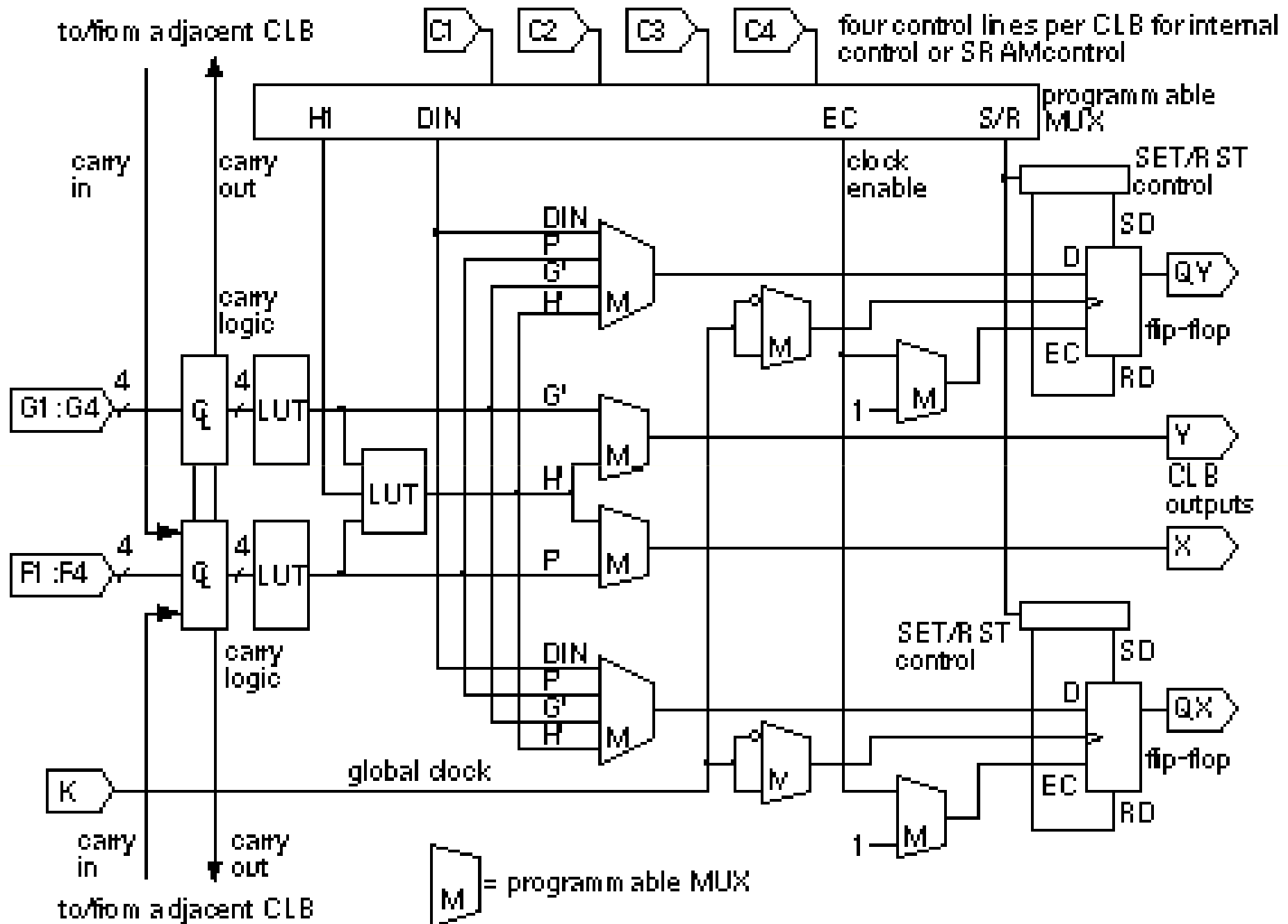
5.1 Xilinx XC 4000

Konfigurovateľné logické bloky (CLB): predstavujú funkčné prvky na vytvorenie užívateľskej logiky.

CLB= progr. multiplexery,

- dvojica KO,
- dvojica 4 vst. LUT,
- jedna 3 vst. LUT,
- 13 vstupov,
- 4 výstupy.





5.1 Xilinx XC 4000

Rodina XC 4000 hradlových polí LCA (Logic Cell Arrays) firmy Xilinx.

Označení	XC 4042	XC 4003	XC 4004	XC 4005	XC 4006	XC 4008	XC4010	XC 4013	XC4016	XC 4020
přibližný počet ekvivalentních hradel	2 000	3 000	4 000	5 000	6 000	8 000	10 000	13 000	16 000	20 000
rozměr matice bloků <i>CLB</i>	8 × 8	10 × 10	12 × 12	14 × 14	16 × 16	18 × 18	20 × 20	24 × 24	26 × 26	30 × 30
celkový počet bloků <i>CLB</i>	64	100	144	196	256	324	400	576	784	900
maximální počet bitů RAM	2 048	3 200	4 608	6 272	8 192	10 368	12 800	18 432	25 088	28 800
počet bloků <i>IOB</i>	64	80	96	112	128	144	160	192	224	240

5.2 Altera FLEX 10K

Vnútorne usporiadanie obvodu FLEX 10K je na Obr.

-prepojovacie vodiče

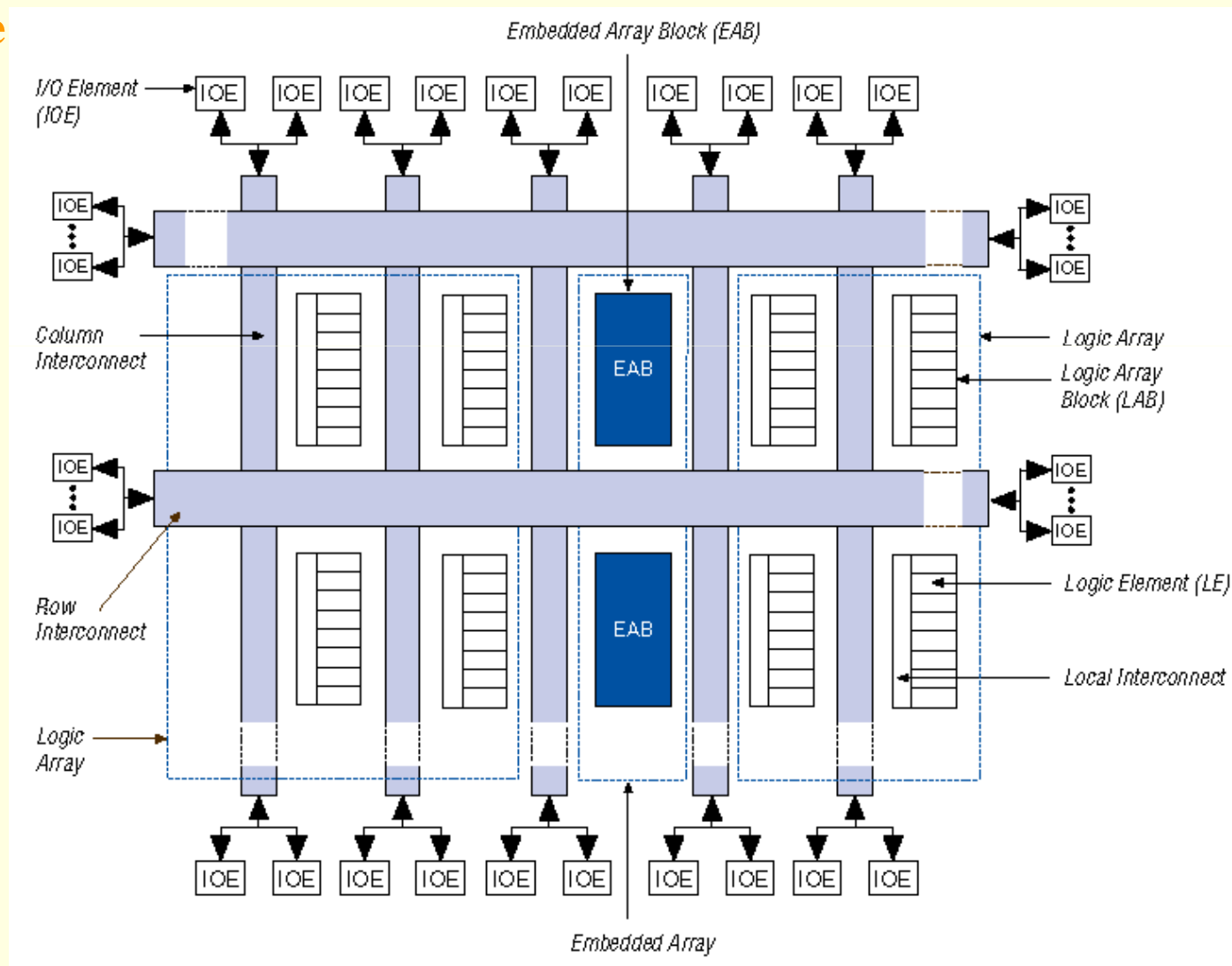
-vodorovné
-zvisle

-LABs,

- 8 LEs
- LUT

-EABs,

- IOE.

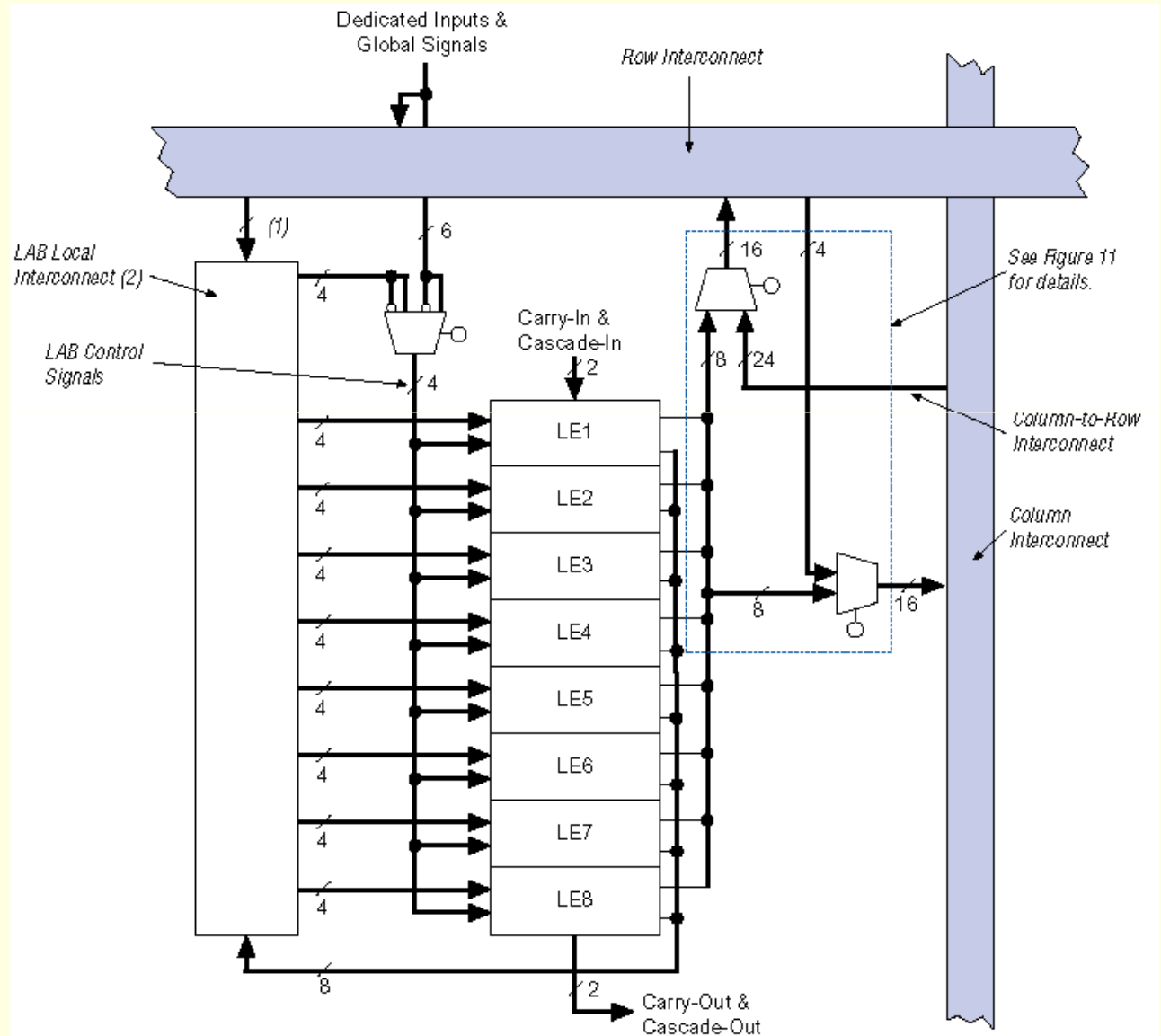


5.2 Altera FLEX 10K

Každý LAB pozostáva s:

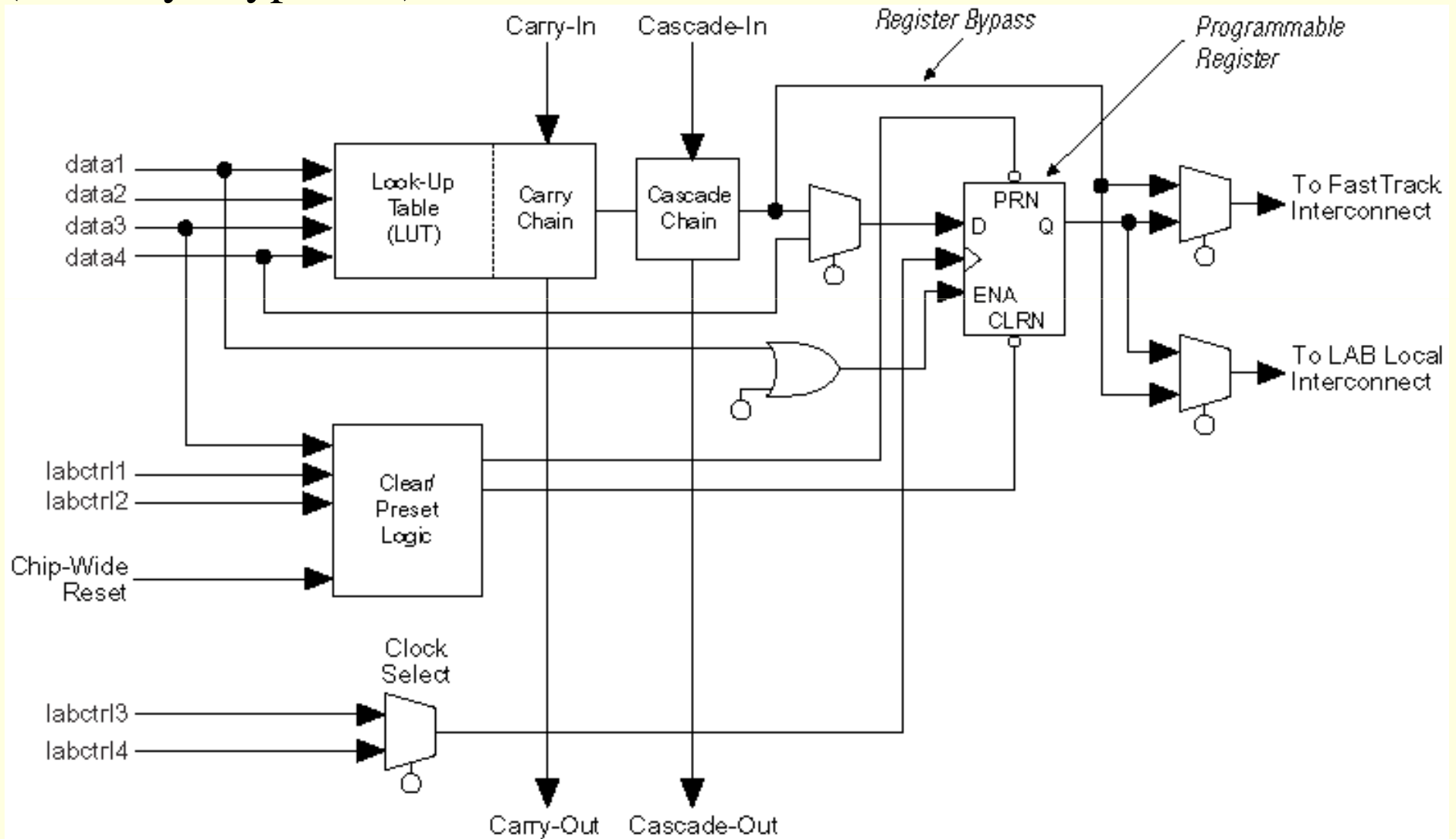
-8 LE,

- niekoľkých vstupov



5.2 Altera FLEX 10K

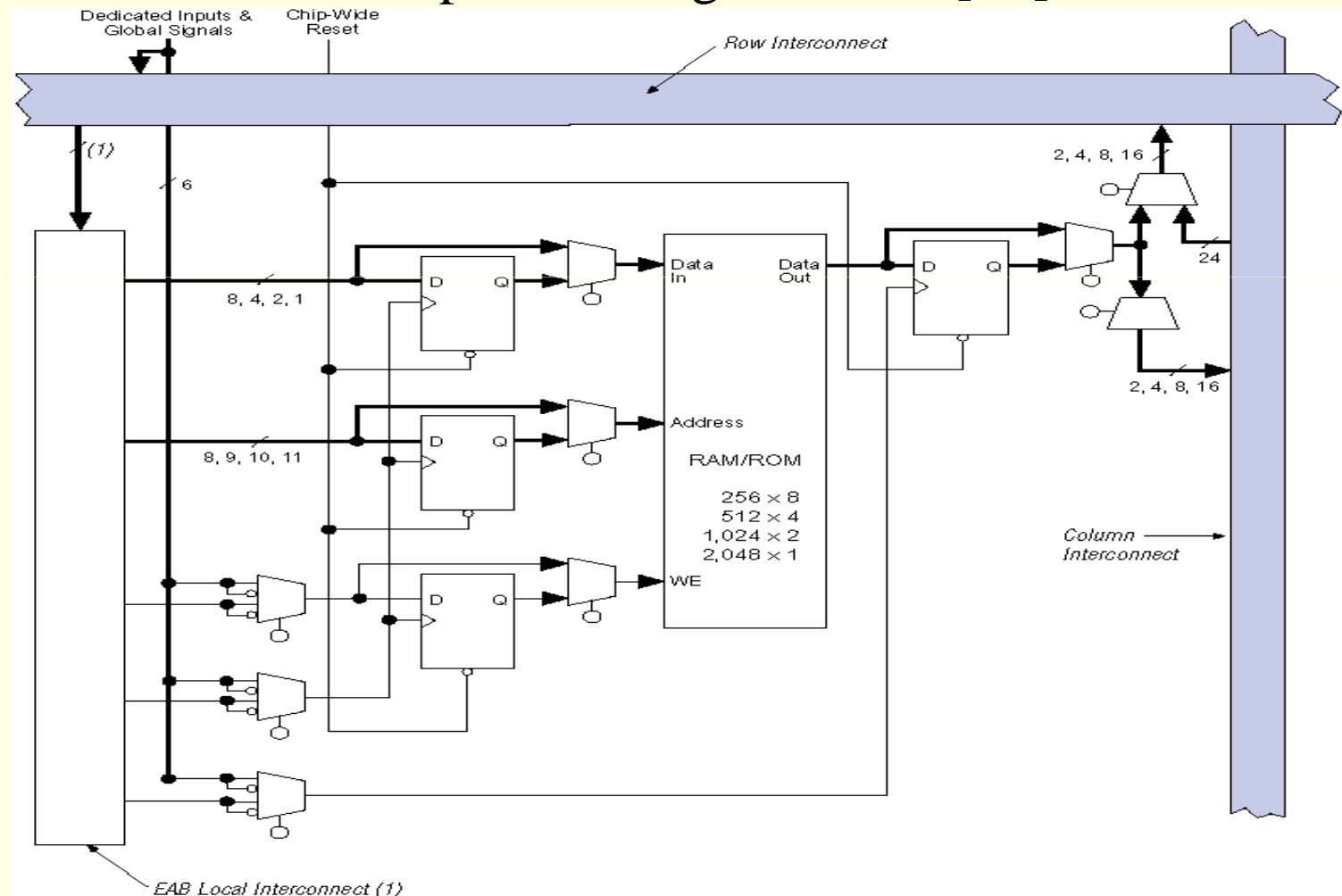
Základným blokom LE je **LUT** (4 vstupová), ďalším prvkom je KO (môže byť bypassed).



5.2 Altera FLEX 10K

Štruktúra EAB je na Obr. Skladá sa z 2048 SRAM buniek (konfigurácia použitím LPM knižnice- *lpm_ram_dq*, *lpm_rom*),
-môžu byť použité na realizáciu pamätí s organizáciou [bit]:

- 256x8,
- 512x4,
- 1024x2,
- 2048x1.



5.2 Altera FLEX 10K

V rodine FLEX 10K sú k dispozícií obvody 10K10 až 10K250, ktoré majú 10k až 250k ekvivalentných logických hradiel.

Sú k dispozícií obvody s rôznymi oneskoreniami (10K10-1/2)

Feature	EPF10K10 EPF10K10A	EPF10K20
Typical gates (logic and RAM) (1)	10,000	20,000
Maximum system gates	31,000	63,000
Logic elements (LEs)	576	1,152
Logic array blocks (LABs)	72	144
Embedded array blocks (EABs)	3	6
Total RAM bits	6,144	12,288
Maximum user I/O pins	150	189