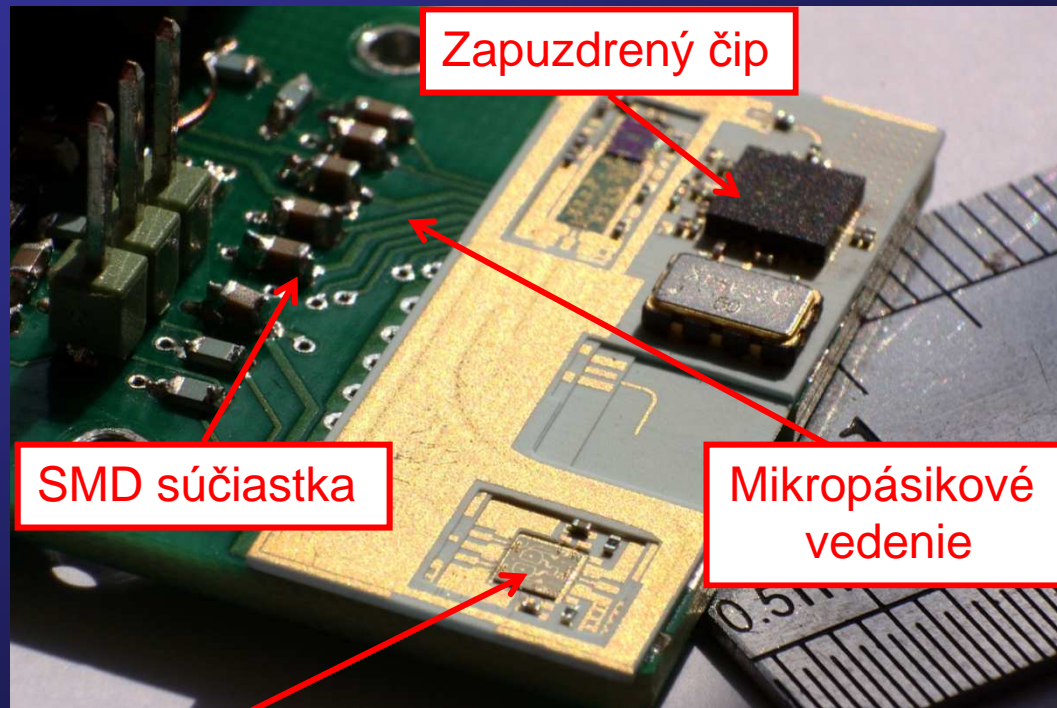


Motivácia



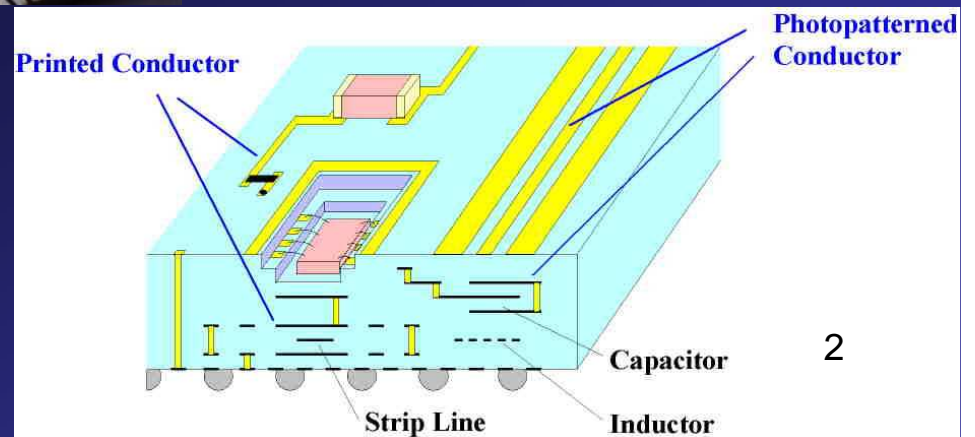
Zapuzdrený čip

SMD súčiastka

Mikropásikové
vedenie

LTCC štruktúra

I-Q front-end môže byť realizovaný pomocou LTCC technológie a implementovaný spolu s IC

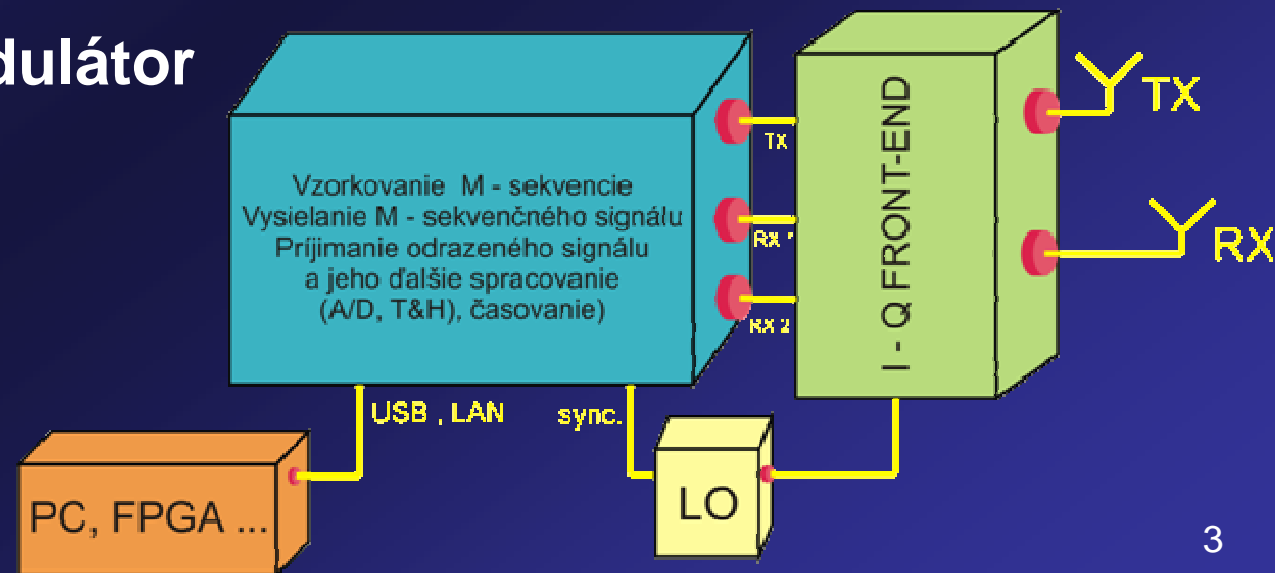


1. Návrh DPS pre FPGA obvod

2. VF návrh DPS pre zmiešavač

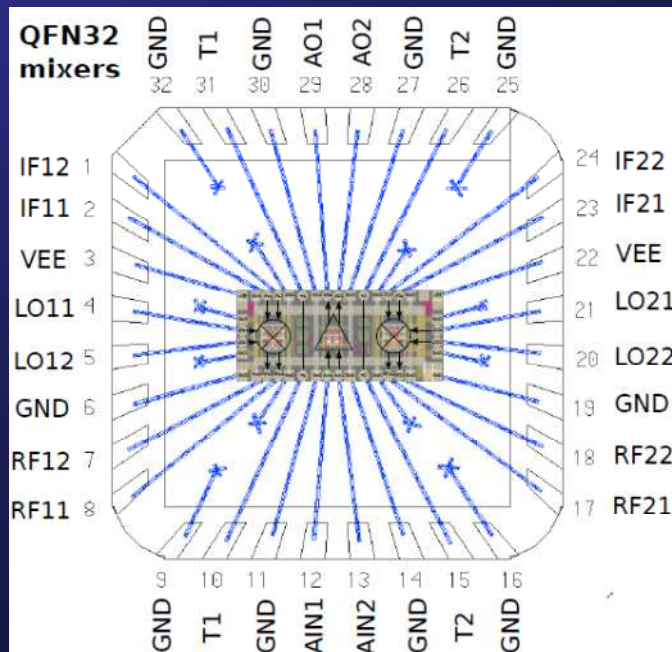
3. Návrh DPS pre dolno – priepustný filter

4. I – Q demodulátor



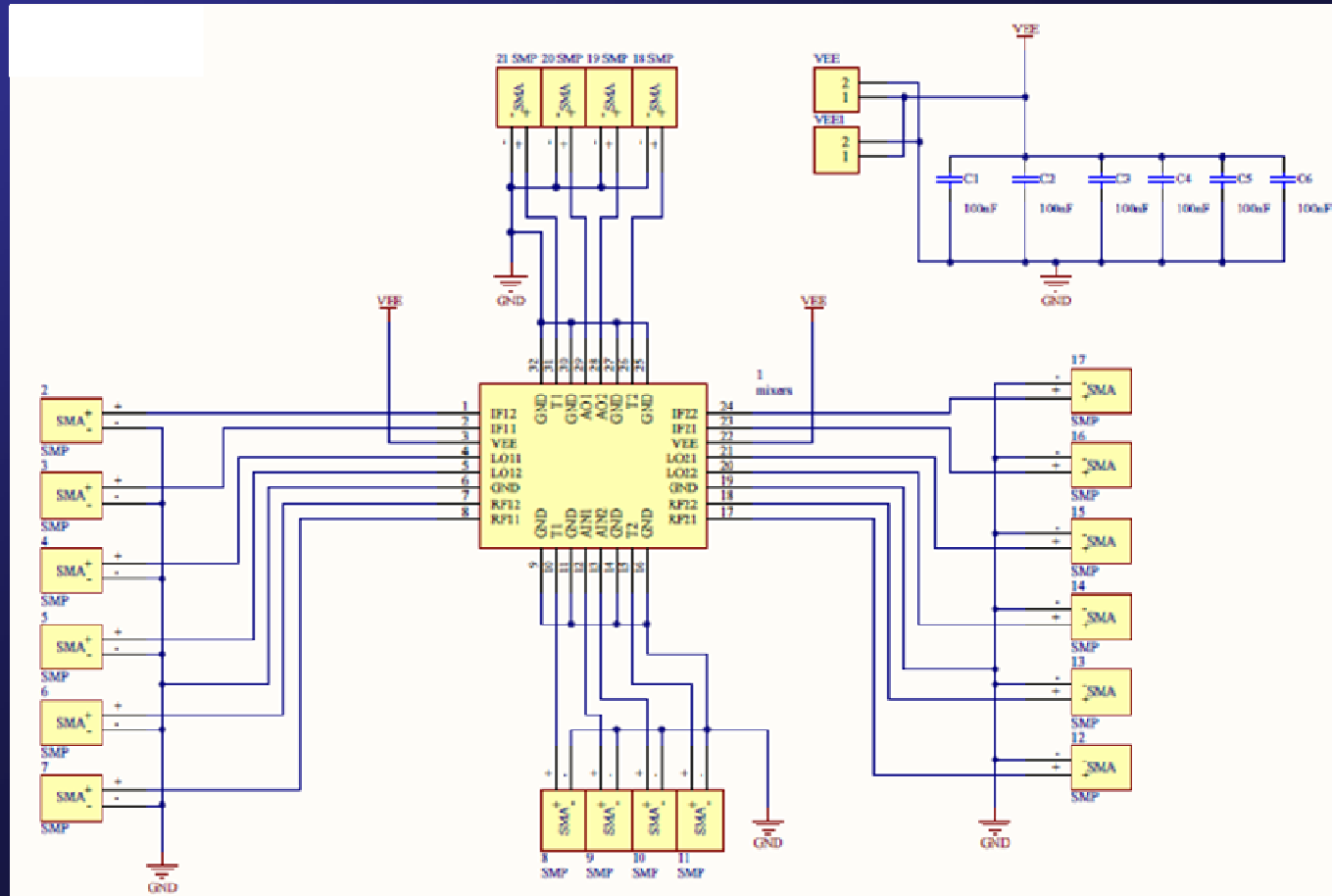
2. VF návrh DPS pre zmiešavač

- 1. verzia DPS
 - Vykonané merania na meracích prístrojoch TDR a VNA
- 2. verzia DPS



- BiCMOS SiGe technológia
- 0,35 μm
- Dva zmiešavače v jednom púzde
- Čip zapúzdený v QFN 32 puzdre
- Spotreba 86 mA pri napájacom napätí – 3,3 V

2. VF návrh DPS pre zmiešavač

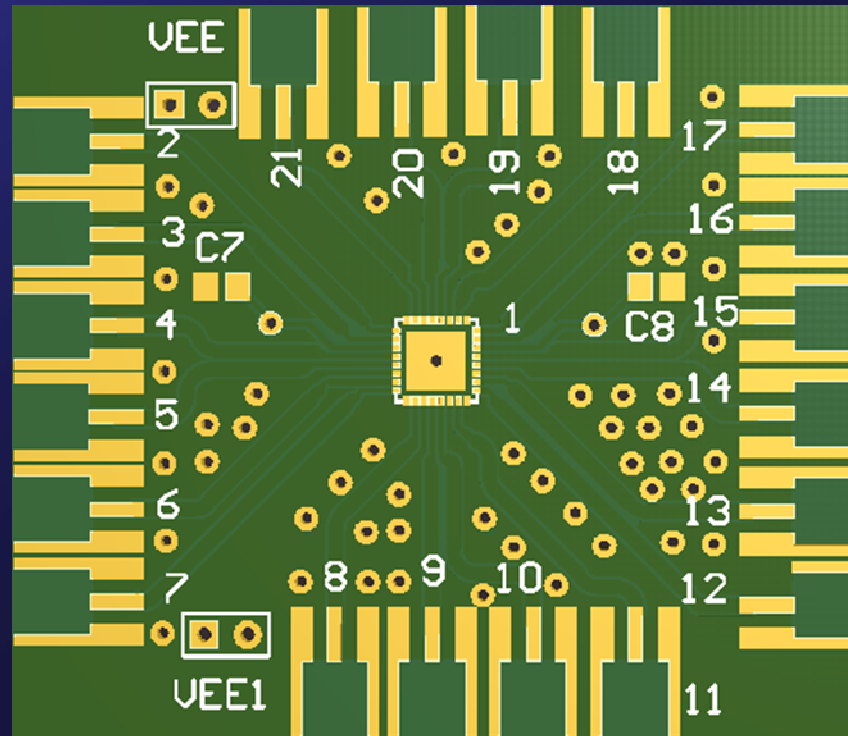


Požiadavky :

- Malý návrh
- 50 Ω prispôsobenie vedenia a konektorov

2. VF návrh DPS pre zmiešavač

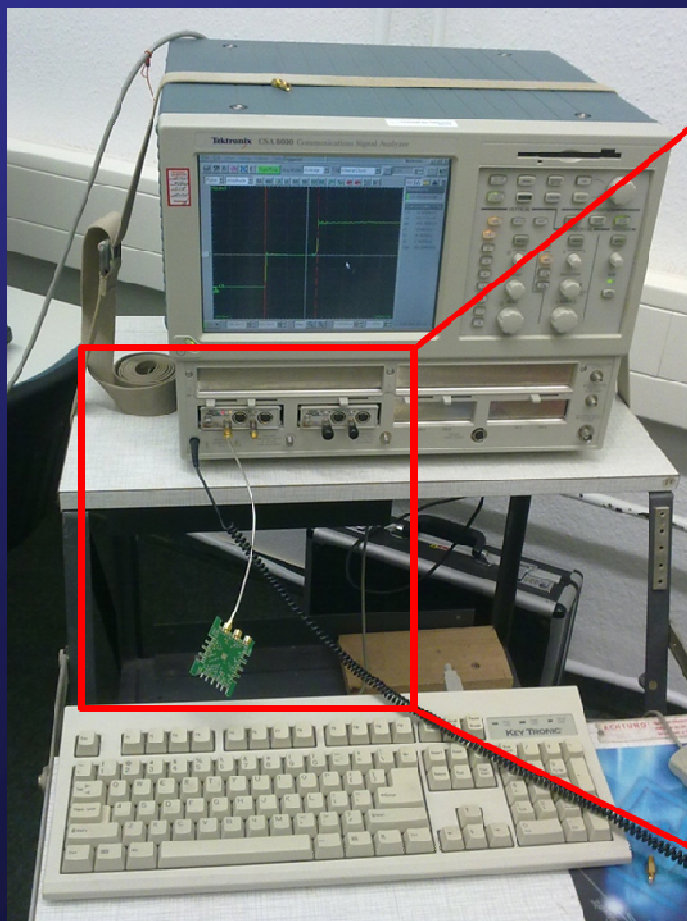
Realizácia



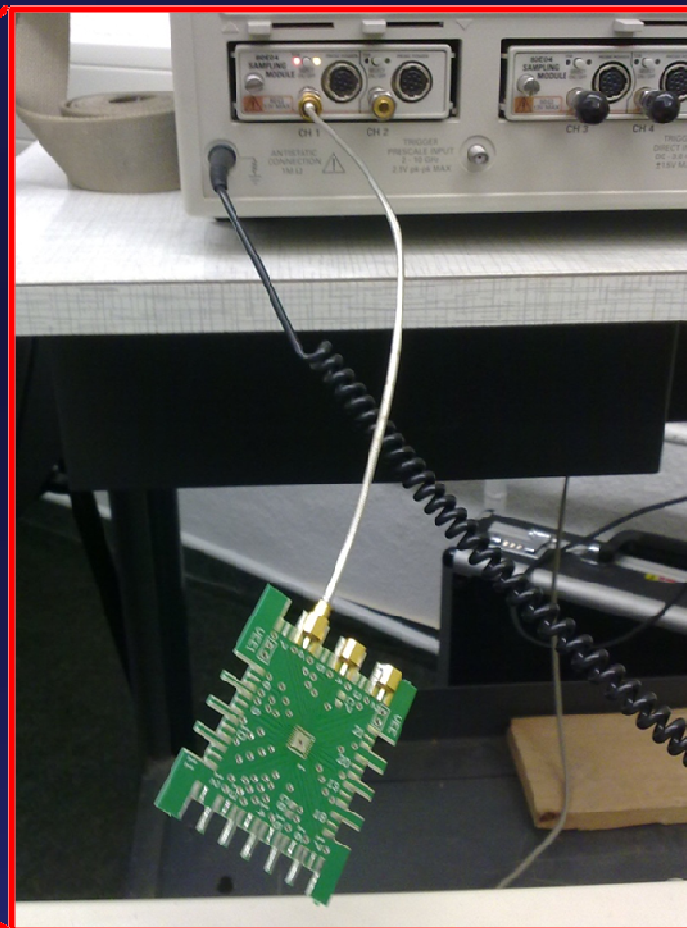
- Realizácia pomocou mikropásikového vedenia
- Rogers RO4003
- SMP mini konektory

2. VF návrh DPS pre zmiešavač

Meranie DPS na meracom prístroji



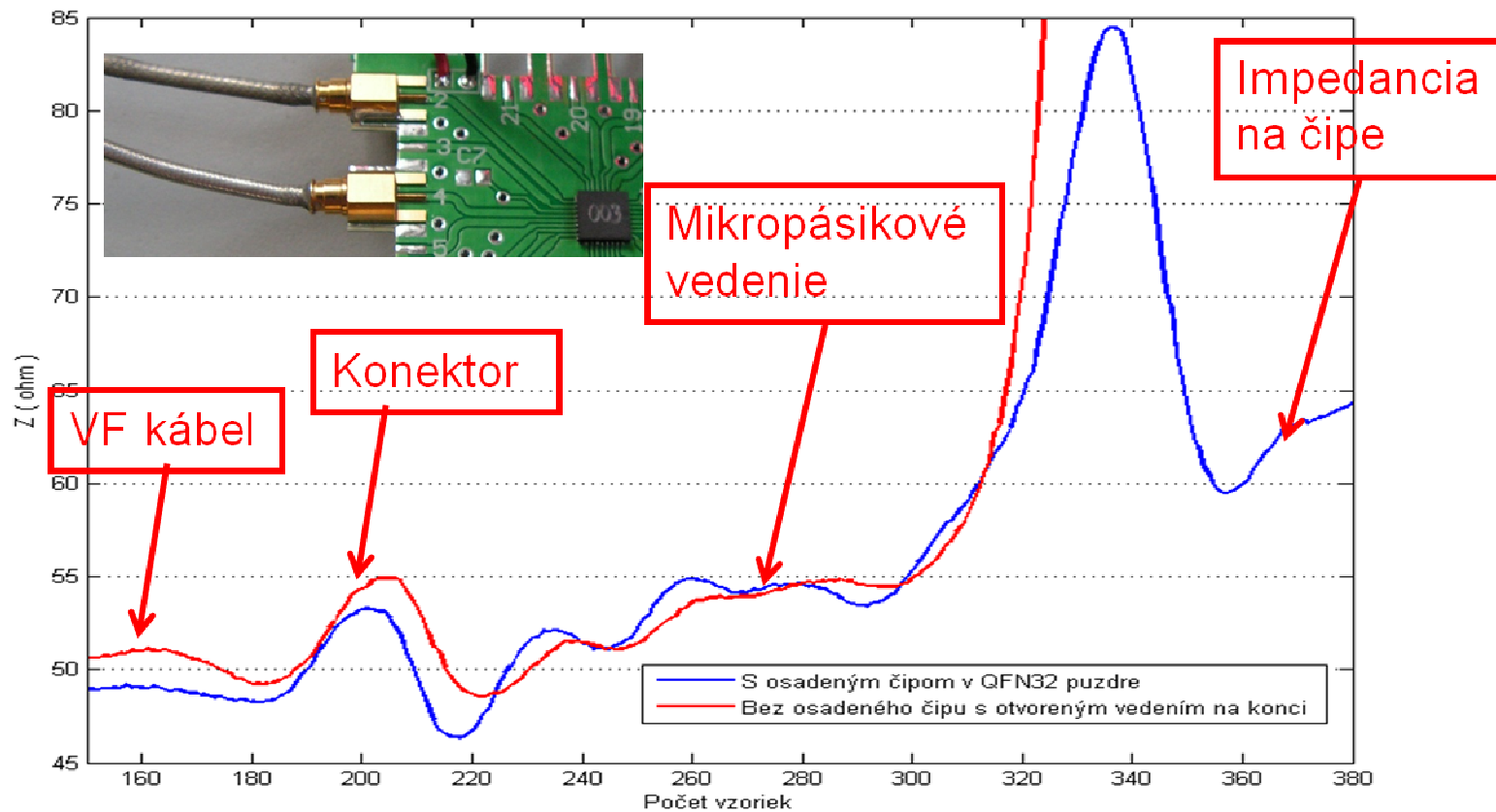
Tektronix CSA 8000



Meranie mikropásikového vedenia

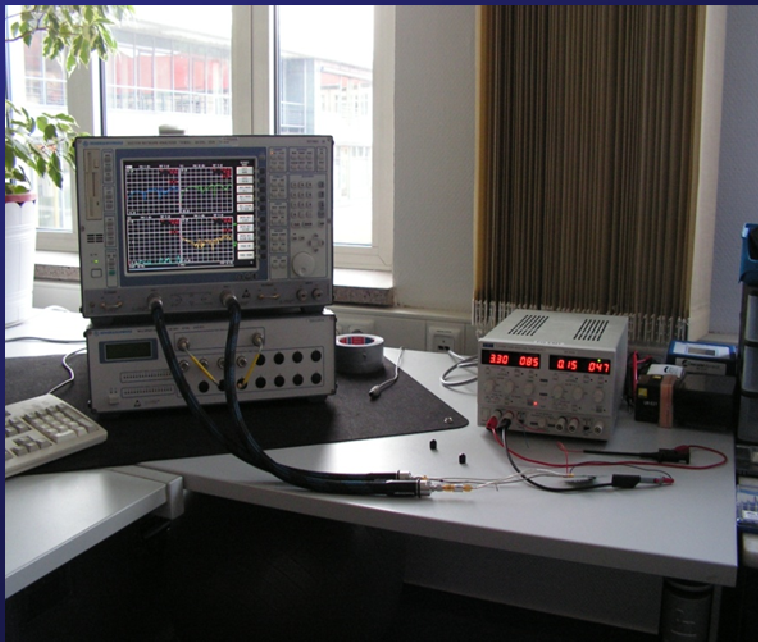
2. VF návrh DPS pre zmiešavač

Výsledky merania



2. VF návrh DPS pre zmiešavač

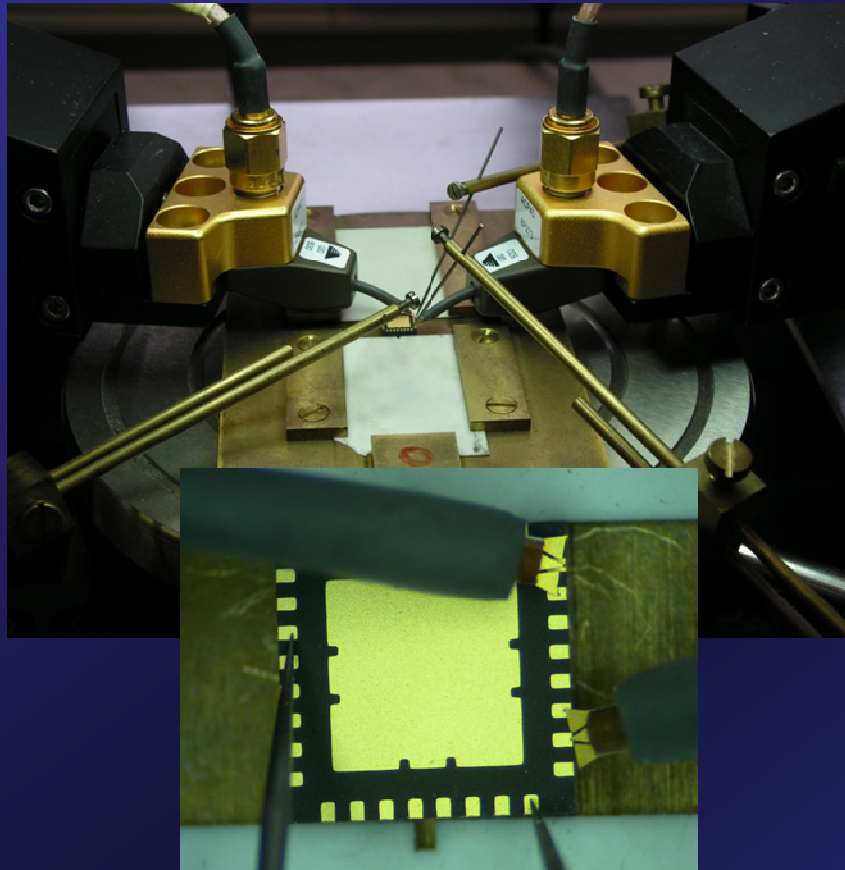
Meranie na VNA meracom prístroji



- ROHDE & SCHWARZ
ZVK (10 MHz – 40 GHz)
- Laboratórny napájací zdroj
- S – parameter
 - Presluch ~ S12 parameter
 - Impedančné prispôsobenie ~ S11 parameter

2. VF návrh DPS pre zmiešavač

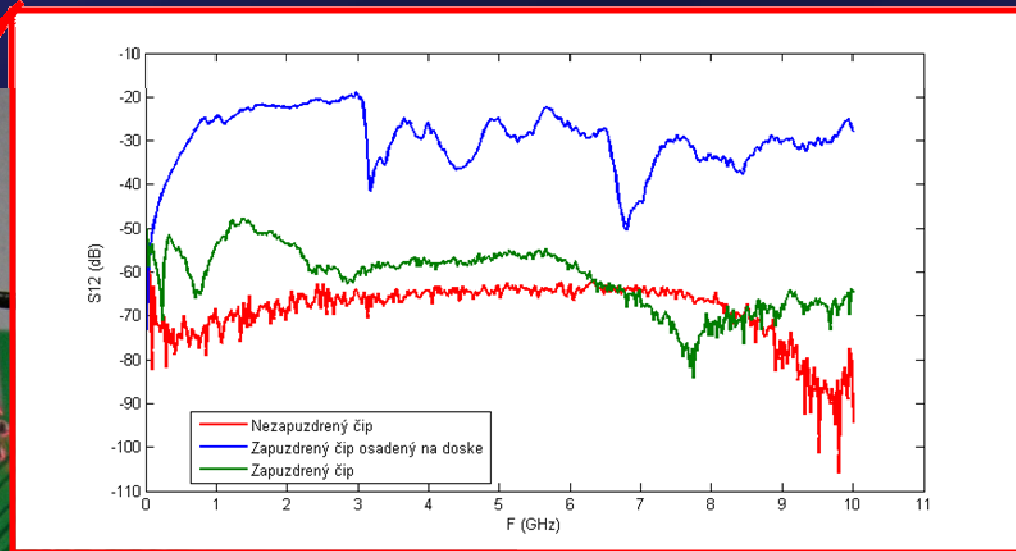
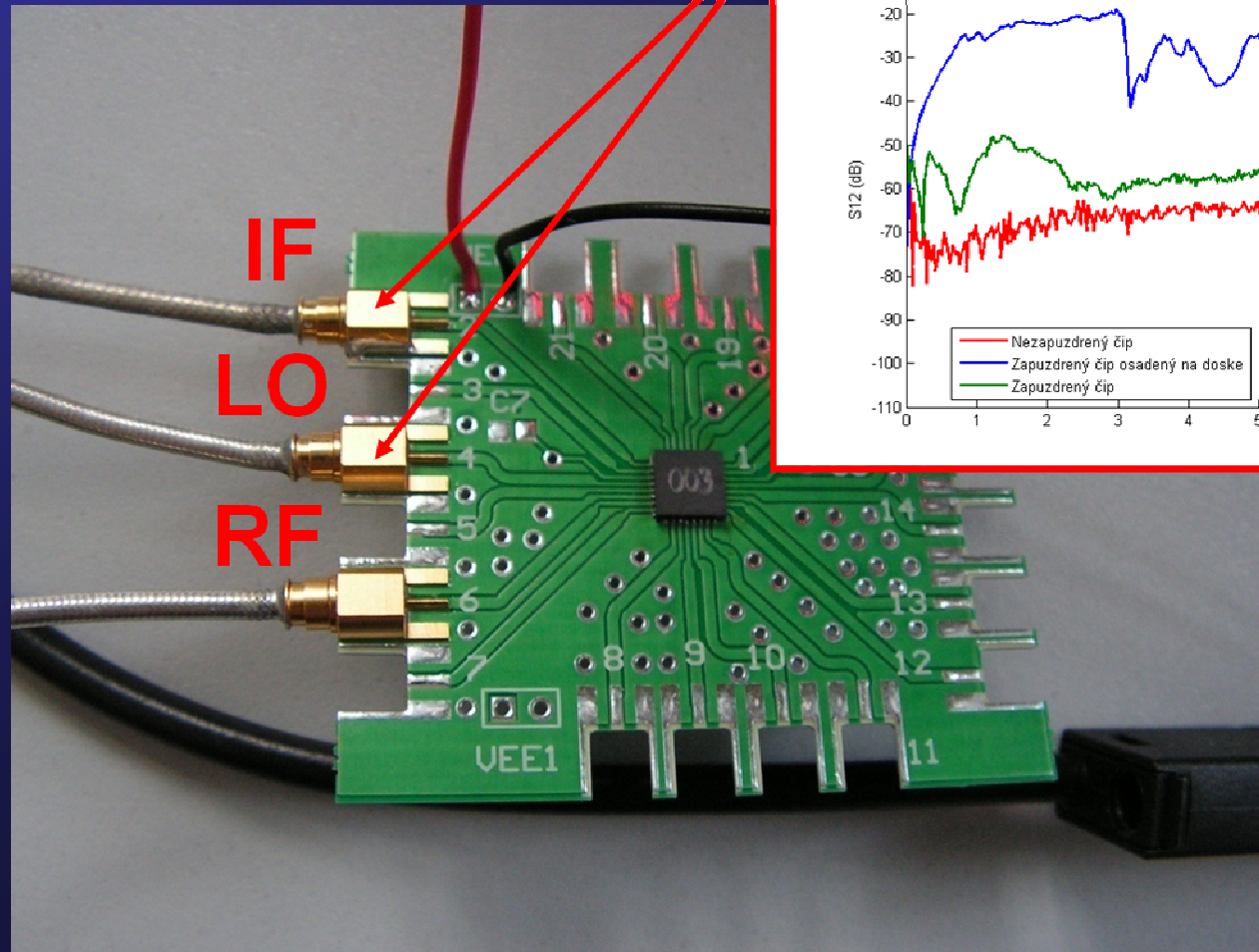
Meranie S - parametrov



- Čip
 - Pripojený pomocou 100 μm VF hlavicou
- Čip v QFN 32 puzdre
 - Pripojený pomocou 500 μm VF hlavicou

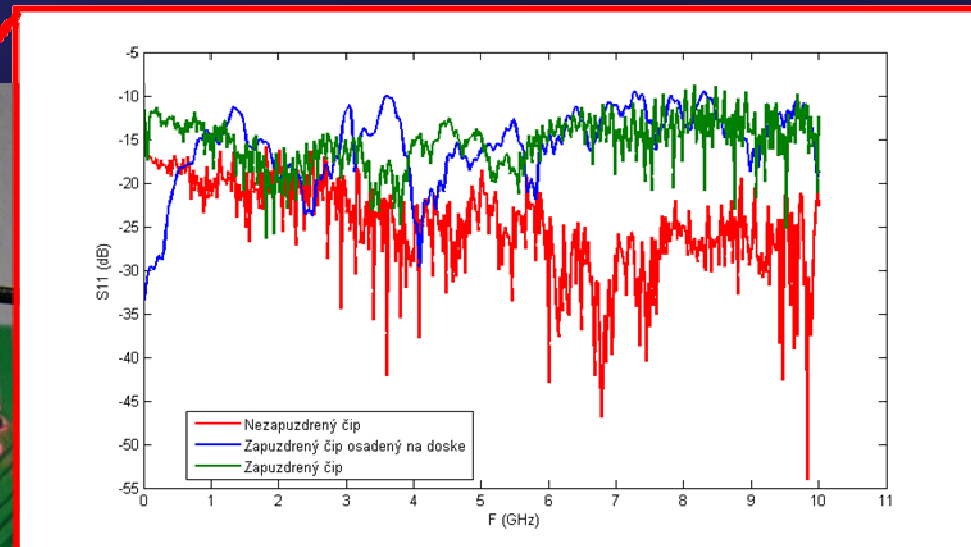
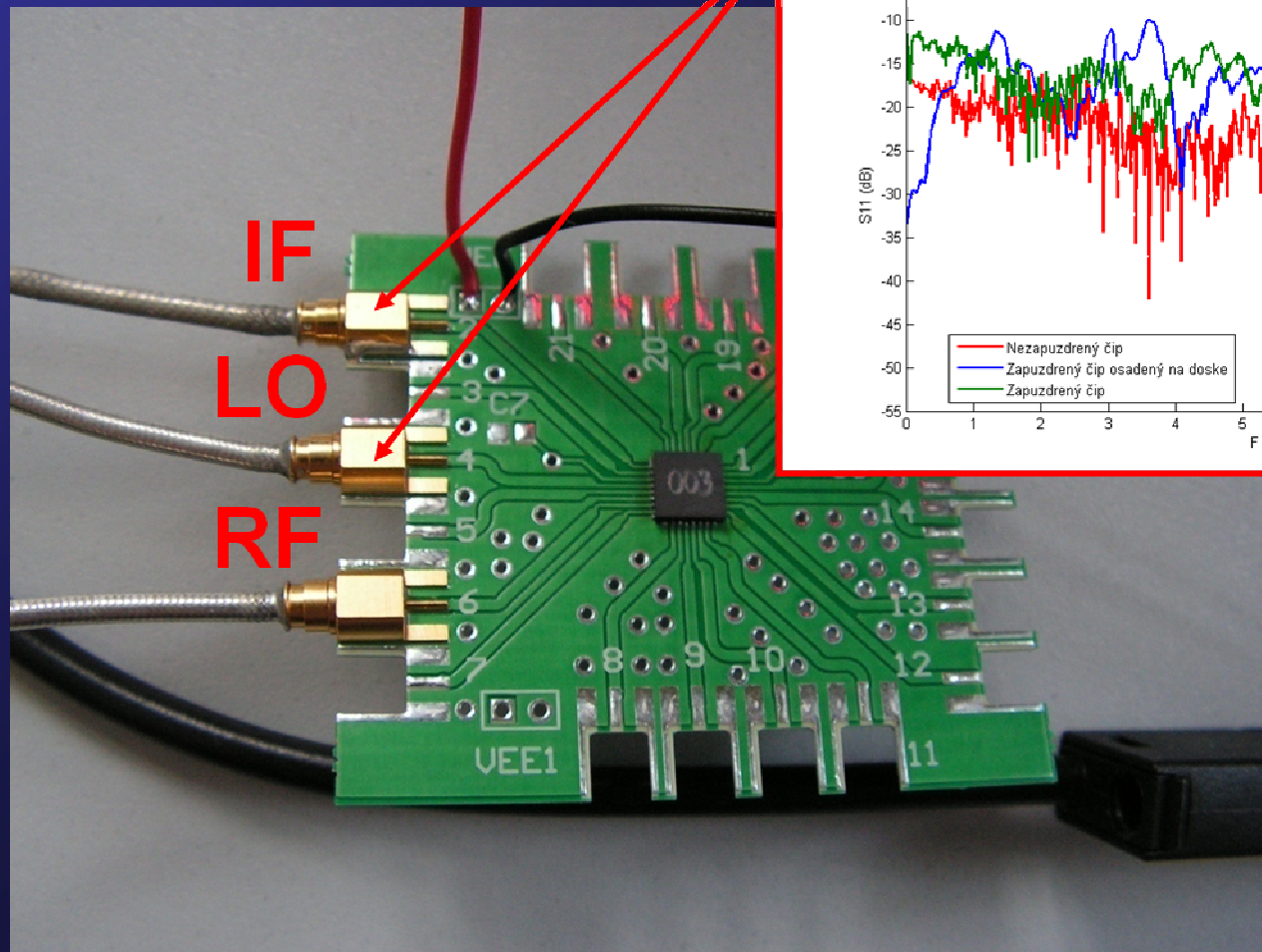
2. VF návrh DPS pre zmiešavač

Presluch (S12) medzi IF a LO



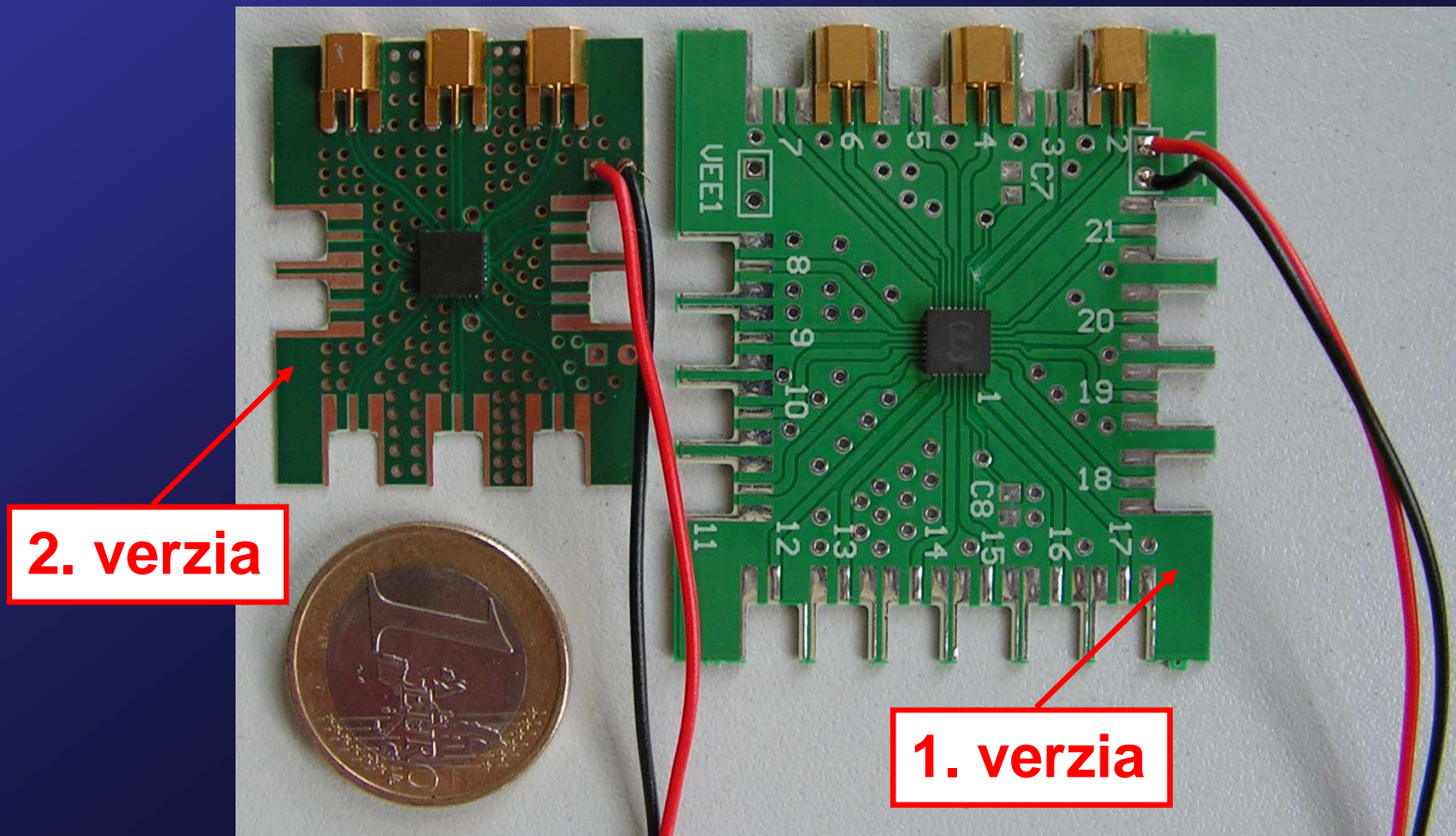
2. VF návrh DPS pre zmiešavač

Impedančné prispôsobenie (S11) IF a LO



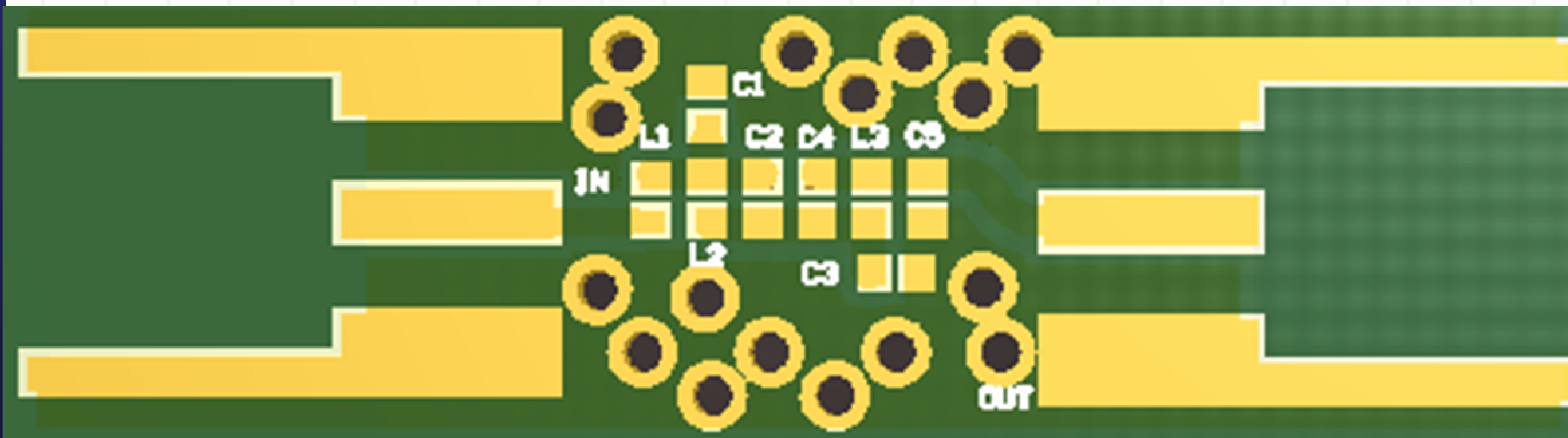
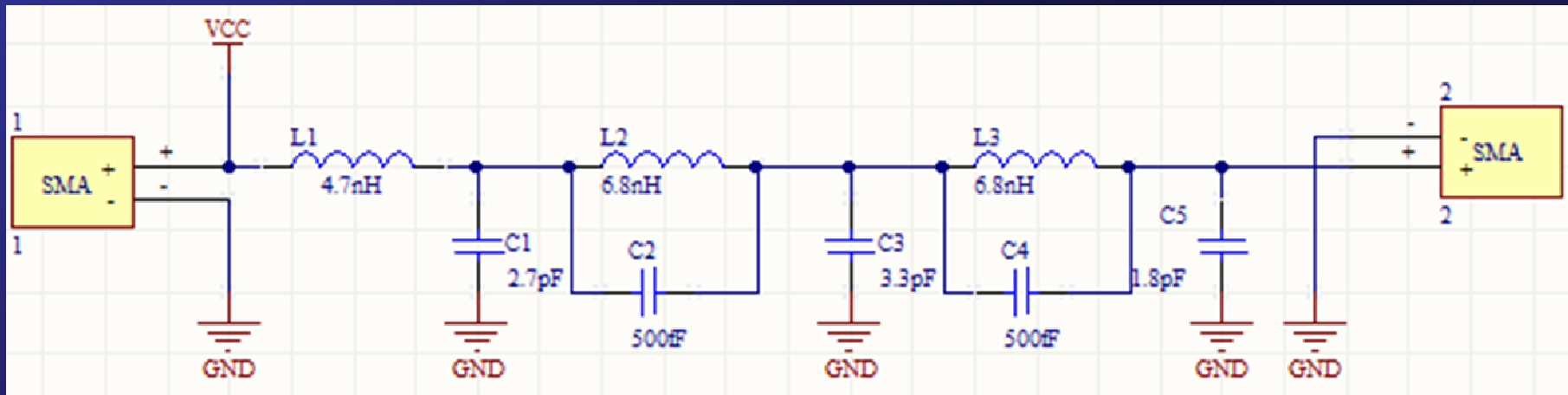
2. VF návrh DPS pre zmiešavač

Verzie DPS

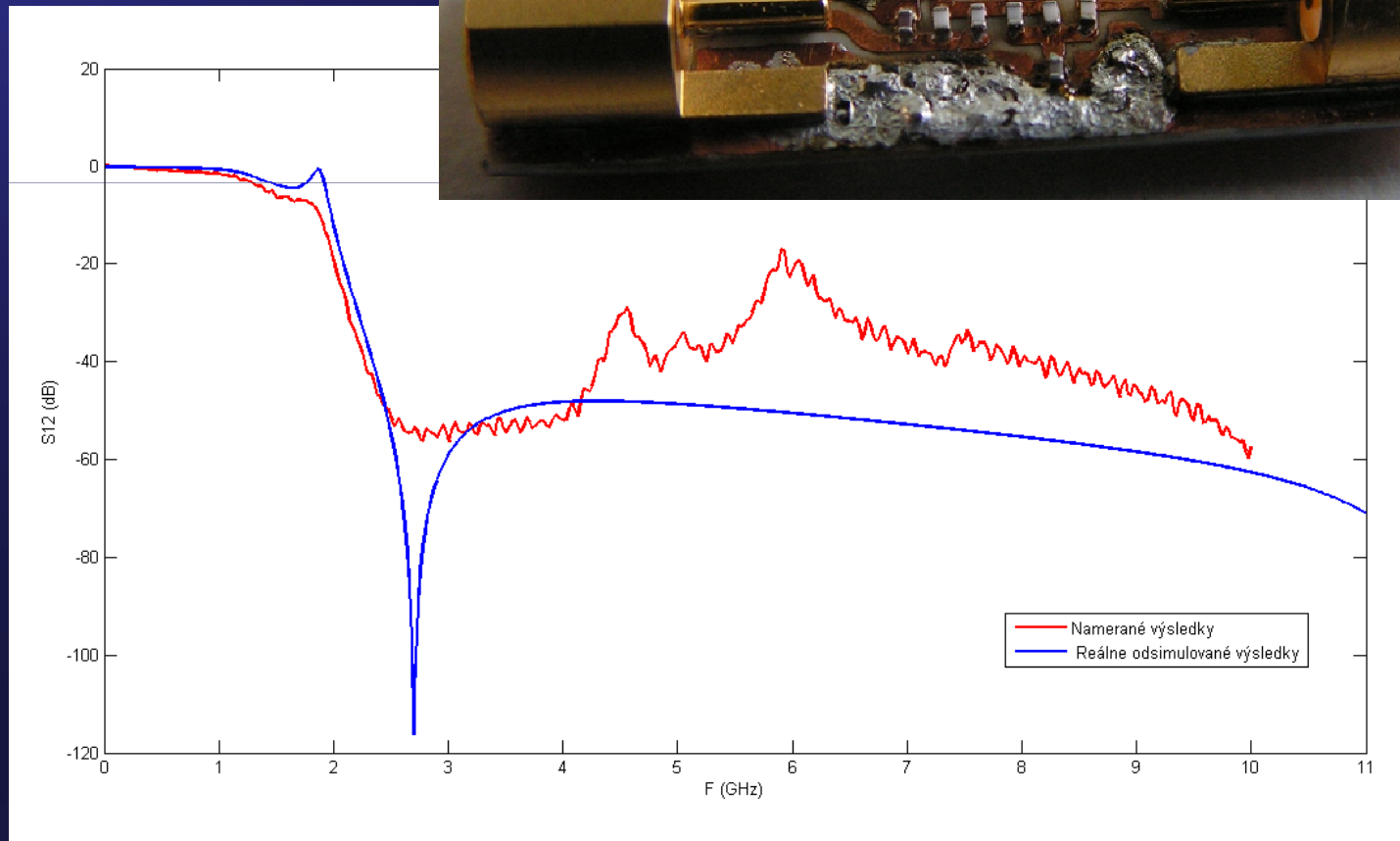
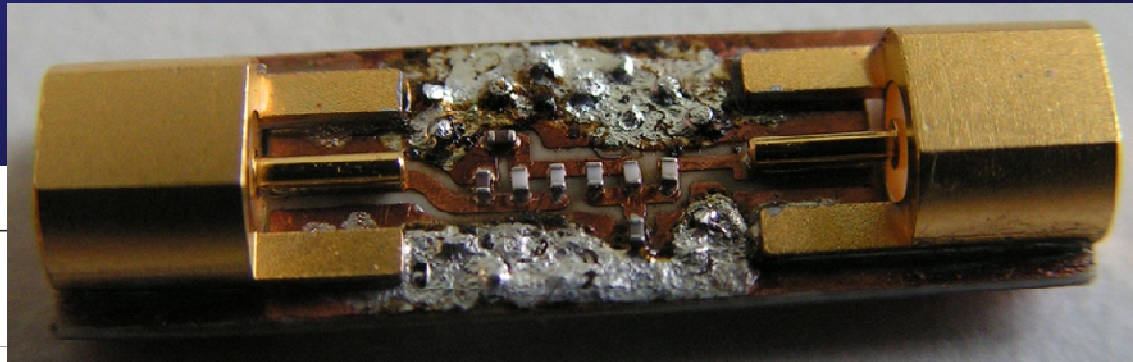


Via, šírka mikropásikového vedenia, šírka a hrúbka DPS, pripojenie zmiešavača

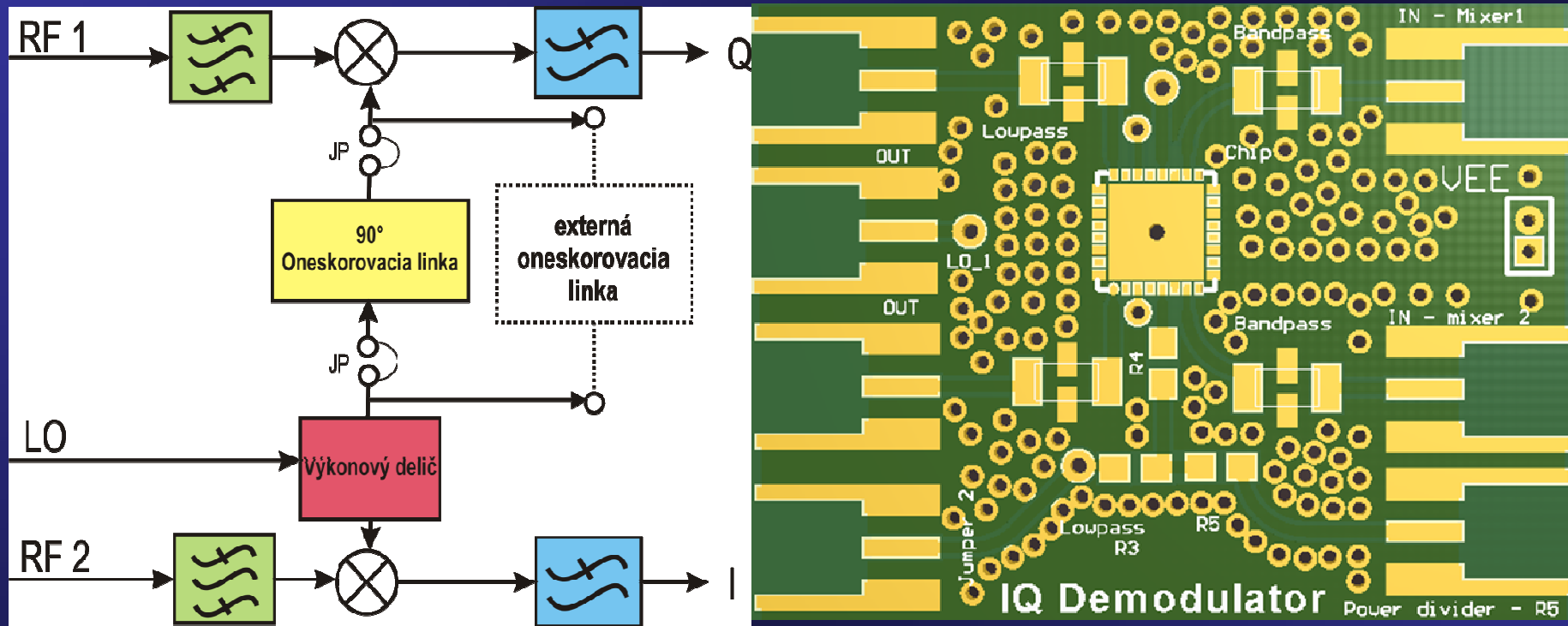
3. Návrh DPS pre dolno – priepustný filter



3. Návrh DPS pre dolno – priepustný filter

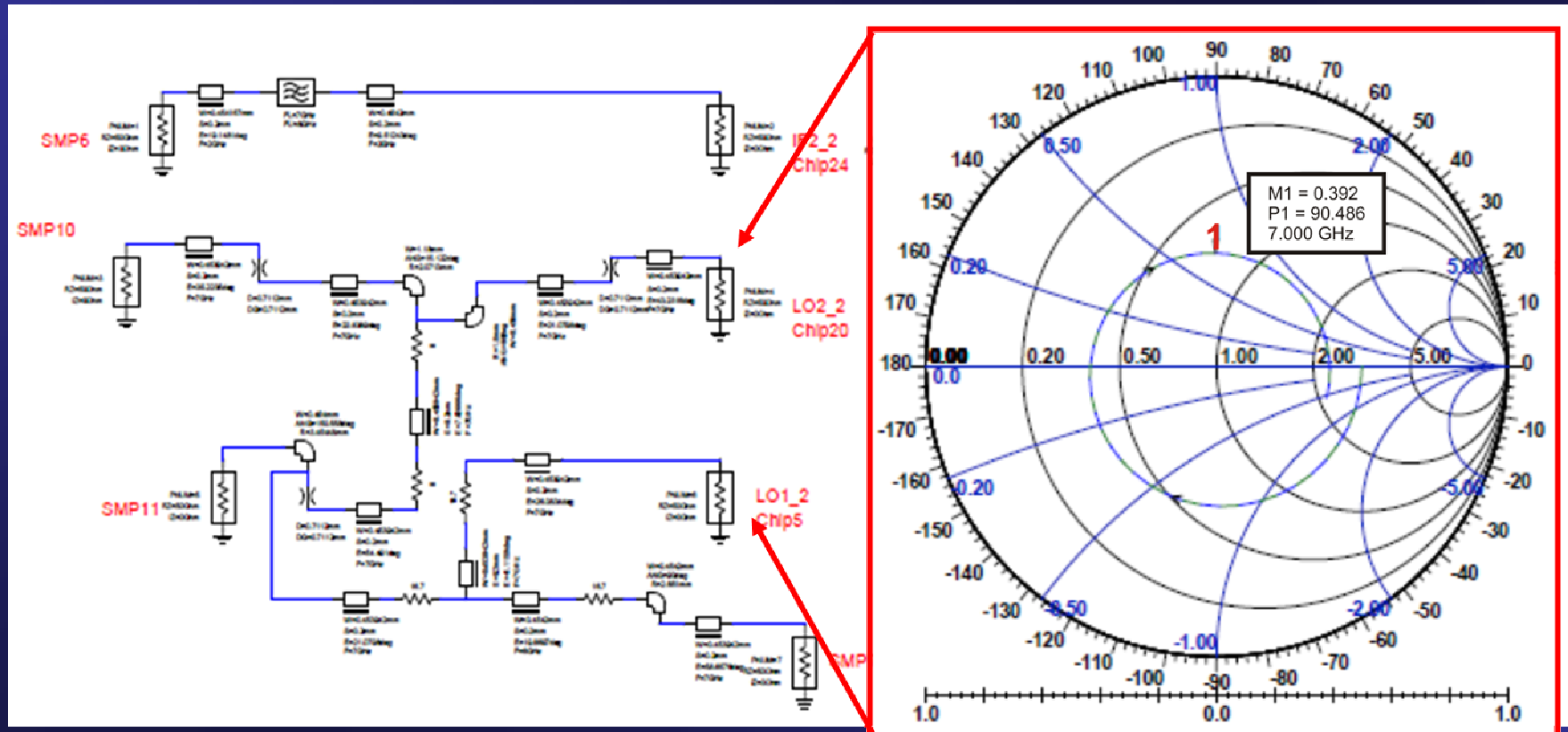


4. I – Q demodulátor



4. I – Q demodulátor

Oneskorovacia linka



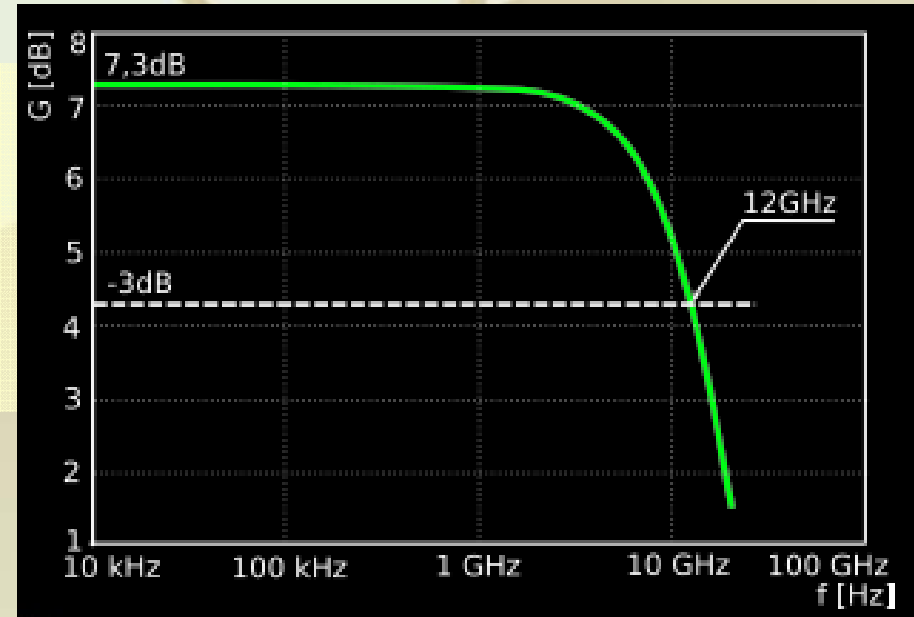
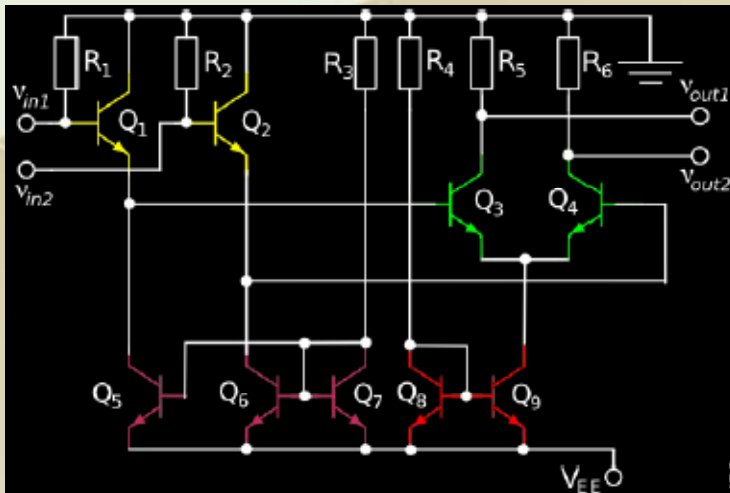
- V prvom kroku bola oneskorovacia linka realizovaná pomocou mikropásikového vedenia
- V druhom kroku je možné realizovať pomocou LTCC štruktúry
- Vypočítaná dĺžka oneskorovacej linky je 5,687 mm pri 7 GHz

Fully Differential Amplifier in 0.35 μm SiGe BiCMOS technology for UWB applications

1 PhD. & 1 Master student

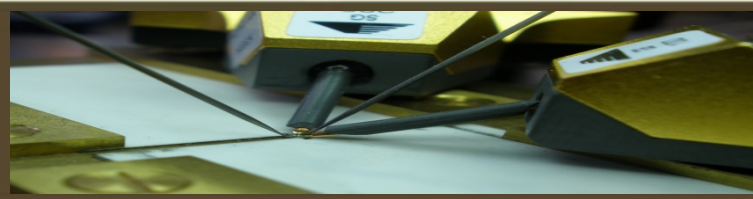
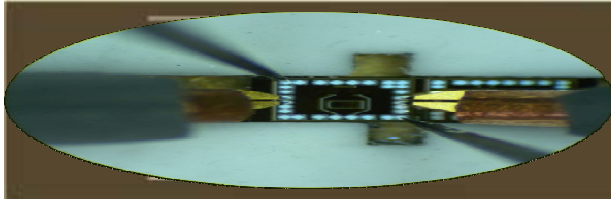
Designed parameters:

- DC Gain 7.3 dB
- Cut off frequency 12 GHz
- CMRR < -50 dB
- 15 mA @ -3.3 V



Requirements (demanding):

- Max. frequency bandwidth
- Opt. differential gain
- Max. common mode suppression



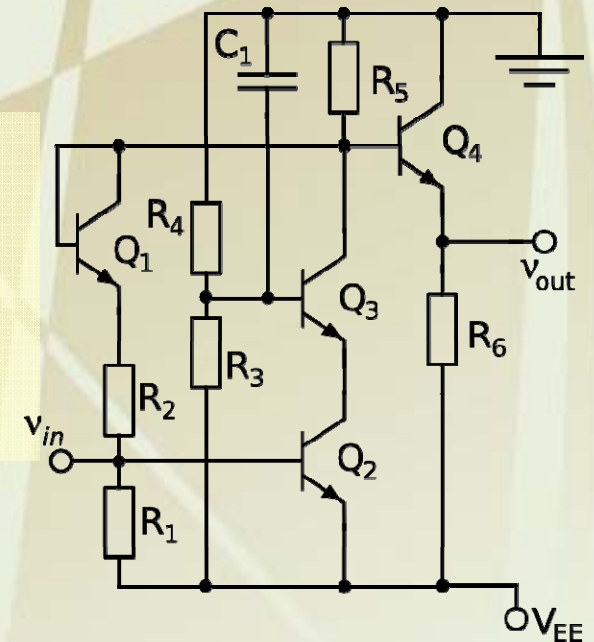
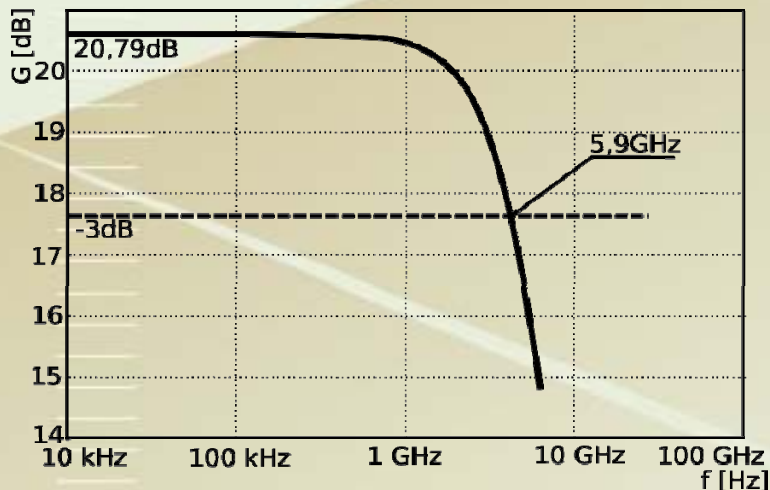


TECHNICAL
UNIVERSITY
OF KOŠICE

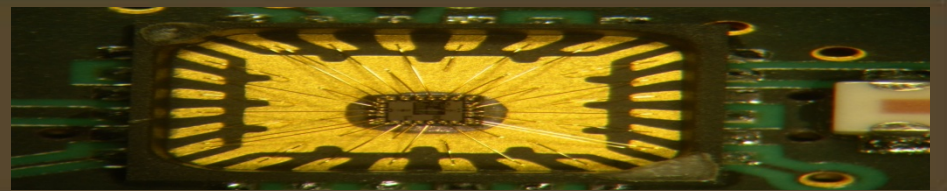
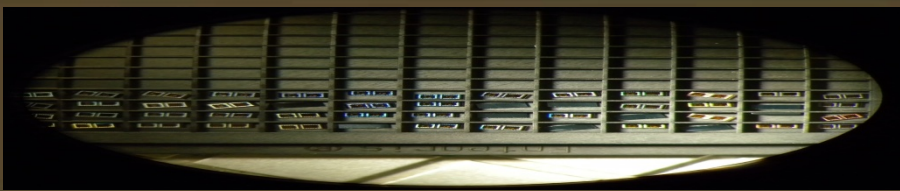
LNA Amplifier in 0.35 μm SiGe BiCMOS technology for UWB applications 1 PhD. & 1 Master student

Features:

- based on a cascode topology
- absence of large spiral inductors
- peak gain < 20 dB up to 5.9GHz
- Noise figure is less than 3 dB



Application:
Ultra-wideband (UWB)
systems...





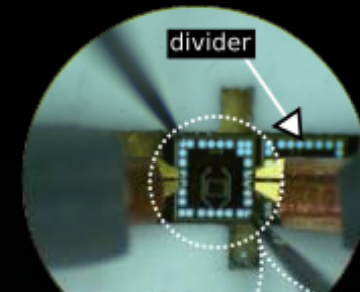
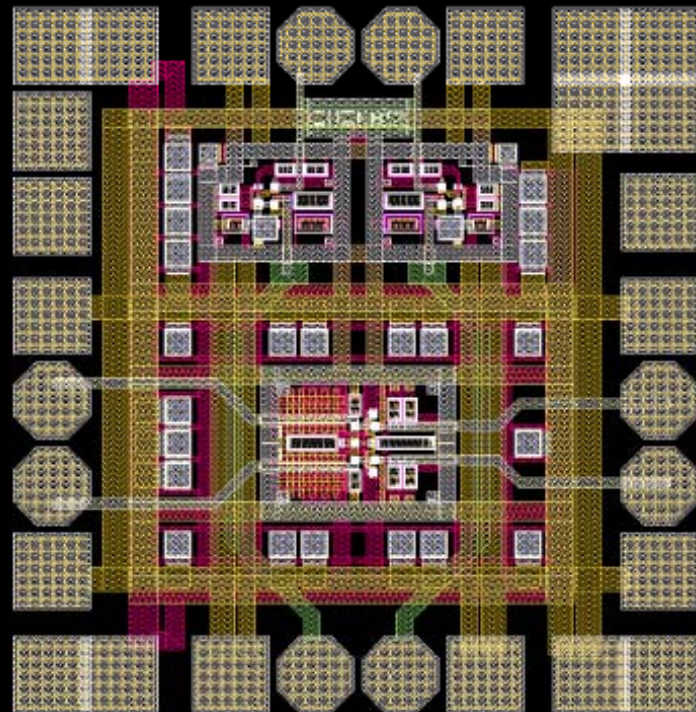
TECHNICAL
UNIVERSITY
OF KOŠICE

Divider, LNA & fully differential amplifier in 0.35 μm SiGe BiCMOS technology implementation

LAYOUT

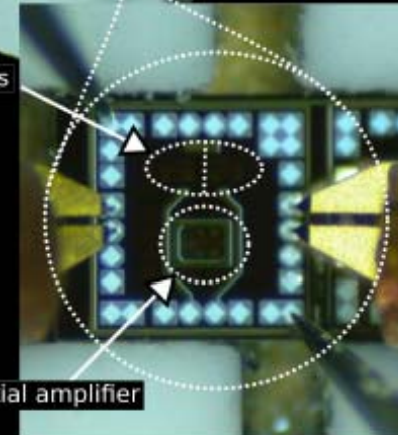
830 μm

850 μm



divider

2 x LNA amplifiers



differential amplifier

IMPLEMENTATION

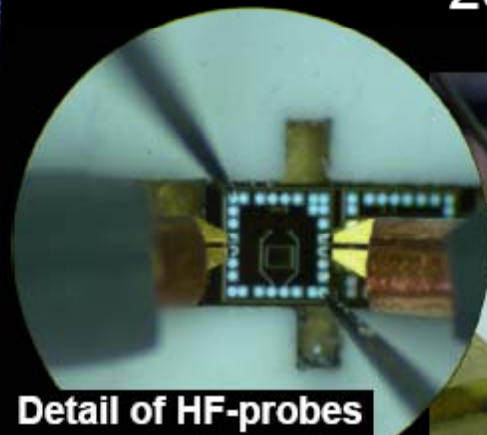
Chip area utilization due to lower price,
Testing mixed-signal cross-talk

MEASUREMENT (PRELIMINARY)

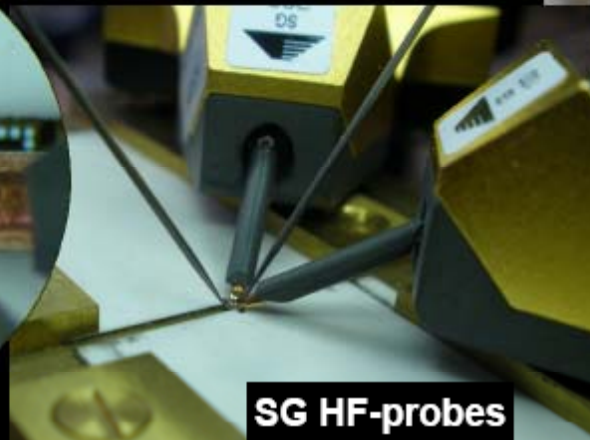
Gain: 1.3 dB *

Cut-off frequency: 9 GHz

Power consumption (full chip):
29 mA @ -3.3 V



Detail of HF-probes
connected to wafer



SG HF-probes



Probe station

*(single-ended mode measurement, because there were no conditions for differential mode measurement)

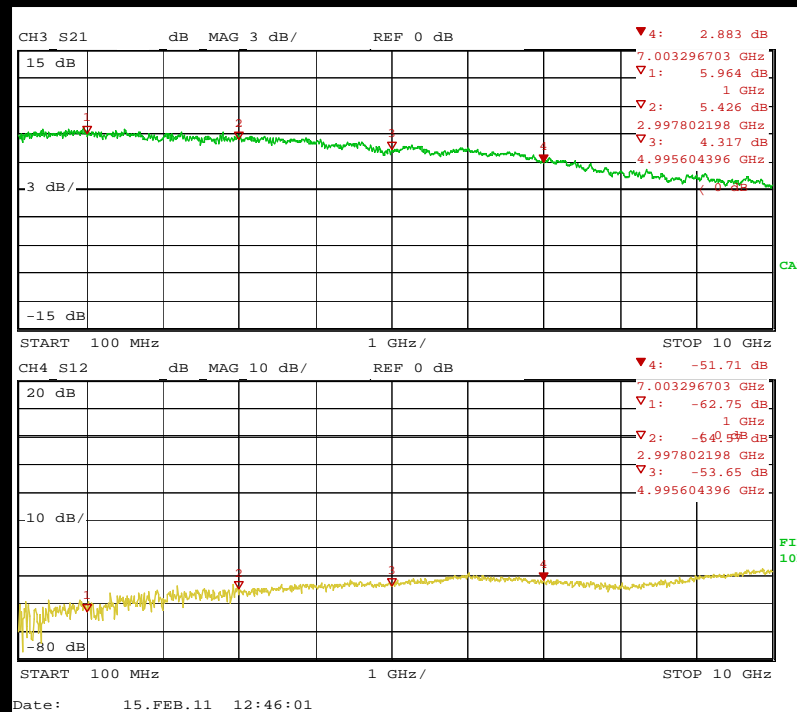


TECHNICAL
UNIVERSITY
OF KOŠICE

Fully Differential Amplifier measurement- Network Analyzer Rohde& Schwarz ZVA40

MEASUREMENT (PRELIMINARY)

-3.3 V @ 29 mA

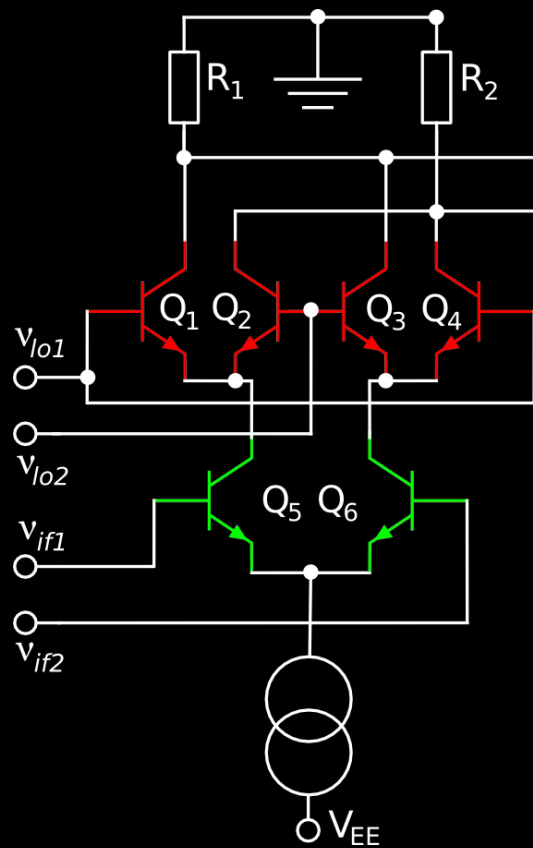


$S_{21} = 1.3 \text{ dB} *$
 $F_{\text{cut-off}} = 9 \text{ GHz}$

$S_{12} = -50 \text{ dB}$

*(single-ended mode measurement, because there were no conditions for differential mode measurement)

Mixer



Cell/Chip post-layout simulation:

IF =>

DC Gain 7.2/6.8 dB

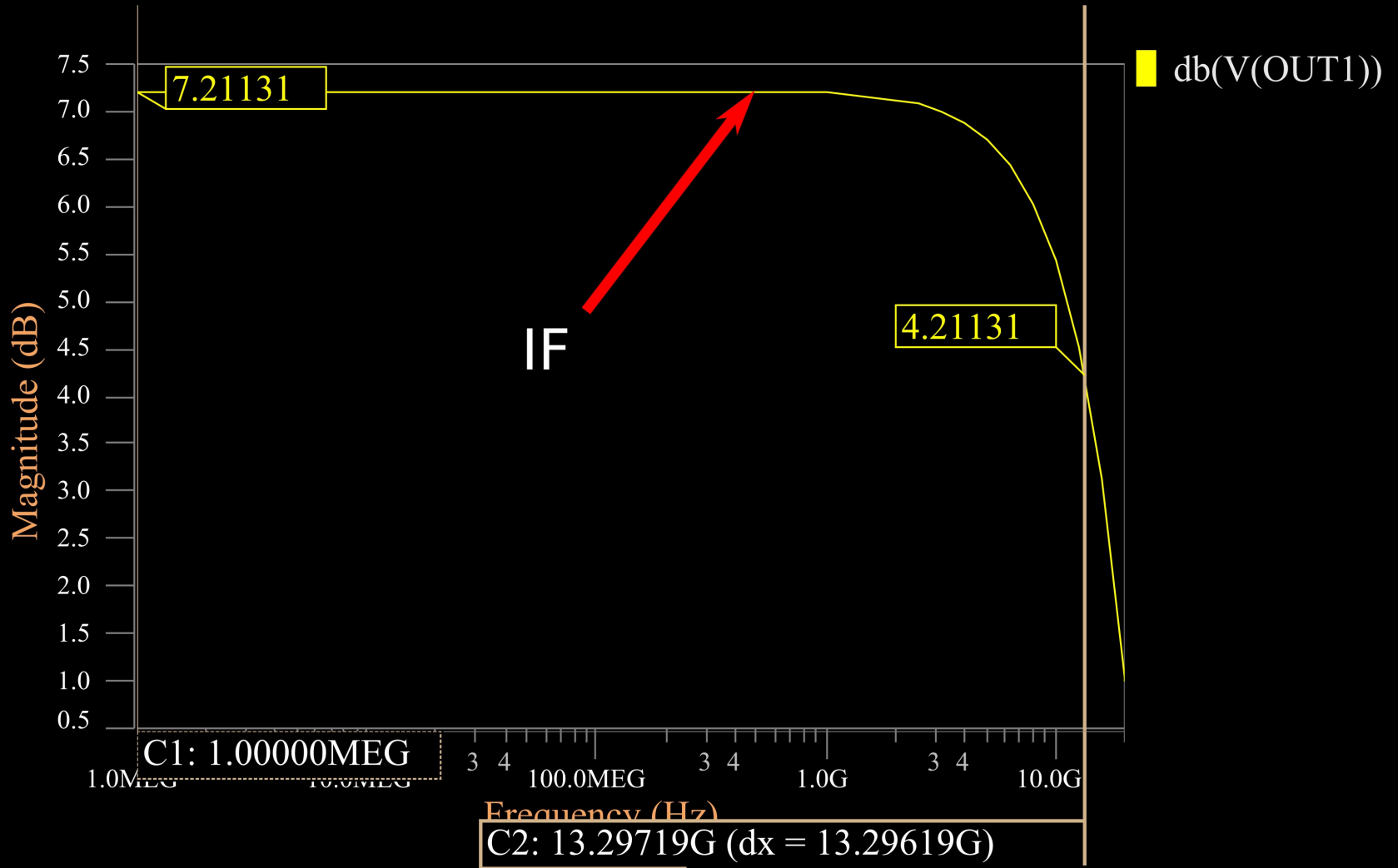
Cutoff frequency 13.3/5.97 GHz

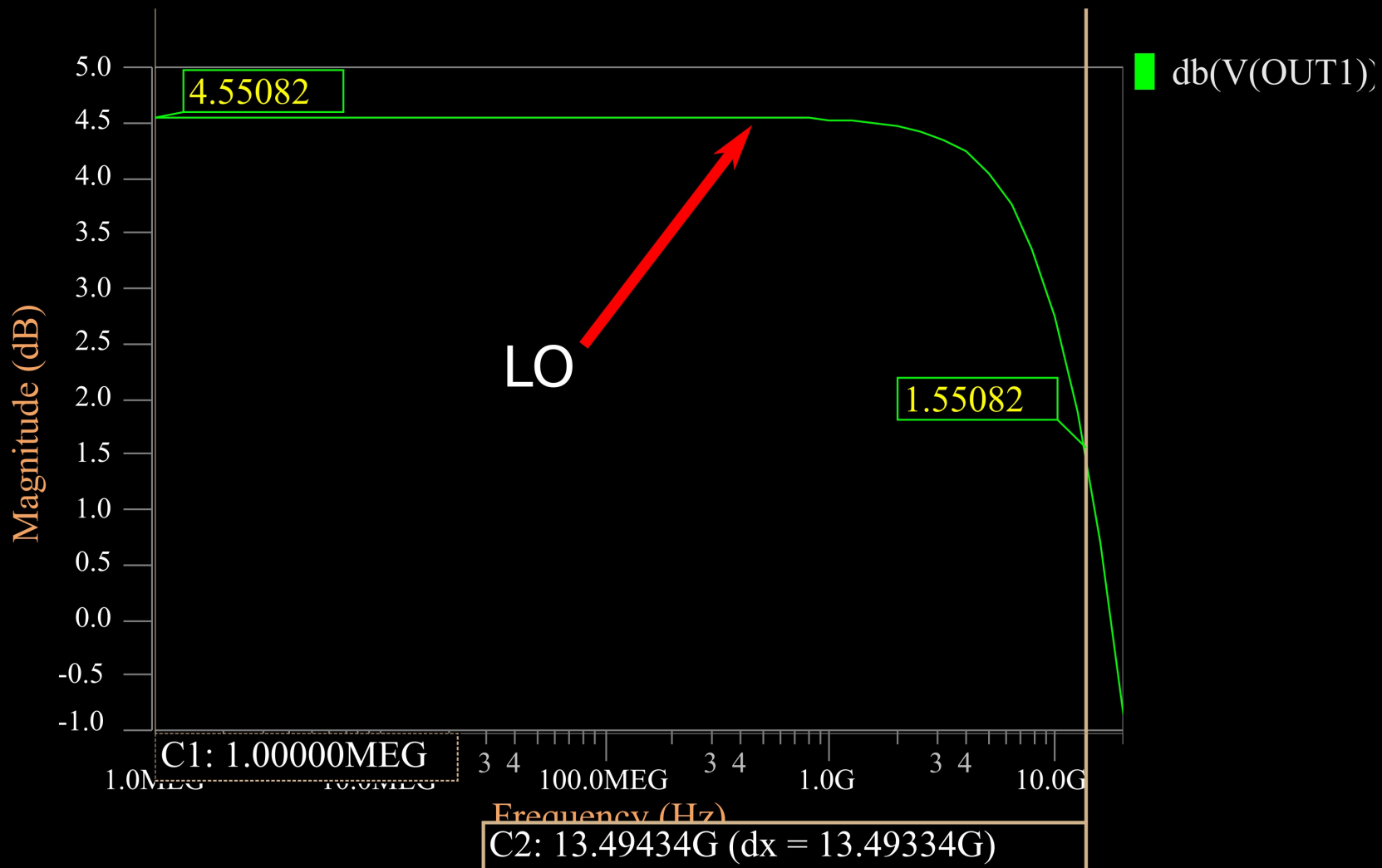
LO =>

DC Gain 4.6/4.6 dB

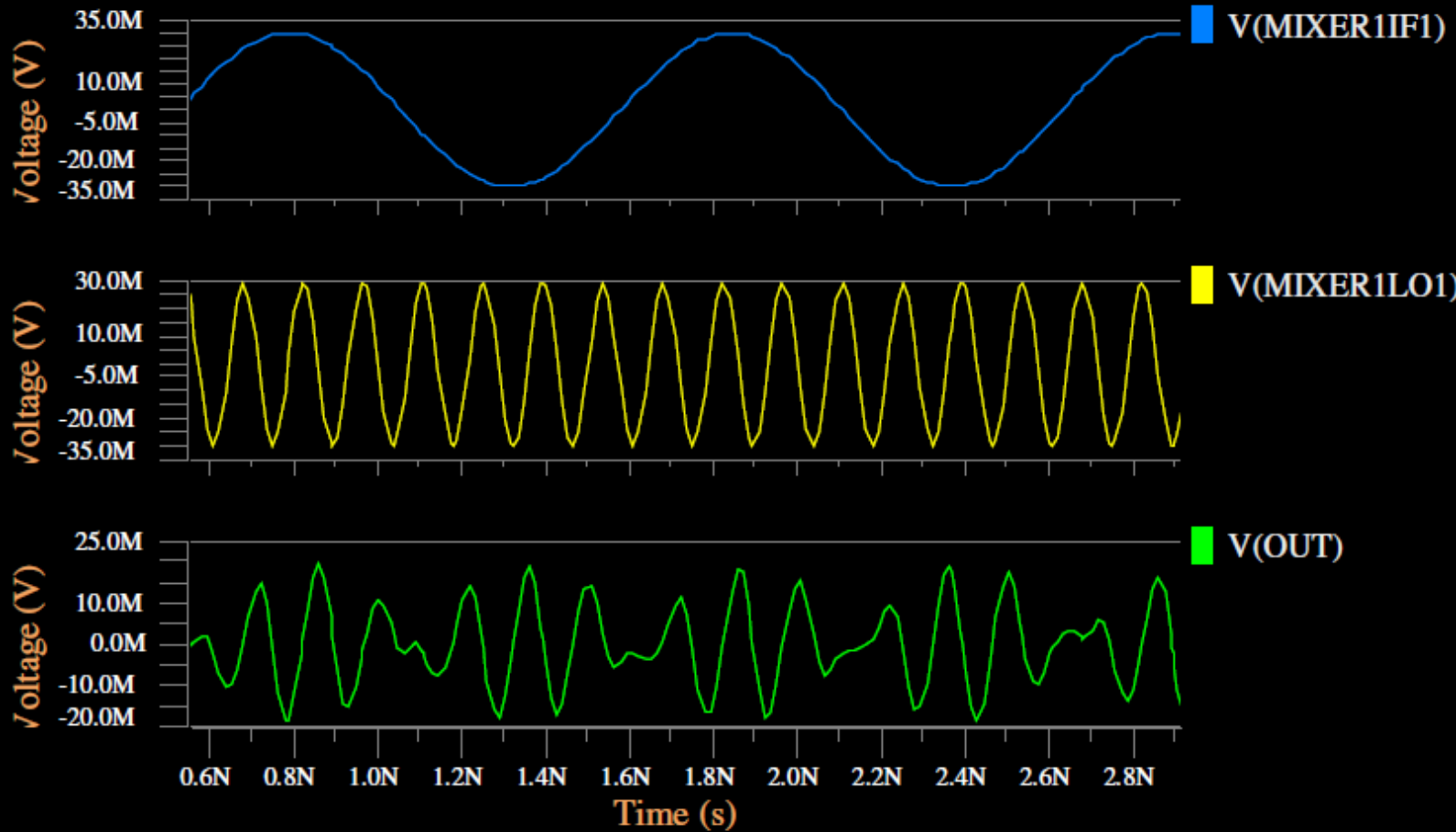
Cutoff frequency 13.5/6.1 GHz

Power consumption: 78 mA@3.3V

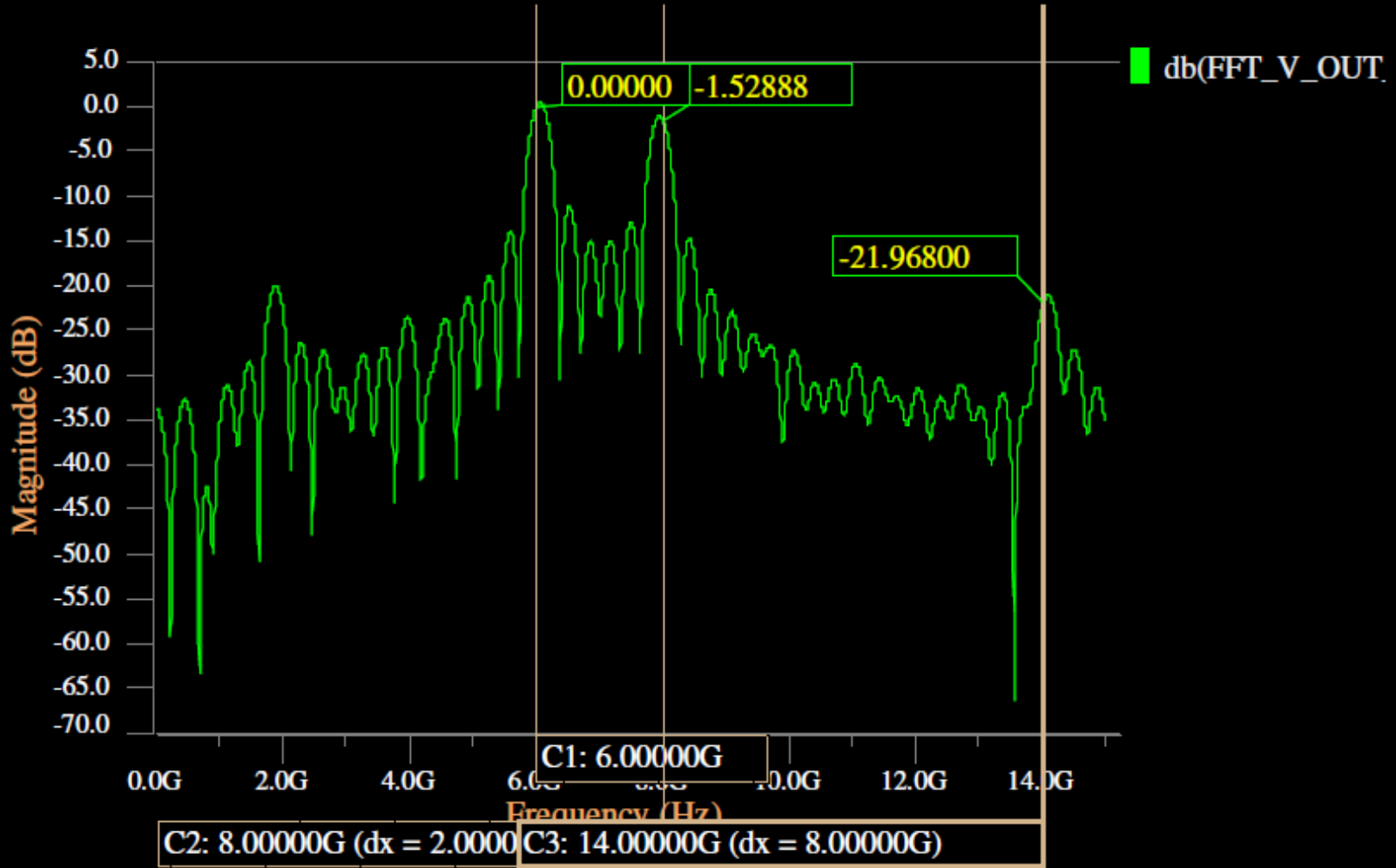




July 21, 2011 / 12:14:12 AM lipi / hugo



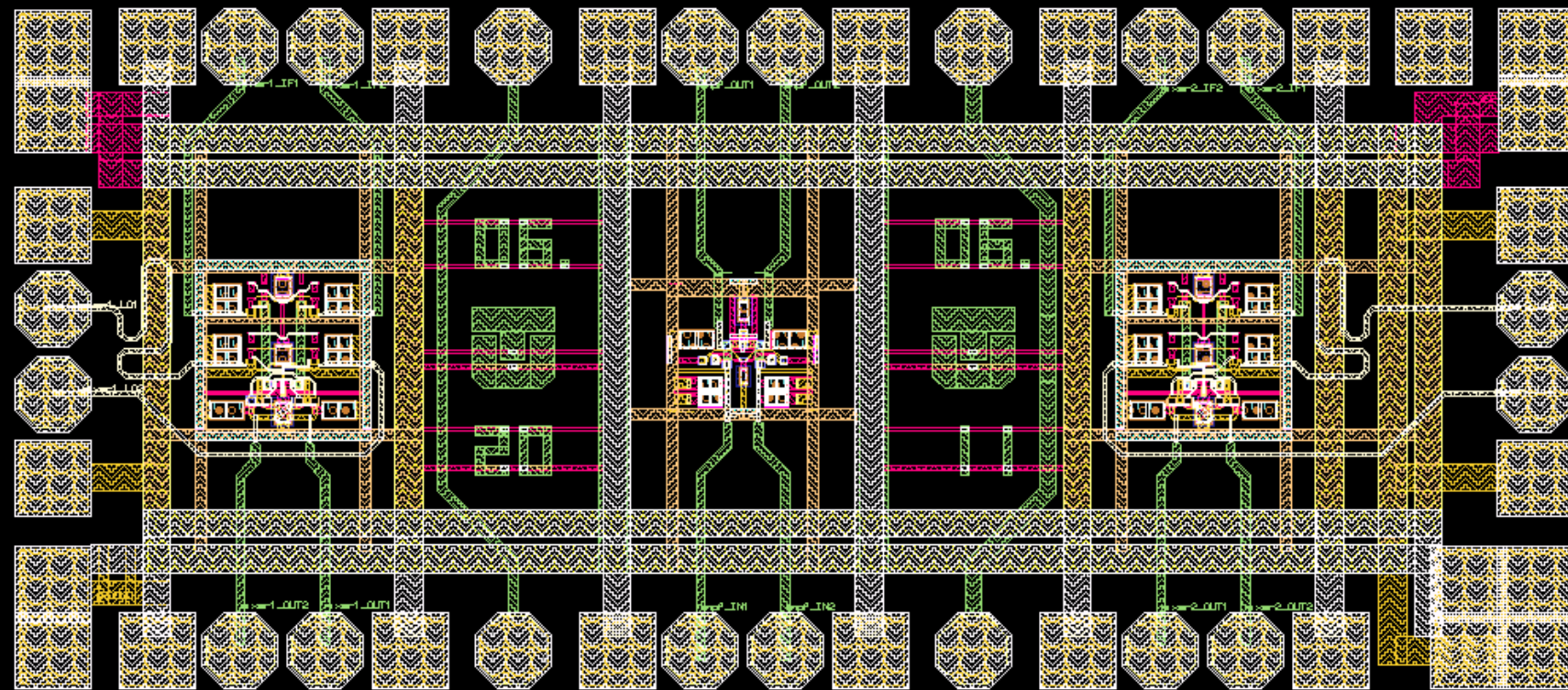
July 21, 2011 / 12:14:08 AM lipi / hugo



LAYOUT

1950 μm

850 μm



A/D converter (prestudy)

What „we“ want?

Analog bandwidth: ≥ 300 MHz

Clock frequency: 17-20 MHz

Number of bits: >4

Possible solution:

Using 0.35 μ m SiGe BiCMOS from AMS Austria

Bipolar Flash A/D converter

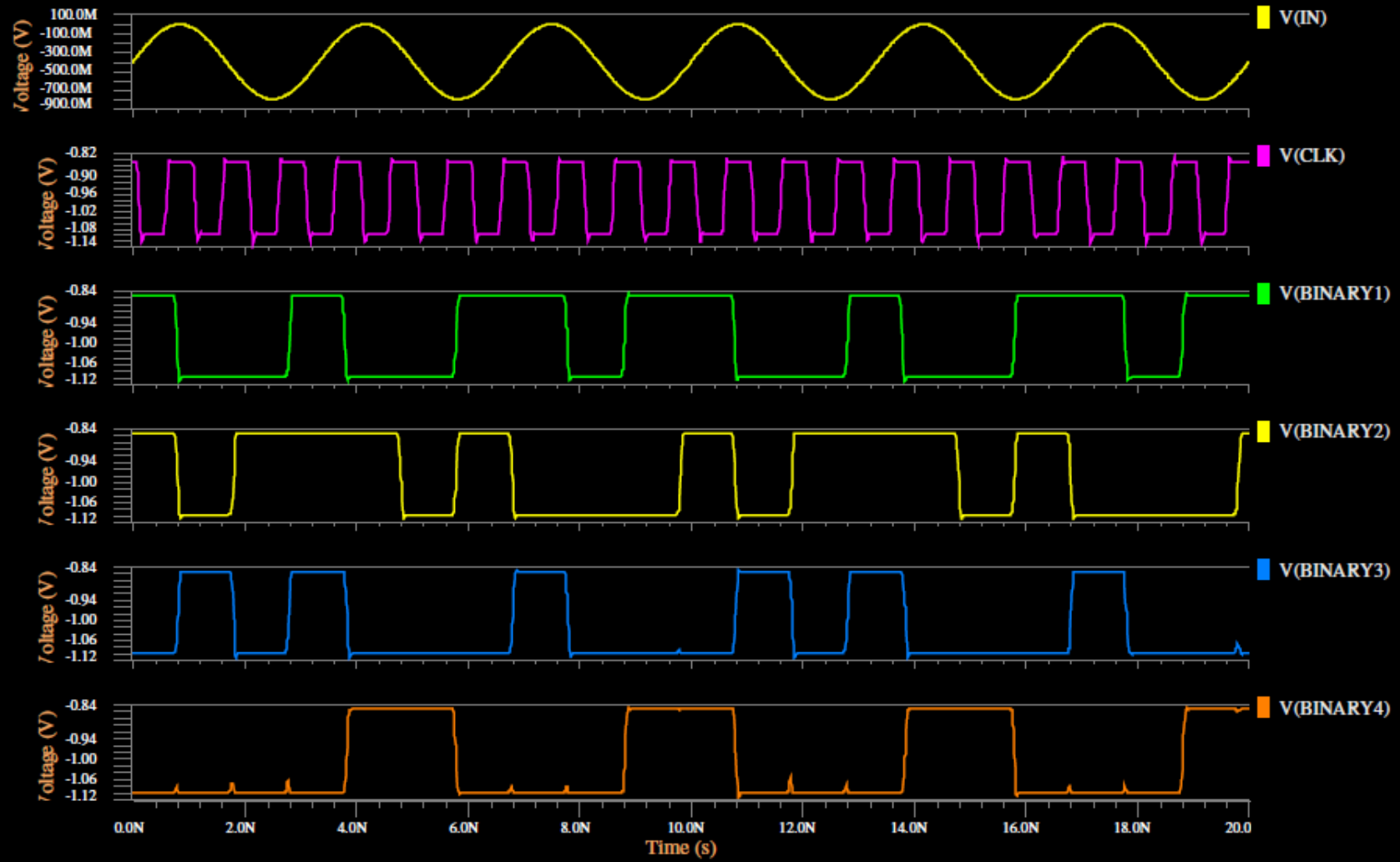
Output 4 bit gray or binary code (for now, in NECL)
(logical „1“= -0.8, logical „0“= -1.1V)

Analog bandwidth up to 300 MHz

Clock frequency: more than 1 GHz

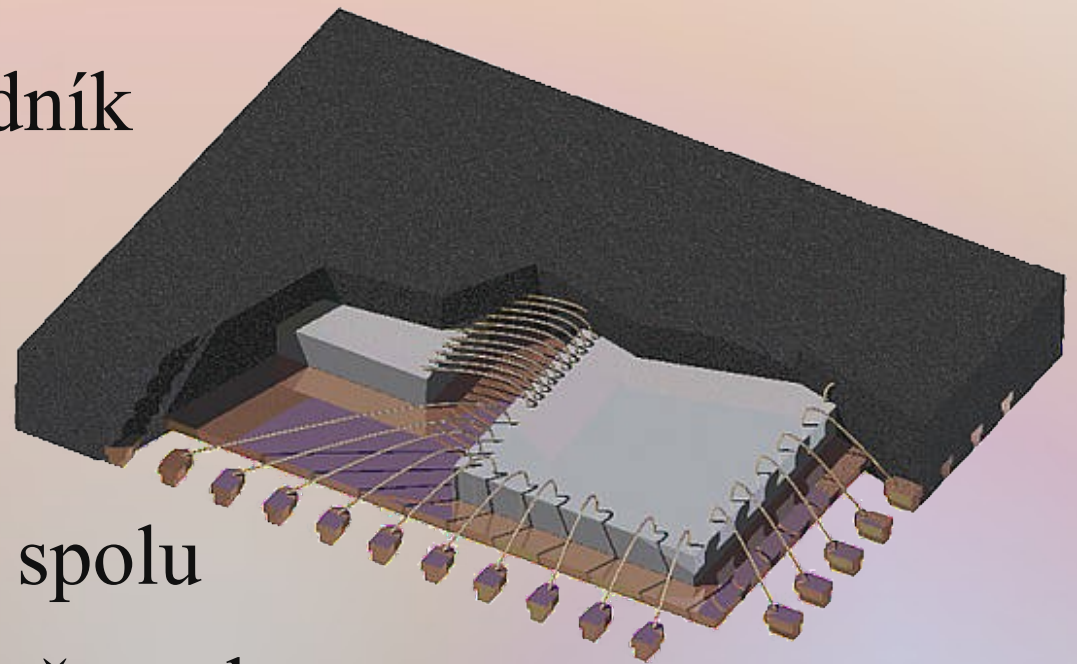
Power consumption: cca 330mA@-3.3V

July 21, 2011 / 9:22:08 AM lipi / hugo



Ciele projektu:

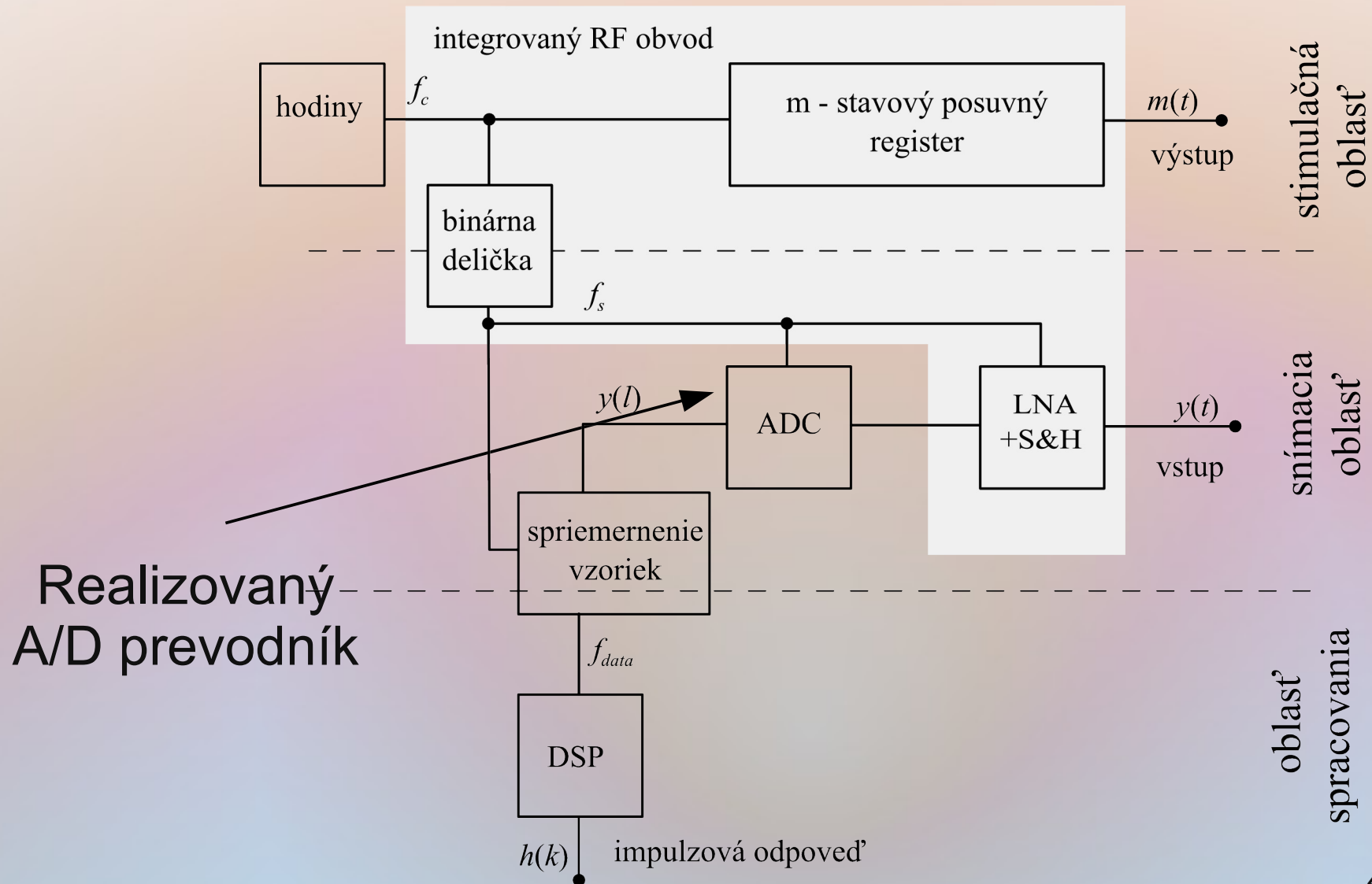
- Navrhnuť 5-bitový paralelný A/D prevodník postavený na technológii $0.35\mu\text{m}$ SiGe-BiCMOS
- Optimalizovať prevodník pre použitie s UWB radarmi
- Integrovať prevodník spolu s vysielateľom a prijímačom do jedného puzdra (SiP)



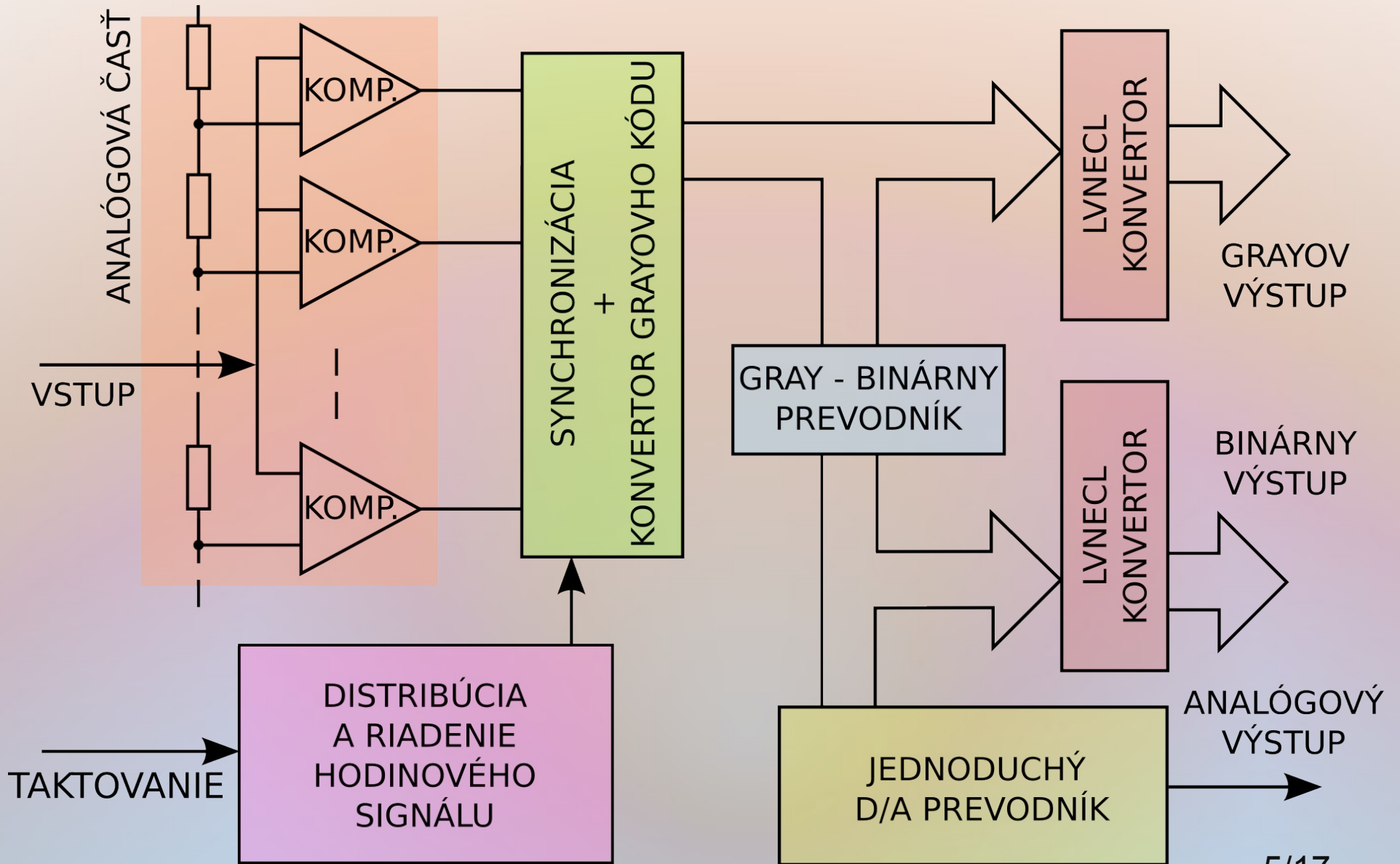
Ciele práce:

- Prehľad dostupných A/D prevodníkov
- Opis štruktúry paralelného A/D prevodníka navrhnutého pre aplikácie v UWB radaroch
- Simulácie (teplota, nap. napätie, vstup. signál) navrhnutého prevodníka
- Merania realizovaného paralelného prevodníka
- Optimalizovanie kritických blokov navrhnutého prevodníka

A/D prevodník v radarovom systéme

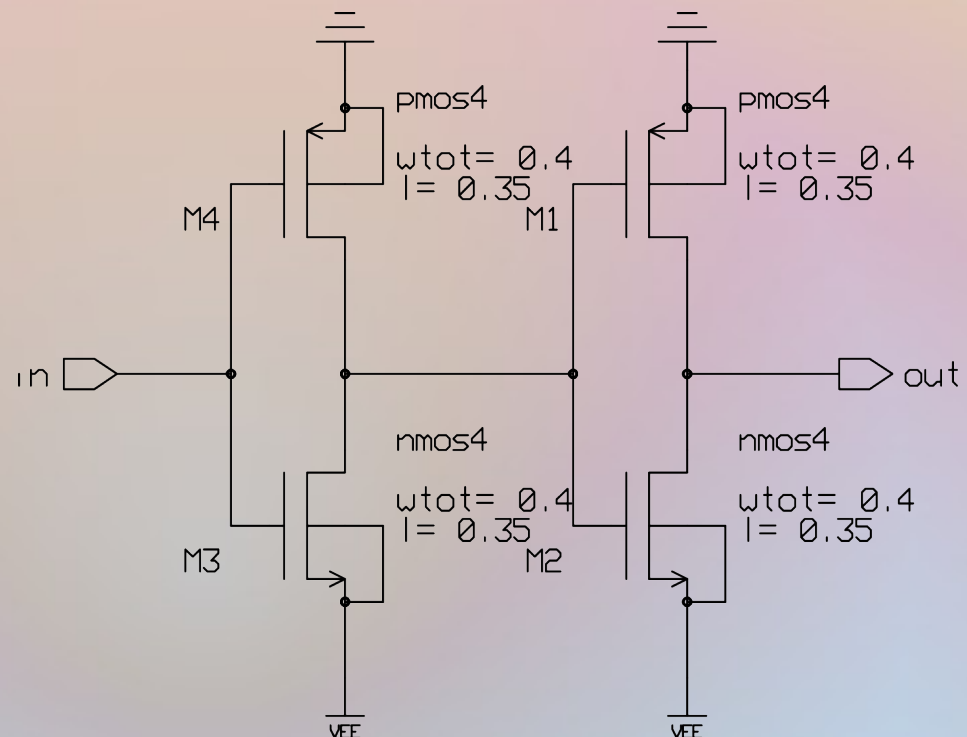


Blokový diagram A/D prevodníka

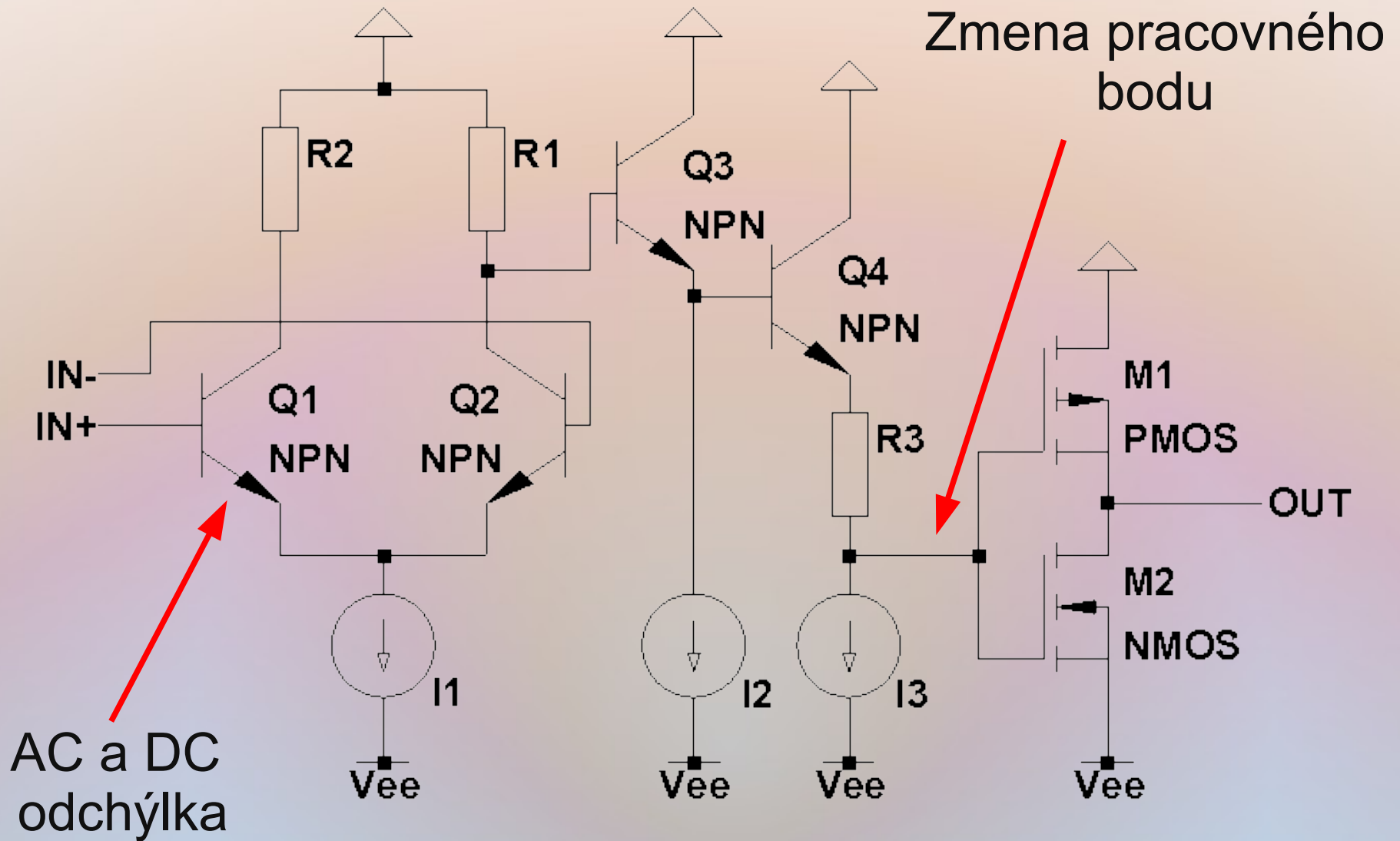


Integrovaná oneskorovacia linka

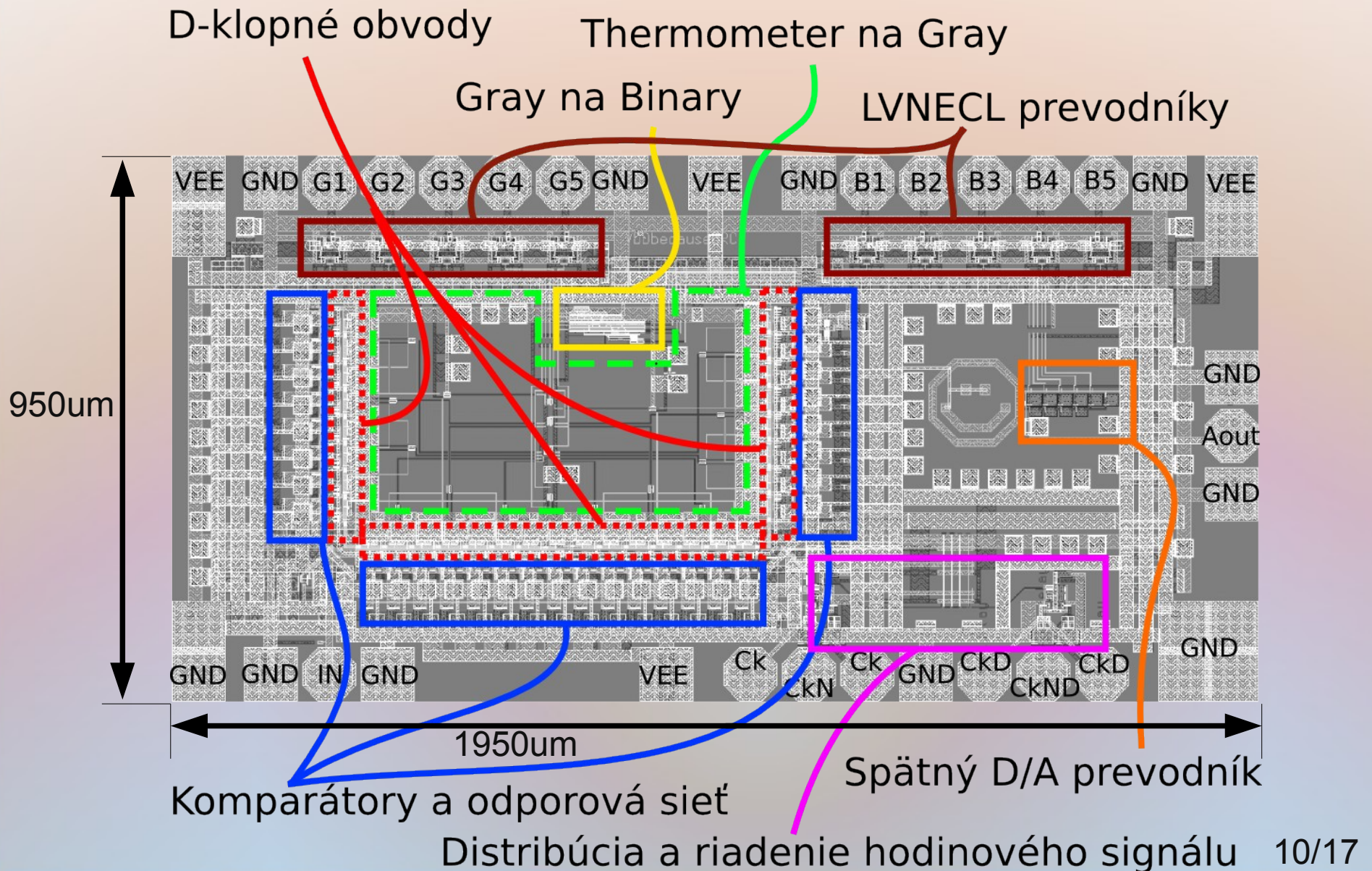
- Navrhnutá pre eliminovanie prechodových stavov vo vzorkovacom obvode
- Obsahuje 256 CMOS invertorov
- Oneskorenie 16ns



Vlastnosti komparátorov



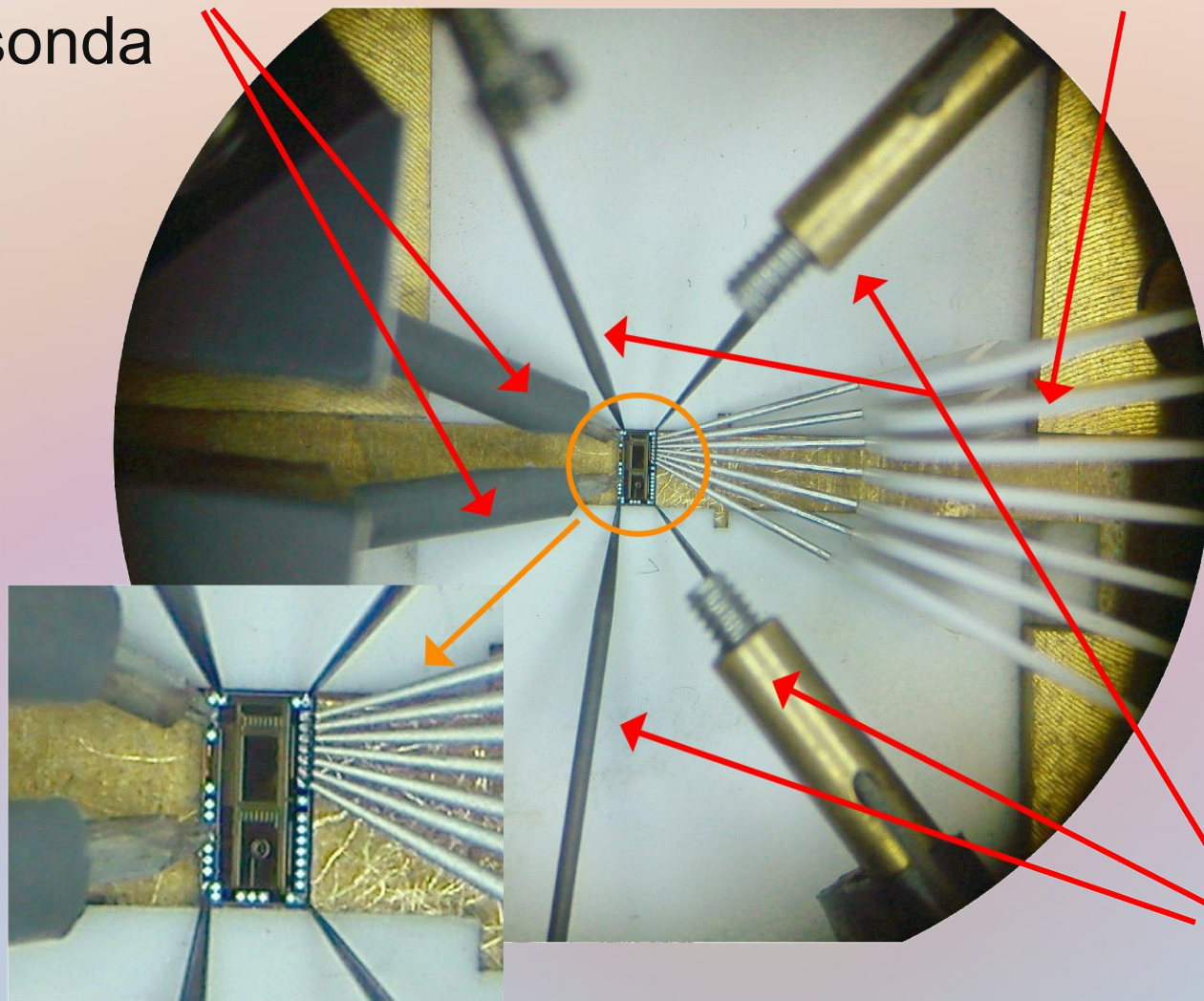
Layout navrhnutého A/D prevodníka



Prvotné merania A/D prevodníka

Picoprobe duálna
sonda

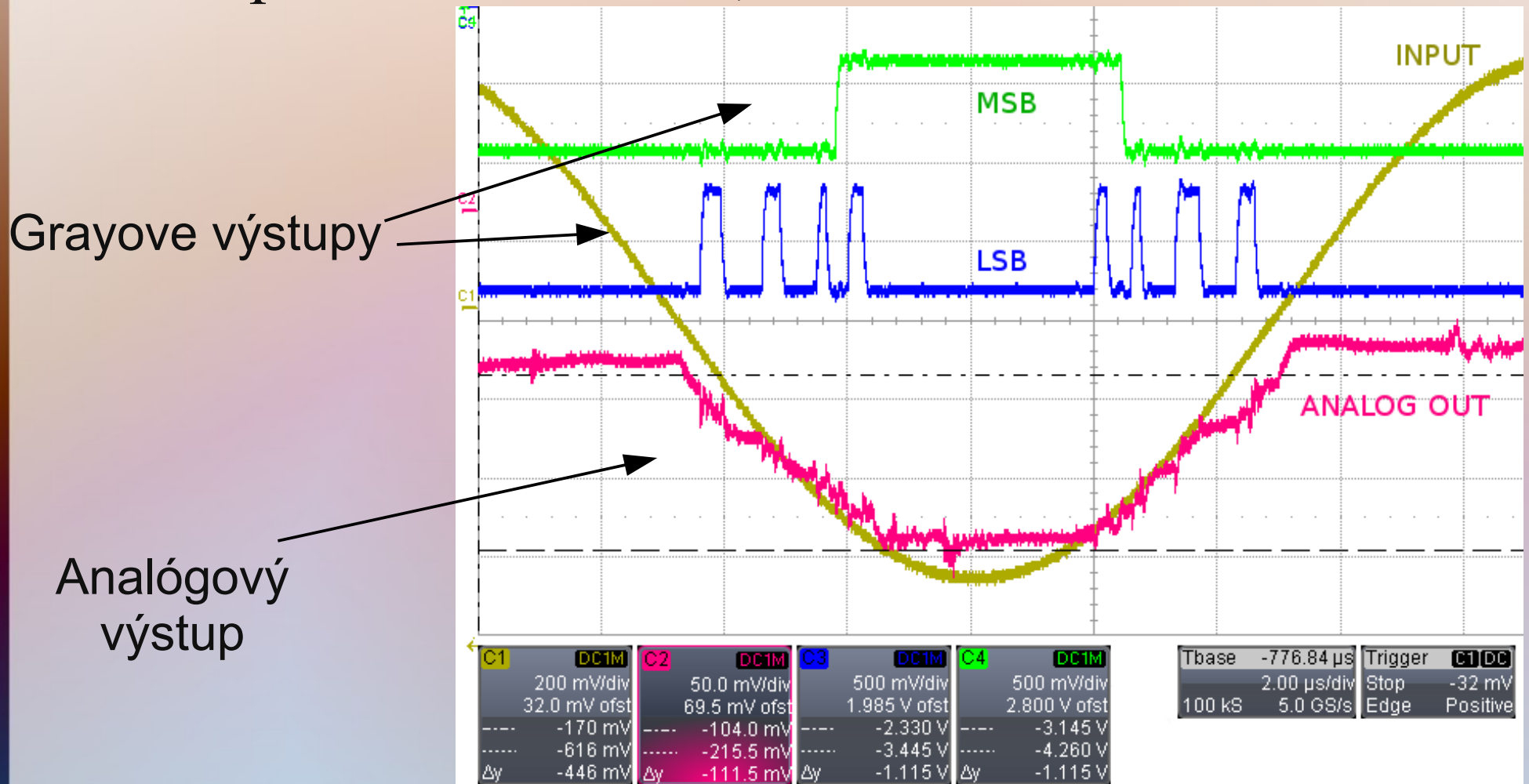
Cascade DCQ-07
multisonda



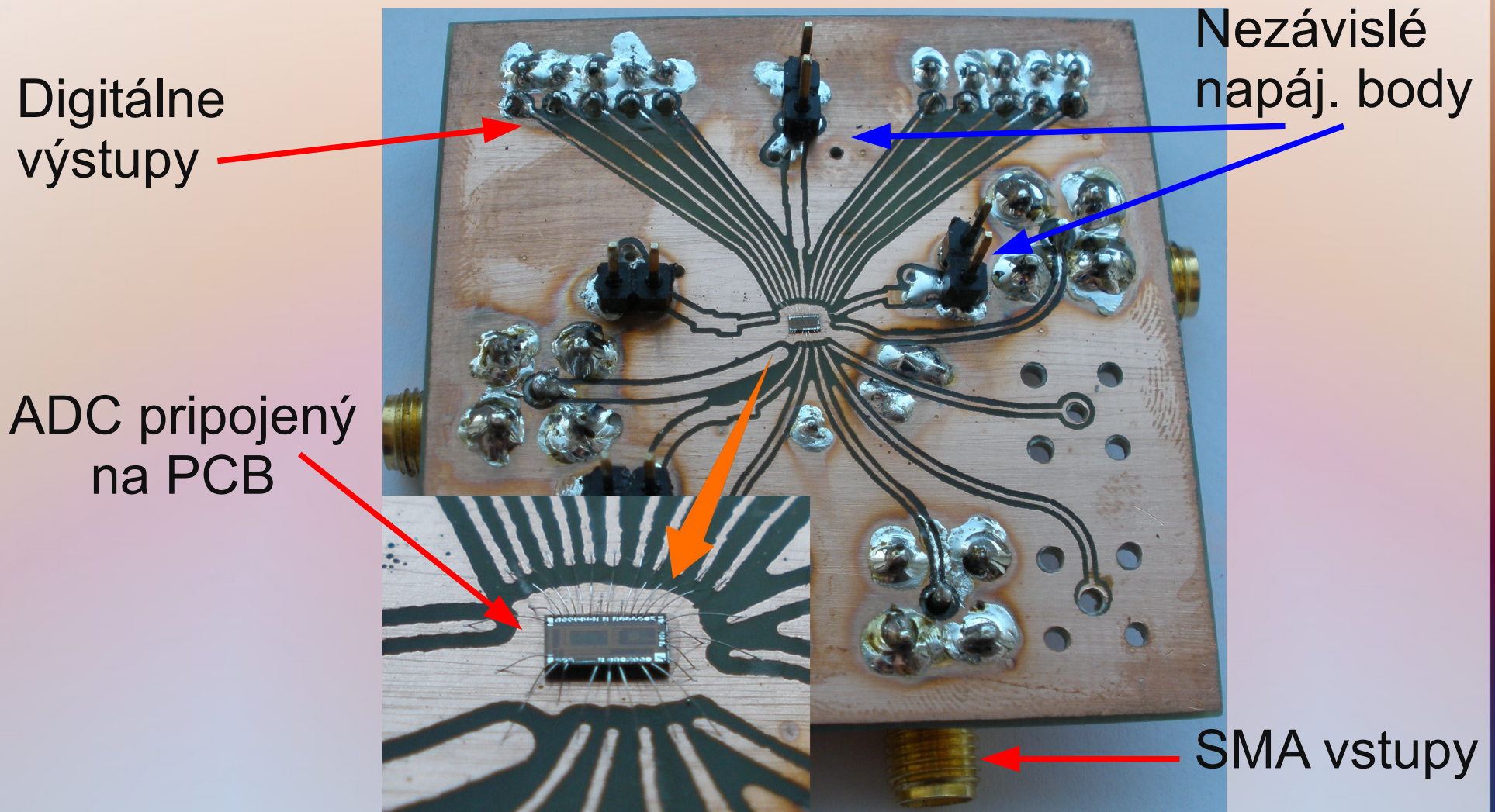
DC sondy

Základné merania A/D prevodníka

- Vstup -700mV 50KHz, taktovanie 10MHz



A/D prevodník osadený na testovacej PCB

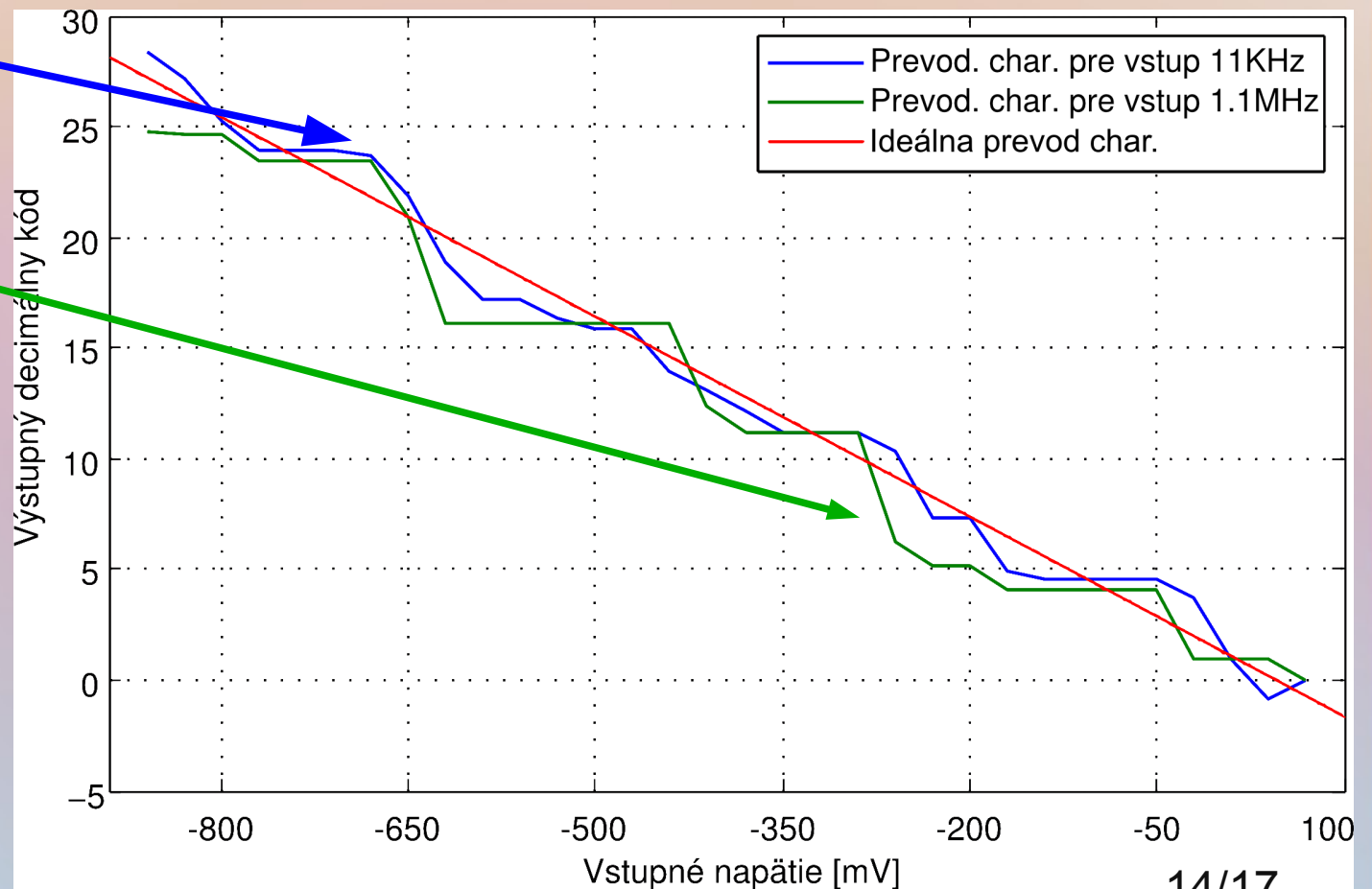


Finálne merania A/D prevodníka

AC prevodová charakteristika pre vstupné signály:

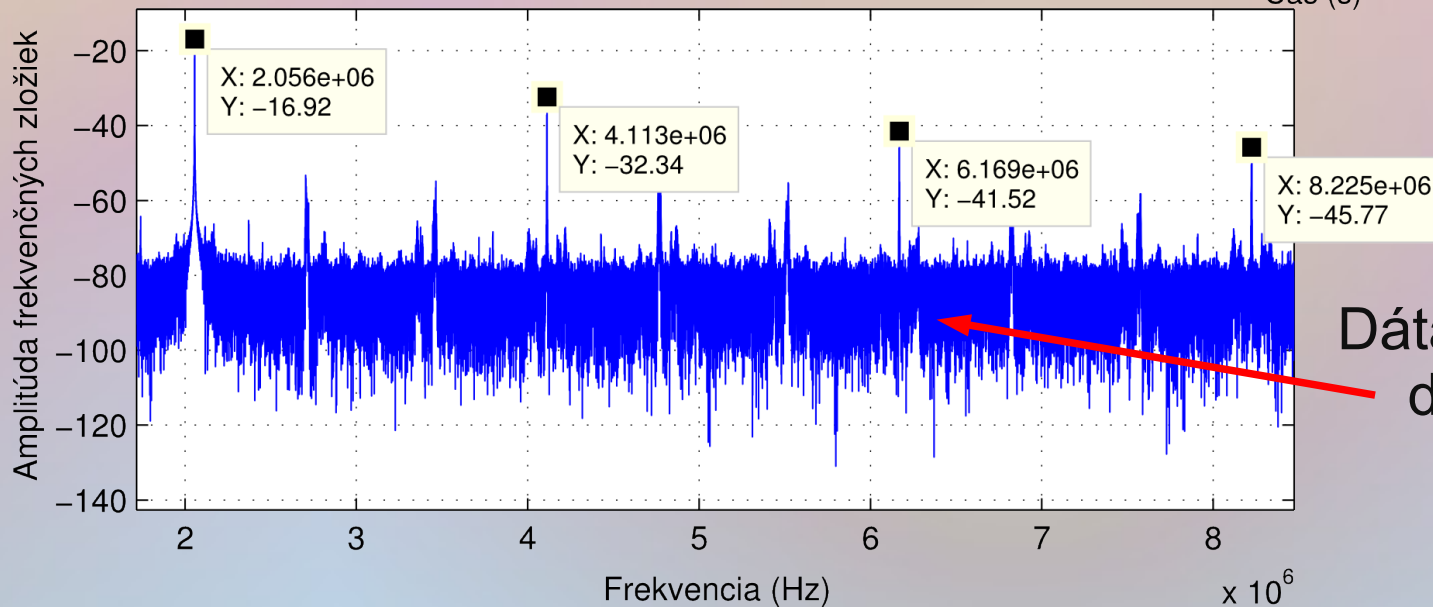
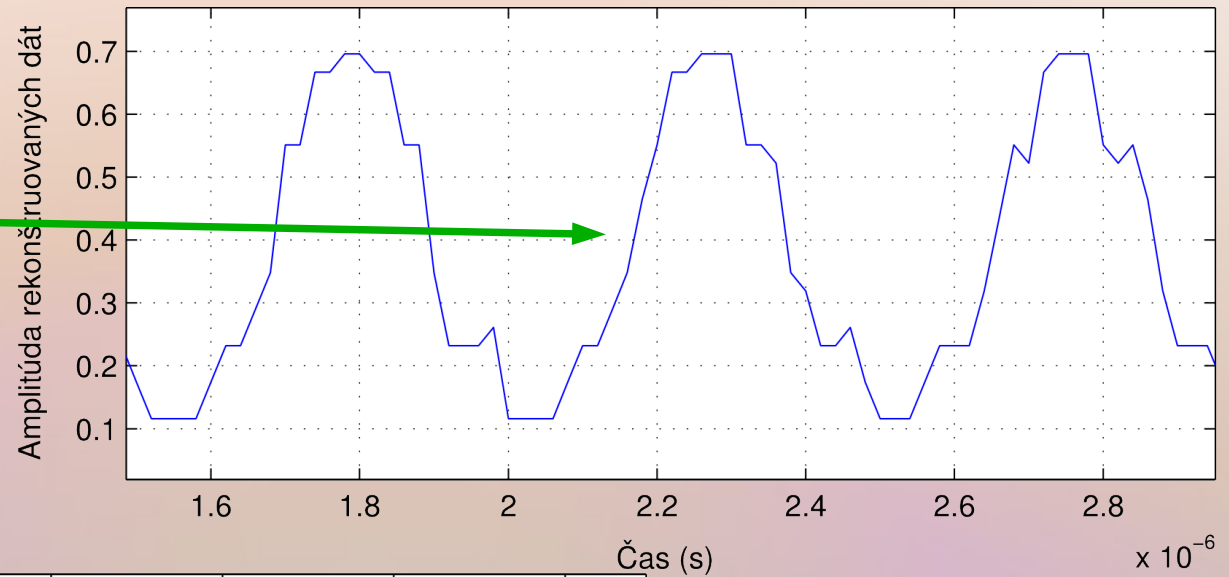
-11KHz
@10MHz
(modrá)

-1,1MHz
@50MHz
(zelená)



Finálne merania A/D prevodníka

Rekonštruované dáta
vstupného signálu
2MHz



Dáta transformované
do frekv. oblasti



Návrh integrovaných obvodov pre VF aplikácie

Postup

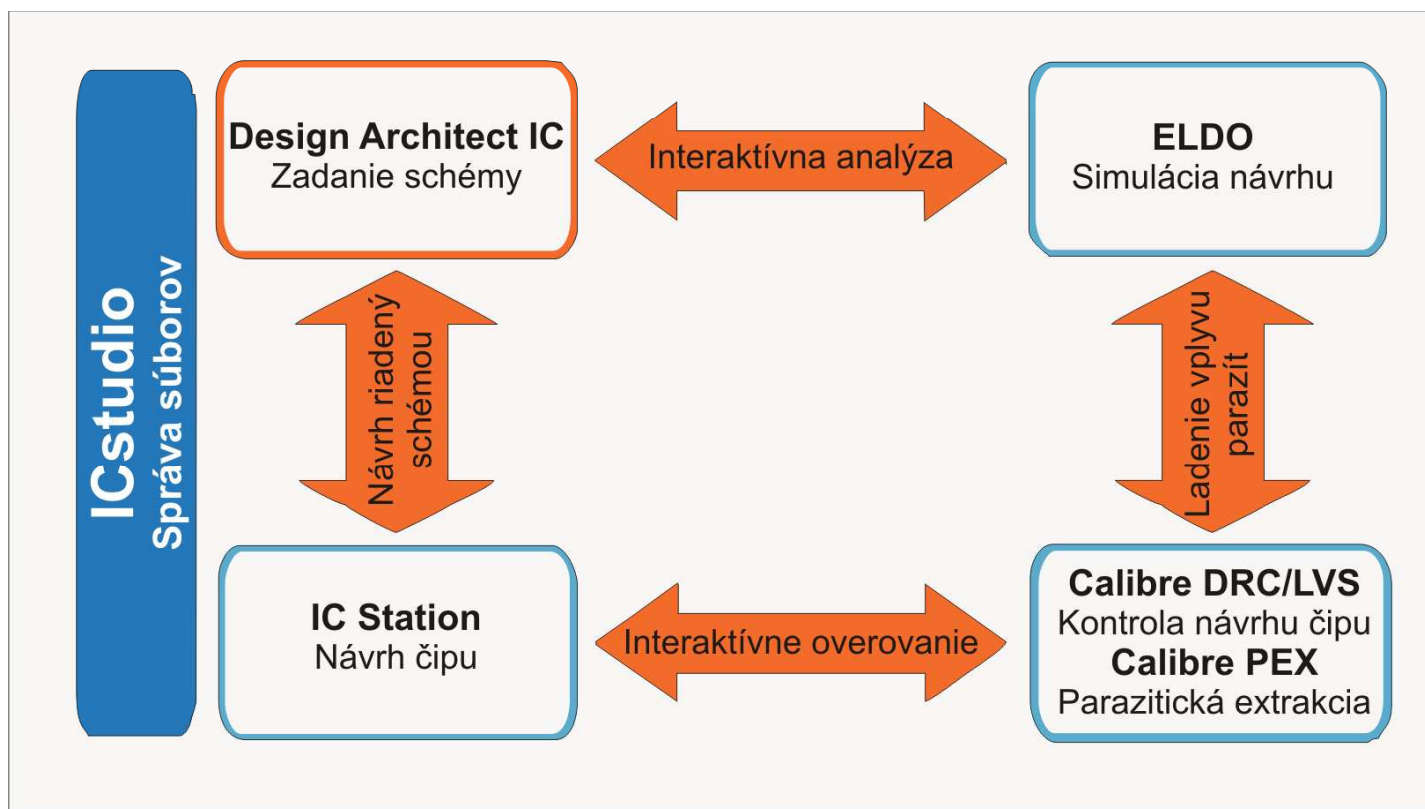
- Preštudovanie problematiky nízkošumových zosilňovačov
- Oboznámenie sa s návrhovým prostredím IC Flow od Mentor Graphics a technológiou SiGe BiCMOS
- Zvolenie štruktúry zapojenia zosilňovača a jej realizácia pomocou ideálnych pasívnych prvkov
- Návrh nízkošumového tranzistoru a nastavenie pracovného bodu
- Súčasné vstupné a šumové prispôsobenie
- Realizácia rozloženia prvkov na čip (layout), extrakcia parazitných parametrov a simulácia



Návrh integrovaných obvodov pre VF aplikácie

IC Flow

- Kompletné riešenie návrhu integrovaných obvodov od zadania schémy až po fyzický dizajn a overovanie obvodu





Návrh integrovaných obvodov pre VF aplikácie

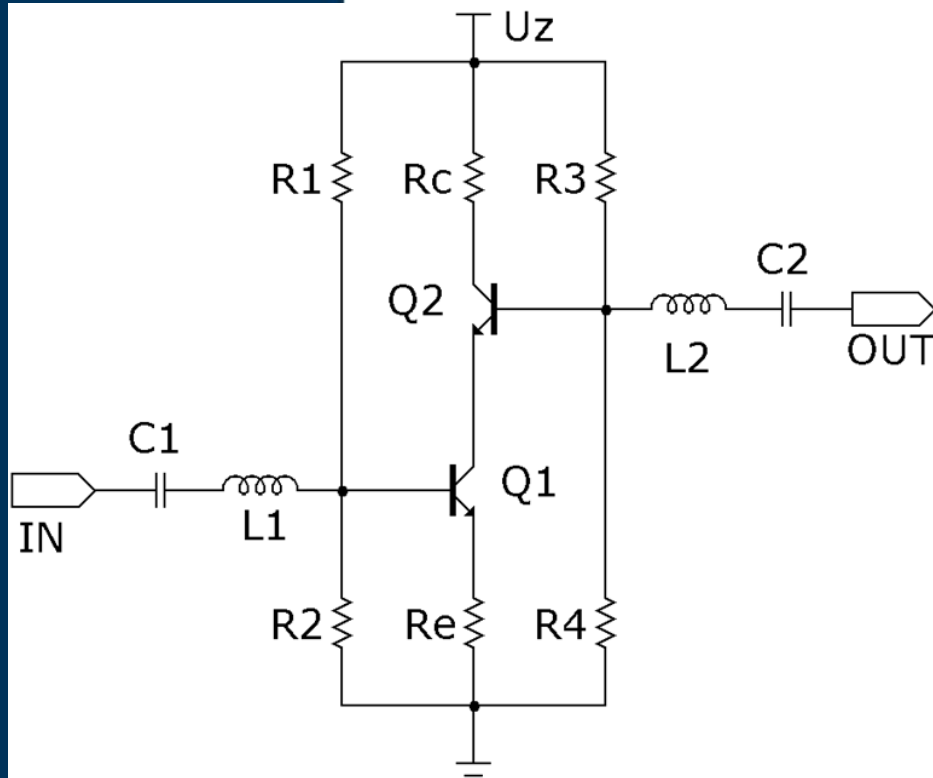
SiGe BiCMOS

- Technológia pre výrobu integrovaných obvodov
- Základom SiGe je bipolárny tranzistor s heteropriechodom (HBT)
- Štruktúra HBT podobná klasickému Si BJT, líši sa len bázou, ktorá je vyrobená z SiGe, ktorý má užší zakázaný pás
- Koncentrácia germánia sa zvyšuje naprieč bázou, aby bolo vytvorené urýchľovacie elektrické pole pre minoritné nosiče náboja, dôsledkom je vyššia rýchlosť a vyššia pracovná frekvencia
- Výhodou schopnosť integrácie analógových, rádiových a digitálnych obvodov na jednom čipe s použitím už existujúcich CMOS obvodov



Návrh integrovaných obvodov pre VF aplikácie

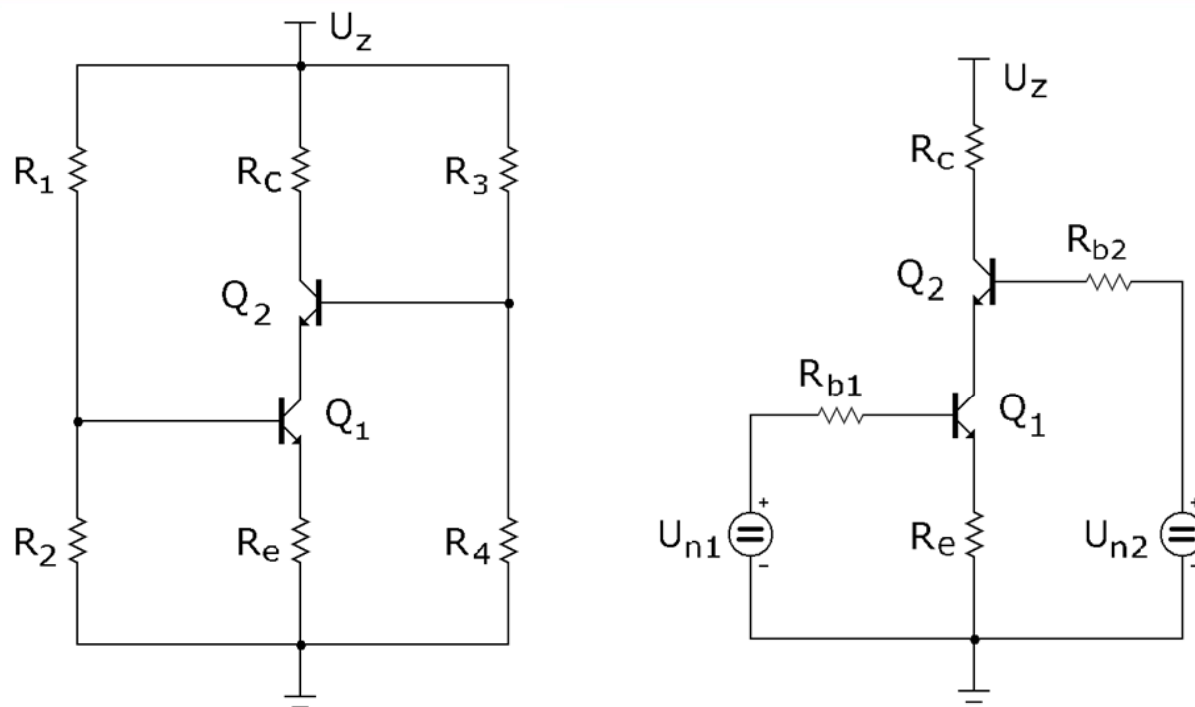
Topológia obvodu



- Zapojenie 2 HBT do kaskády
- Vysoký zisk, malý šum, stabilita
- Q1 zapojenie SE, celý zisk obvodu, vstupné prispôsobenie a šum
- Q2 v zapojení SB, potlačenie spätného prenosu, redukcia Millerovej kapacity, výstupné impedančné prispôsobenie
- C, L – oddelenie DC, prispôsobenie, R – pracovný bod

Návrh integrovaných obvodov pre VF aplikácie

Nastavenie pracovného bodu



$$U_{n1} = I_{b1}R_{b1} + U_{b1} + I_cR_e,$$

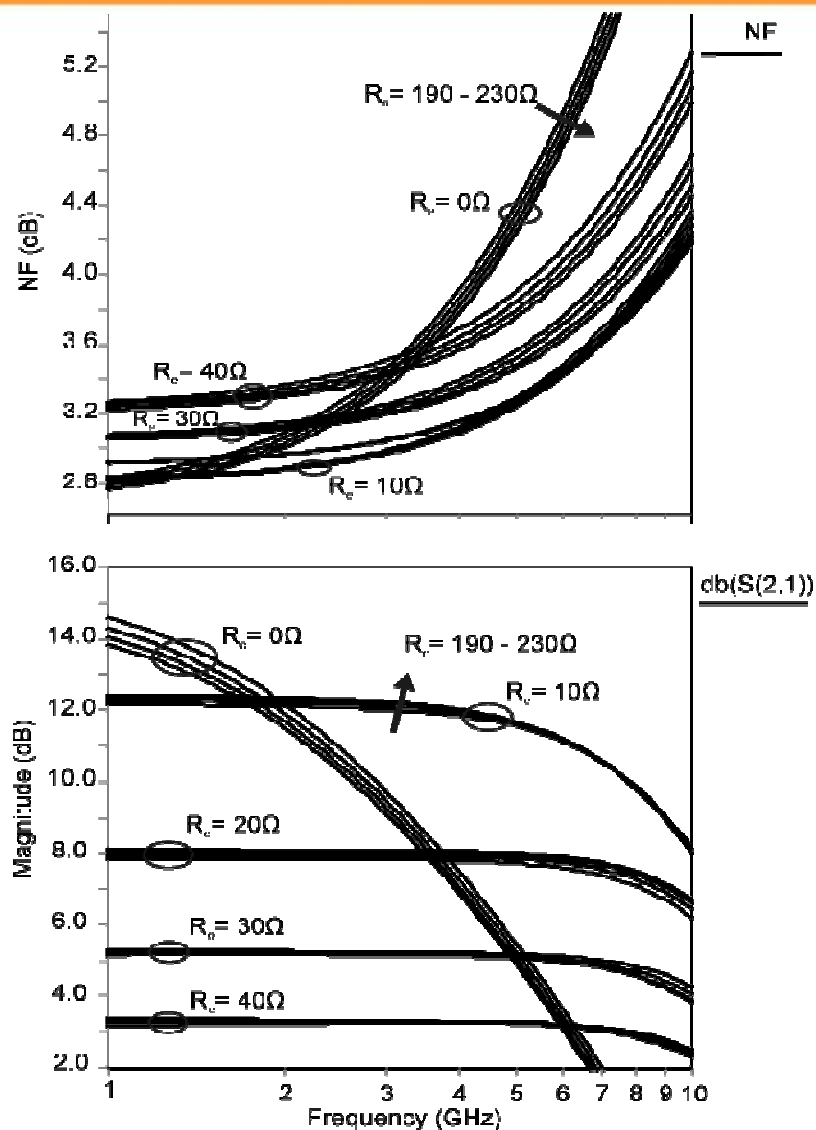
$$U_{n2} = I_{b2}R_{b2} + U_{b2} + U_{ce1} + I_cR_e,$$

$$U_z = I_cR_c + U_{ce2} + U_{ce1} + I_cR_e.$$



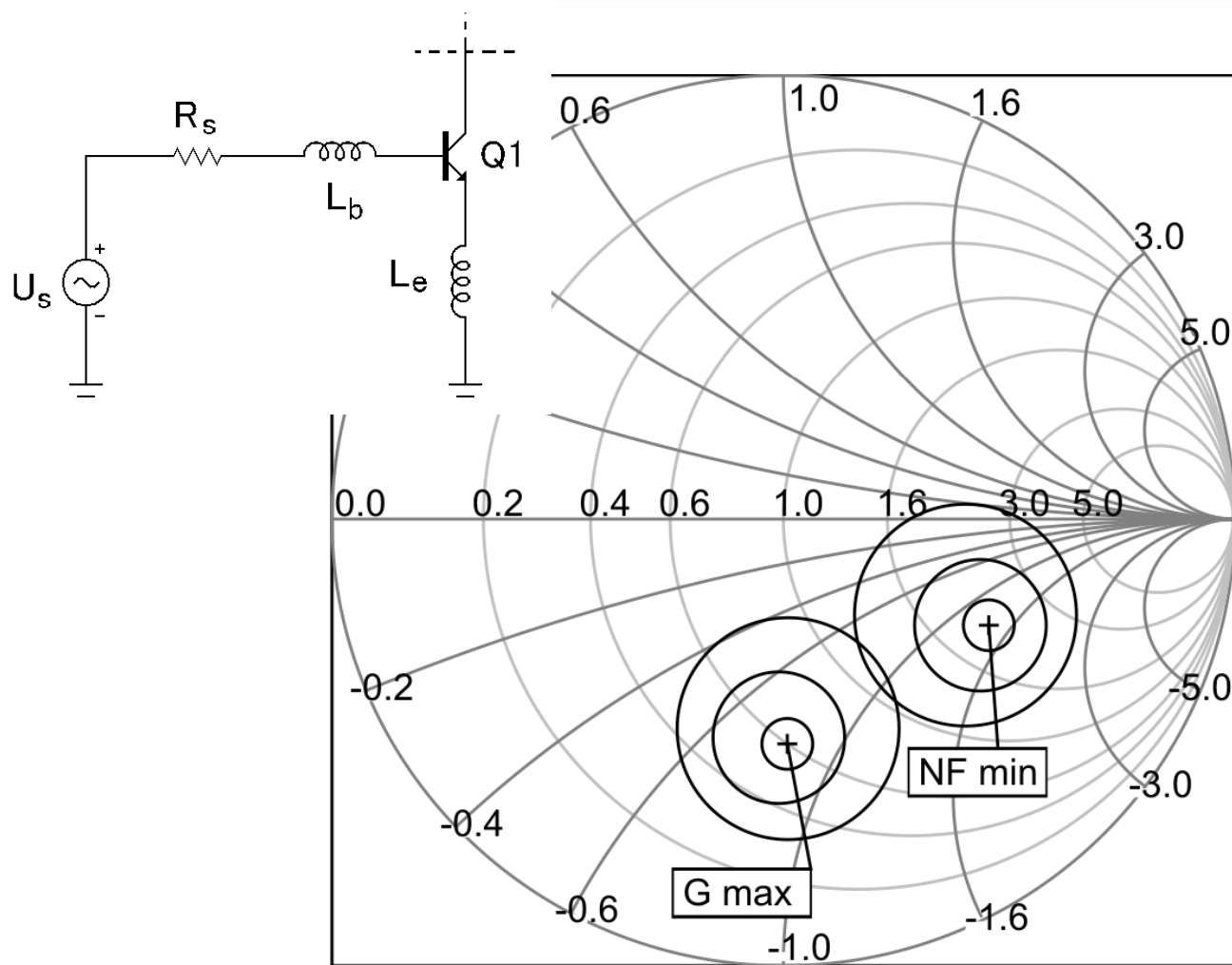
Návrh integrovaných obvodov pre VF aplikácie

Vplyv veľkosti R_c a R_e



Návrh integrovaných obvodov pre VF aplikácie

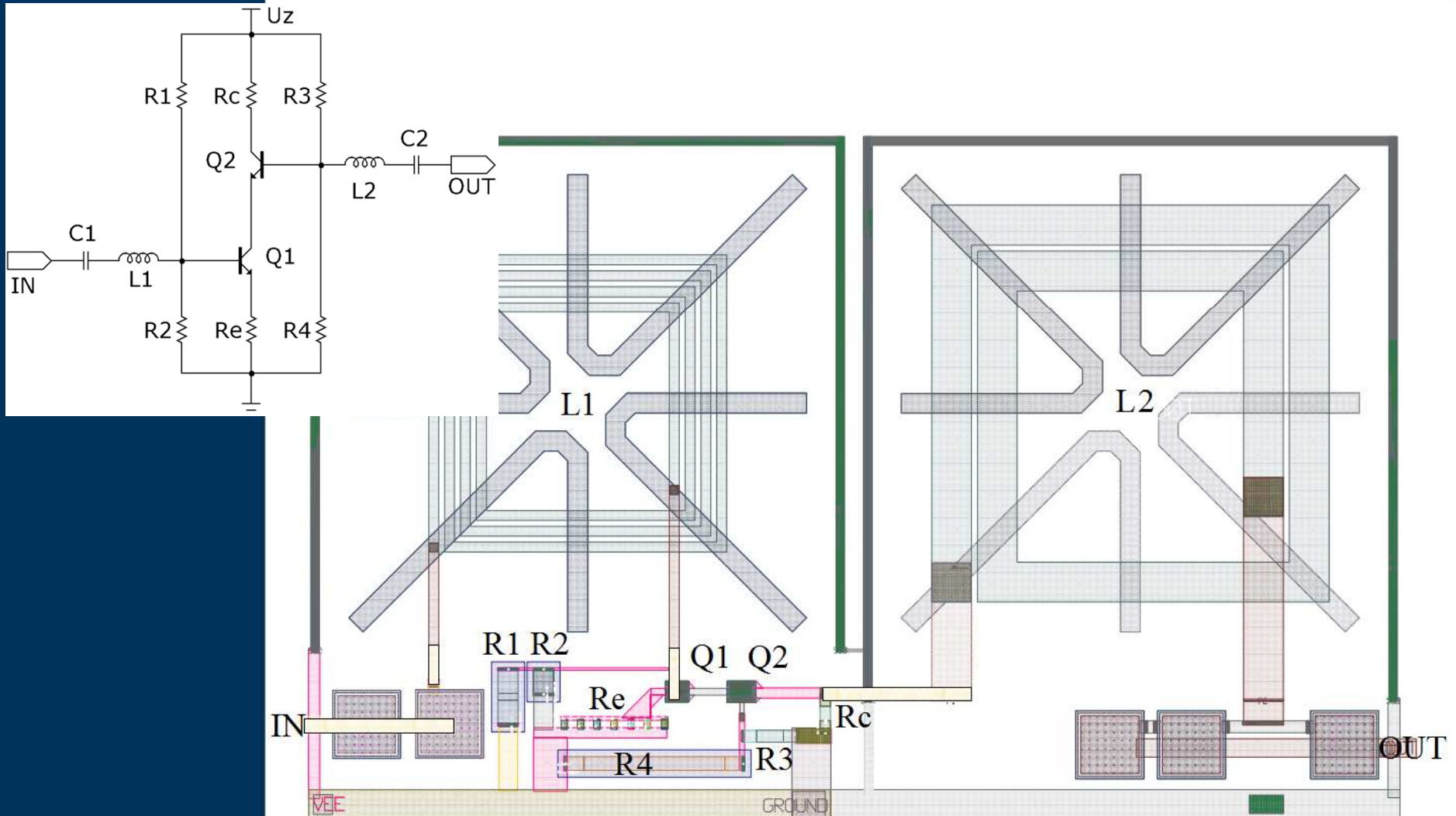
Súčasné vstupné a šumové prispôsobenie





Návrh integrovaných obvodov pre VF aplikácie

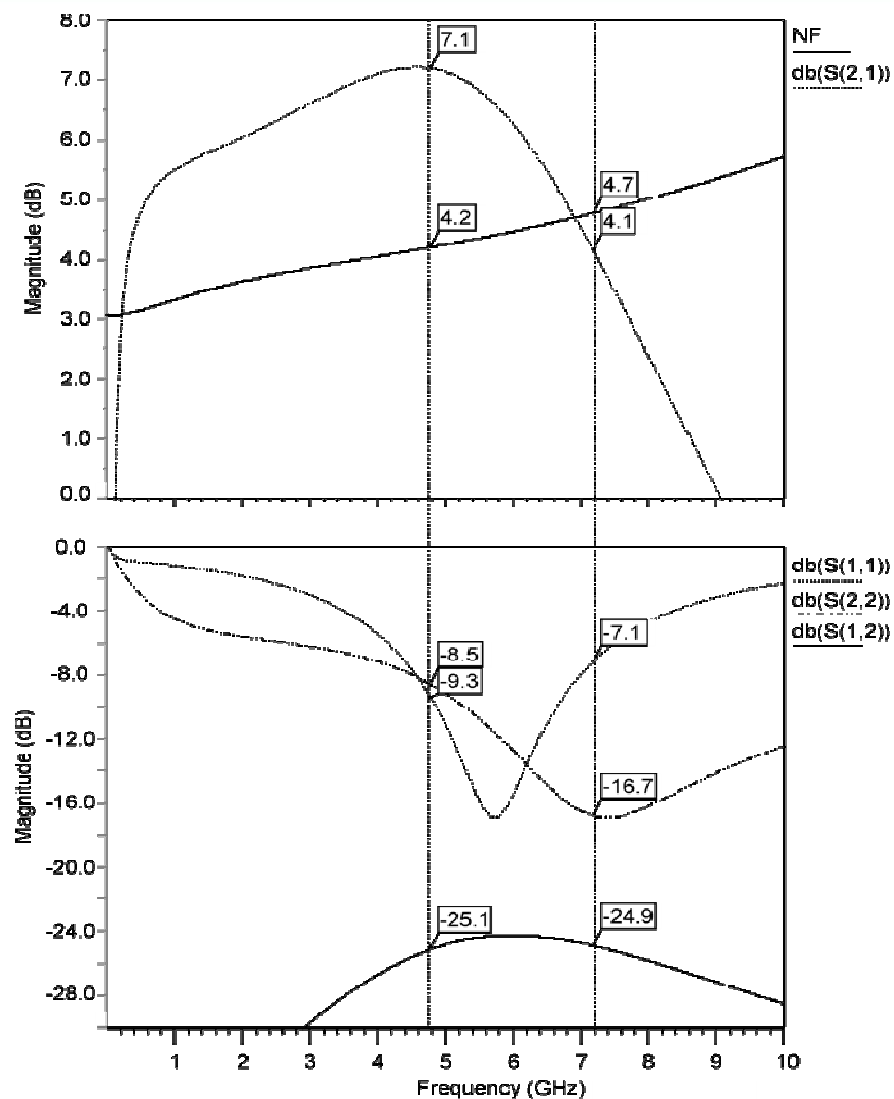
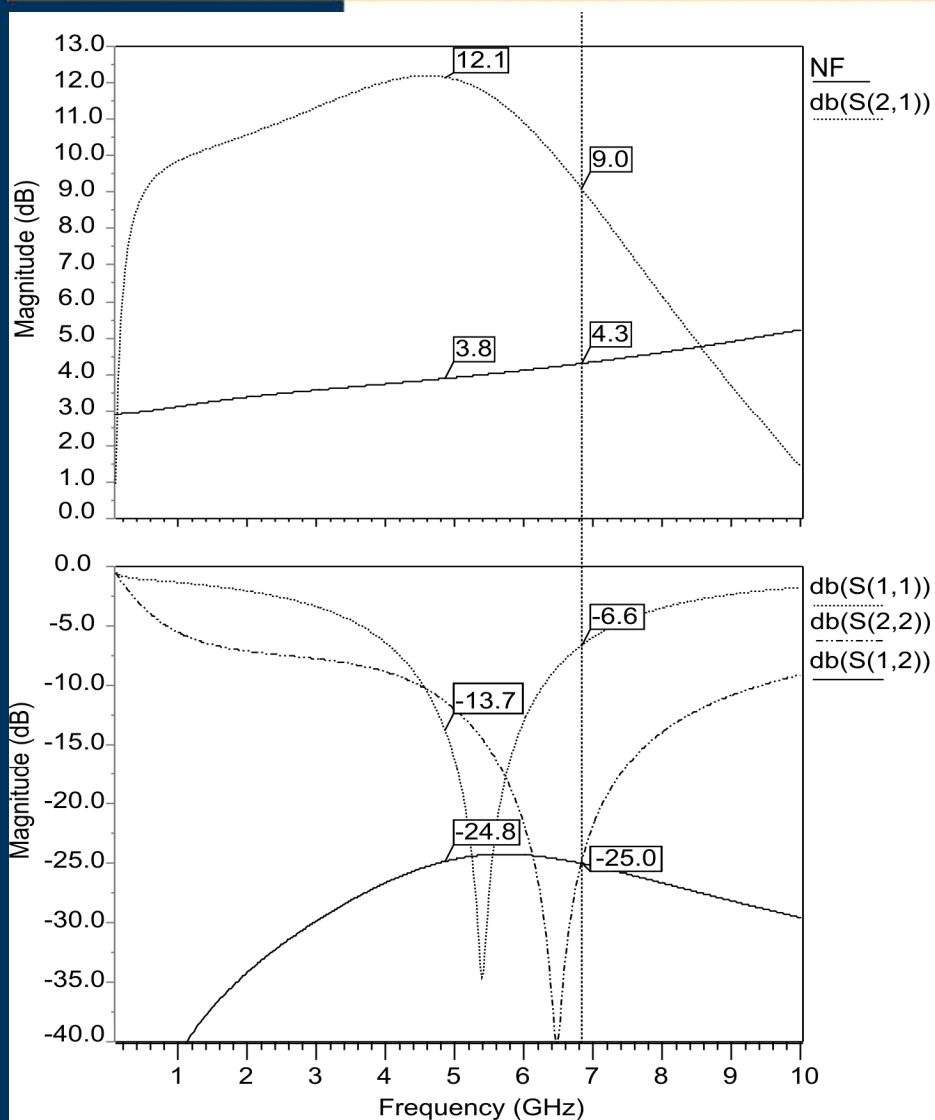
Realizácia čipu (layout) 350 x 630 μm





Návrh integrovaných obvodov pre VF aplikácie

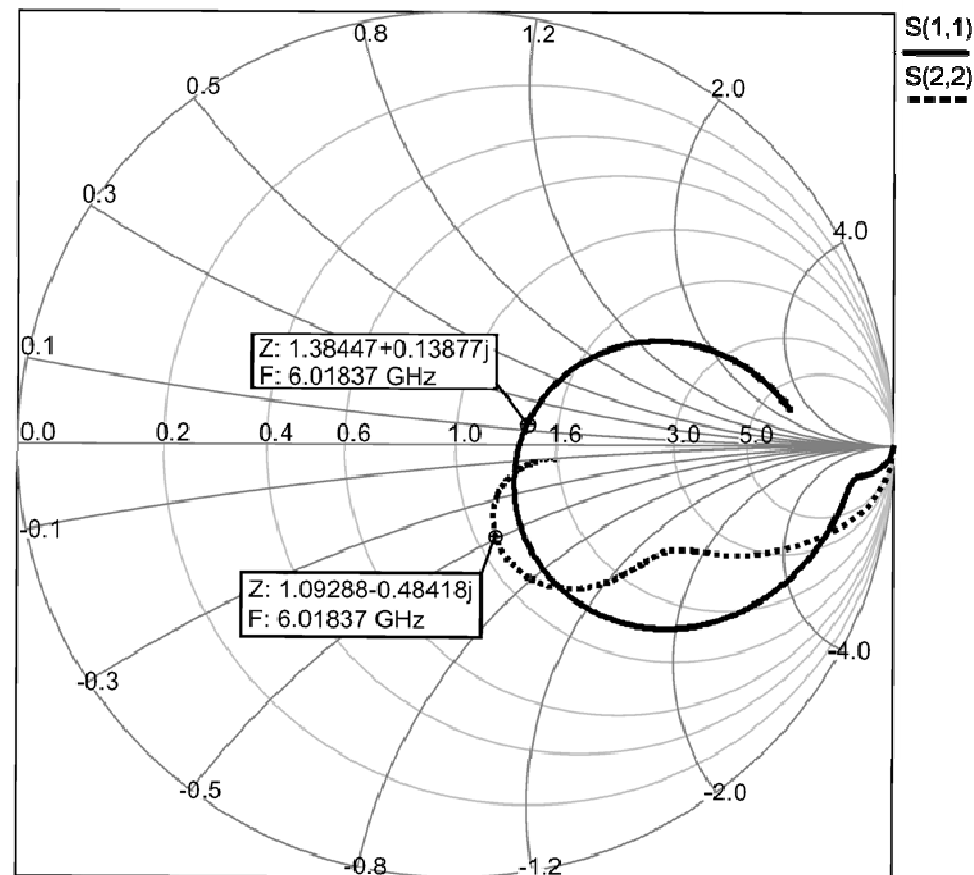
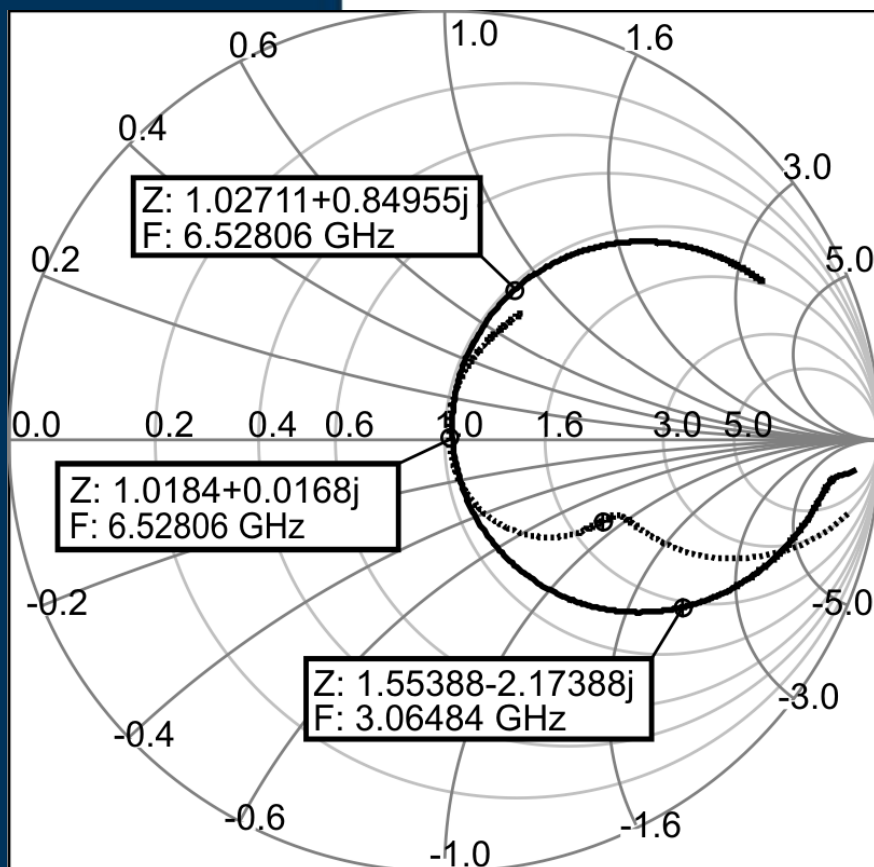
S parametre a šum





Návrh integrovaných obvodov pre VF aplikácie

Vstupné a výstupné prispôsobenie





Návrh integrovaných obvodov pre VF aplikácie

Podklady pre výrobu čipov

- GDSII (Graphic Database System)
- Priemyselný štandard pre výmenu podkladov integrovaných odvodov a navrhnutých čipov
- Postupne ho nahrádza OASIS (Open Artwork System Interchange Standard)
- Bondovací plan (GDSII, PDF, JPG)

1.1 Základné pojmy

- *Návrhár v súčasnom období použije na vývoj číslicového systému také technológie, postupy, prostriedky a nástroje ktoré mu umožnia dosiahnuť v konečnej implementácii*
 - *lepšiu výkonnosť,*
 - *menšie rozmery,*
 - *nižšiu energetickú spotrebu a*
 - *vyššiu spoľahlivosť.*
- *Významným kritériom sa stáva aj čas, ktorý uplynie od začiatku návrhu do samotného uvedenia navrhovaného číslicového systému na trh.*
- *Tieto pojmy sa stali základnými požiadavkami triedy číslicových systémov označovaných **ASIC- Application Specific Integrated Circuits** (zákaznícke integrované obvody).*

1.1 Základné pojmy

- *Tento trend vedie návrhárov syst. ku odklonu od štandardných logických prvkov SSI a MSI (napr. bipolárna rada 74 a rada CMOS 4000) smerom ku rastúcej triede integrovaných obvodov ASIC*
- *Dôvody použitia obvodov ASIC sa dajú zhrnúť do nasledujúcich bodov:*
 - ***Menšie rozmery systému-** zákaznícke obvody znižujú počet IO, čím šetria priestor na DPS a teda znižujú fyzické rozmery.*
 - ***Nižšia cena systému-** použitie zákazníckych obvodov VLSI značne zníži cenu prvkov na systém, náklady na osadzovanie a výrobu, náklady na návrh a výrobu DPS, náklady spojené s obstaraním, skladovaním a testovaním IO.*
 - ***Vyšší výkon-** menší počet IO vedie k vyšším rýchlostiam systému a k nižšiemu príkonu.*
 - ***Vyššia spoľahlivosť'-** pravdepodobnosť poruchy je priamo úmerná od počtu IO v systéme- je štatisticky spoľahlivejšia.*
 - ***Bezpečnosť návrhu-** systémy navrhnuté pomocou zákazníckych obvodov je možné relatívne ťažko kopírovať.*
 - ***Väčšia flexibilita-** ľahká zmena vlastností systému podľa požiadaviek zákazníka bez nutnosti zmeny DPS.*

1.1 Základné pojmy

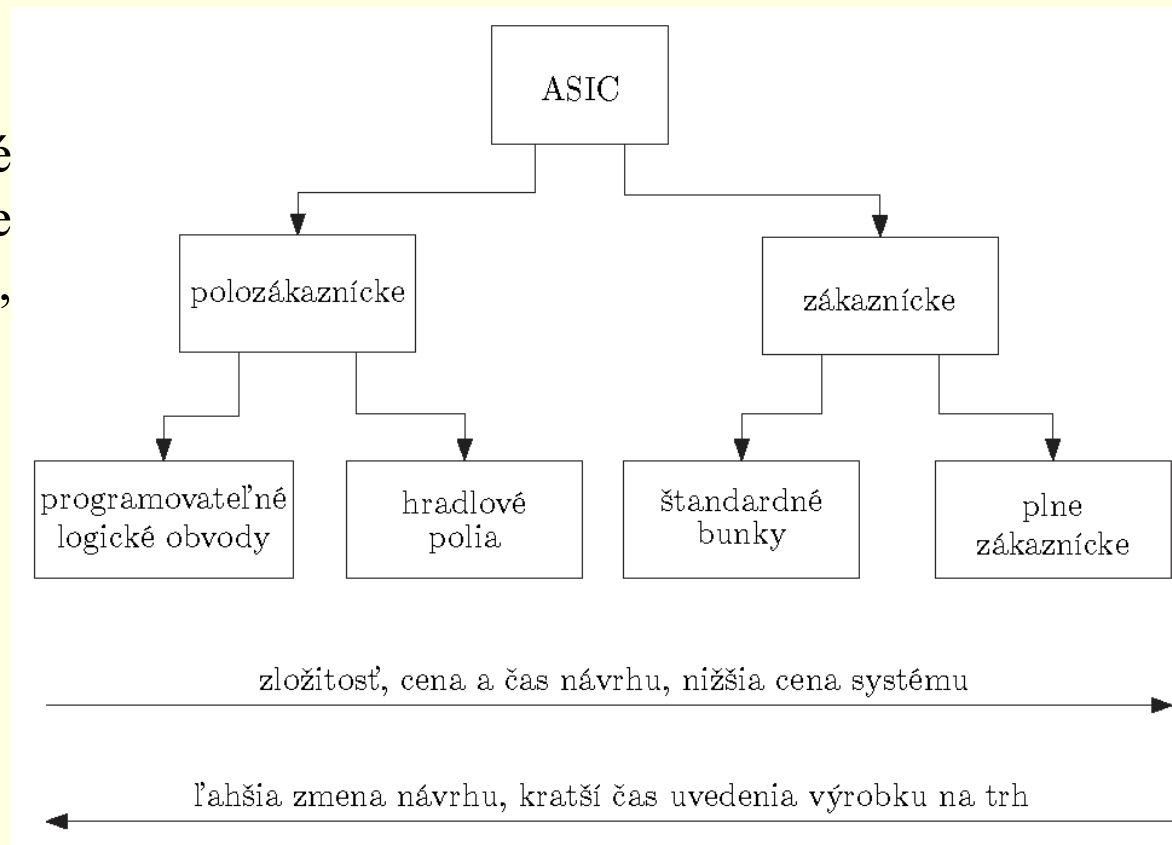
Alternatívy obvodov ASIC

- **Polozákaznícke**- pri týchto metódach sa požiadavkám zákazníka prispôbuje iba málo masiek.
- **Zákaznícke**- tieto metódy vyžadujú prispôbenie všetkých masiek potrebných pri výrobe IO.

Programovateľné logické obvody tvoria pomerne rozvetvenú rodinu obvodov, ktoré sa vzájomne líšia:

technológiou výroby a

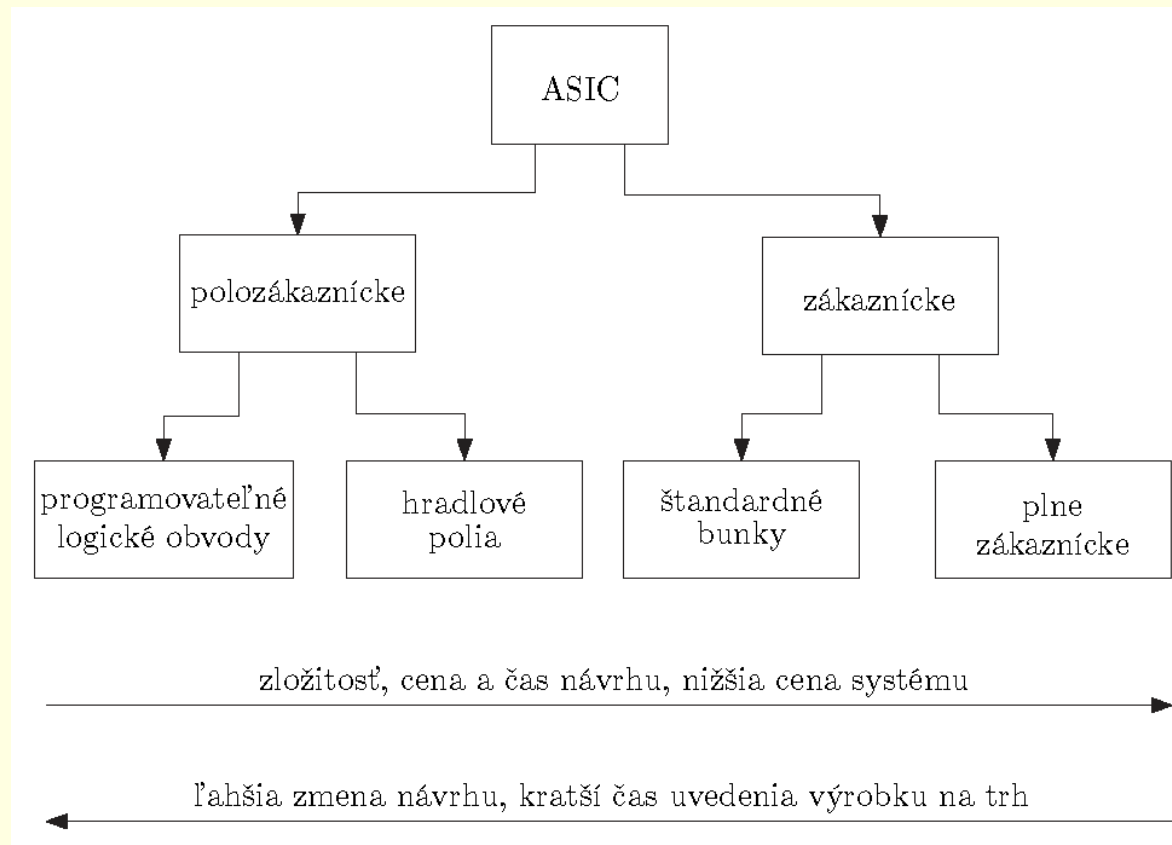
svojou vnútornou štruktúrou.



1.1 Základné pojmy

Alternatívy obvodov ASIC

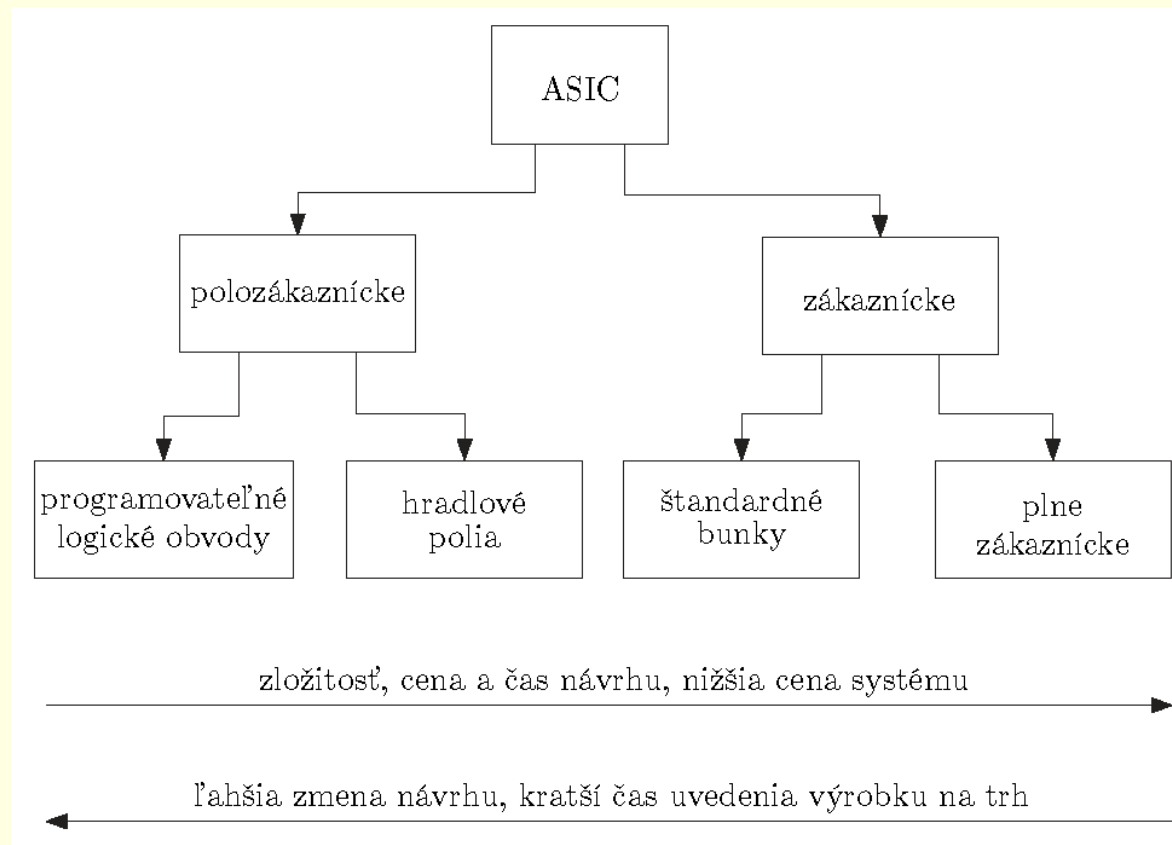
- **Programovateľné logické obvody (PLD):** Sú monolitické IO s logickými bunkami, ktoré môžu byť programované a v niektorých prípadoch i reprogramované užívateľom. Programovanie obvodu sa uskutočňuje vytváraním, alebo prerušovaním programovateľných prepojení, alebo zápisom do pamäťových buniek.



1.1 Základné pojmy

Alternatívy obvodov ASIC

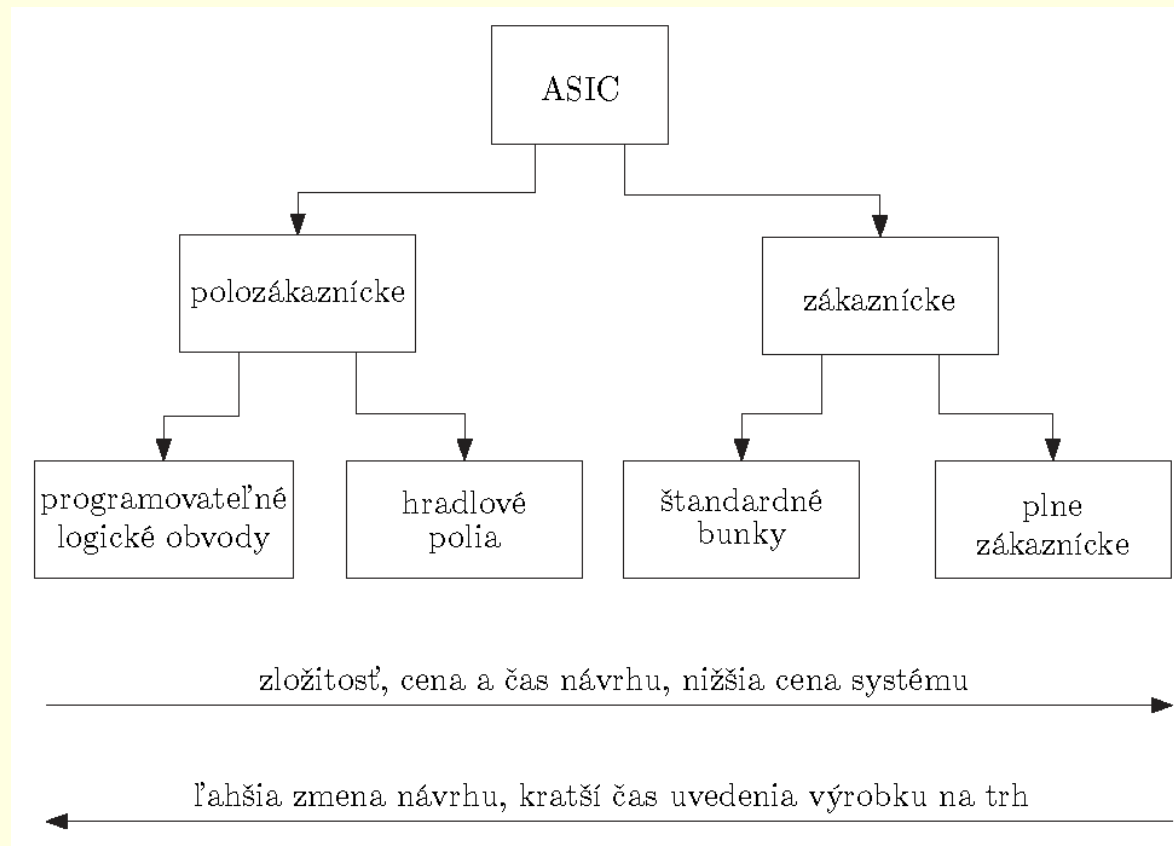
- **Hradlové polia (GA):** Sú monolitické IO, v ktorých sú tranzistory umiestnené v riadkoch alebo stĺpcoch. Programovanie sa uskutočňuje pomocou jednej, dvoch, alebo až troch masiek v procese výroby. Väčšia časť masiek je spoločná pre viacerých zákazníkov, preto môžu byť čipy až do určitej úrovne technologicky vyrábané v predstihu.



1.1 Základné pojmy

Alternatívy obvodov ASIC

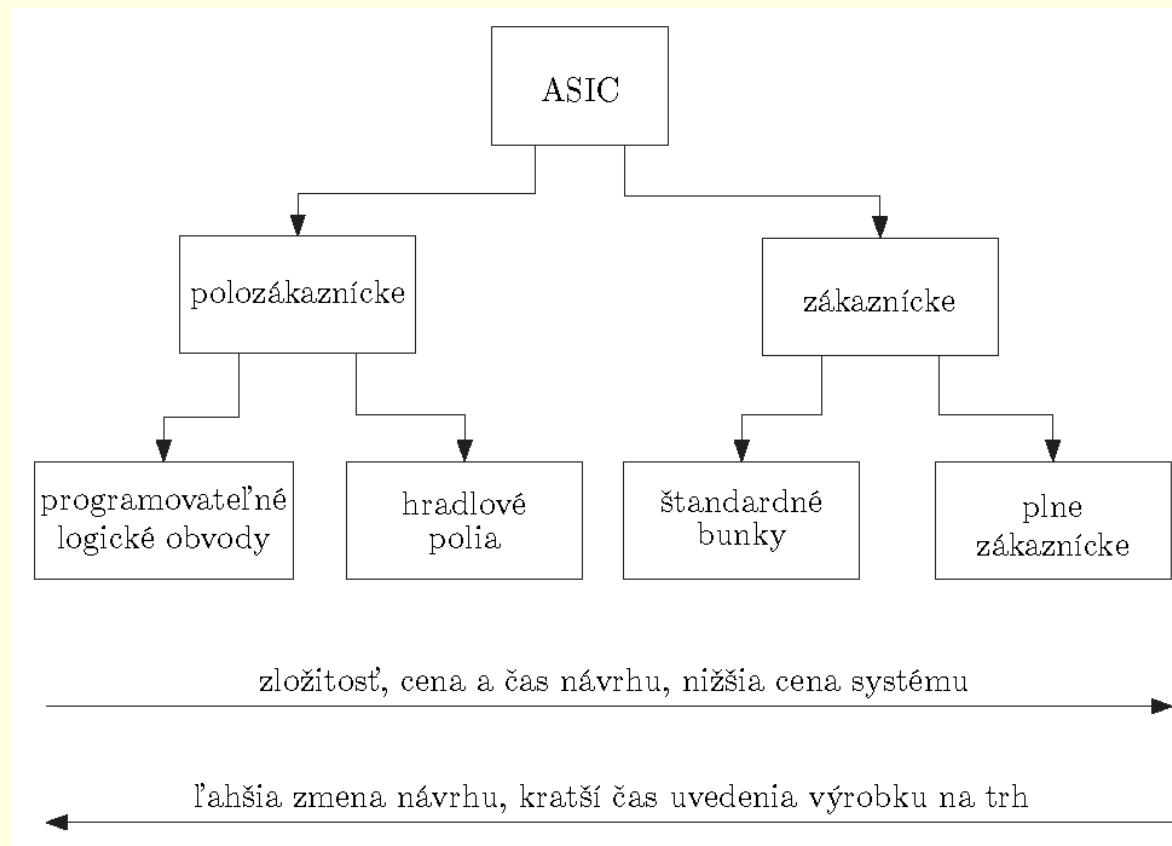
- **Štandardné bunky:** Sú monolitické IO, ktoré sú navrhované prostredníctvom existujúcej knižnice buniek, ktorá obsahuje vopred definované obvodové štruktúry. Obvod je programovaný v procese výroby prostredníctvom všetkých masiek.



1.1 Základné pojmy

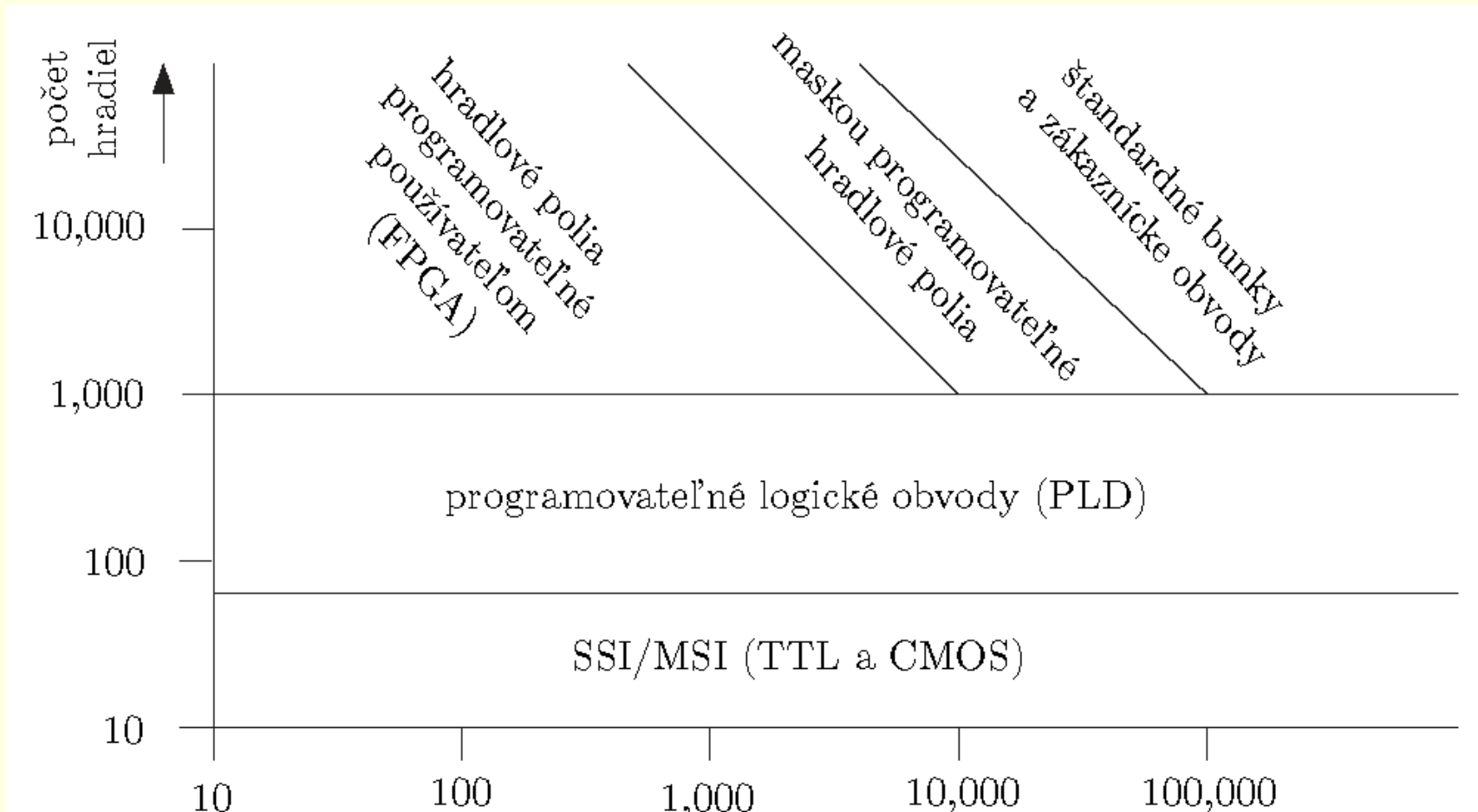
Alternatívy obvodov ASIC

- **Plne zákaznicke obvody:** Sú tiež monolitické IO, charakteristické tým, že sú plne navrhnuté užívateľom. Obvod sa predáva jedinému zákazníkovi.



1.1 Základné pojmy

Obvody ASIC sú najlepším riešením pre väčšinu log. funkcií. Rozhodnutie, ktorá alternatíva je na trhu ASIC najvýhodnejšia, závisí od požadovanej hustoty integrácie a tiež od sériovosti zariadenia v ktorom použijeme obvod ASIC. Použitie **PLD- Programmable Logic Device** (programovateľných logických obvodov) nie je obmedzené počtom kusov (najvýhodnejšia alternatíva je pri hustote integrácie do 1000 hradiel na čip).



1.1 Základné pojmy

Používané skratky:

- *ASIC- Application Specific Integrated Circuits* (zákaznícke integrované obvody)
- *PLD- Programmable Logic Device* (programovateľné logické obvody)
- *GAL- Generic Logic Array* (programovateľný log. obvod s flexibilnou vnútornou štruktúrou- môže nahradiť niekoľko rôznych obvodov typu PAL)
- *PAL- Programmable Array Logic* (obvod pozostávajúci z programovateľného poľa AND pevne pripojené k OR)
- *PLA- Programmable Logic Array* (obvod pozostávajúci z program. poľa AND výstupy ktorého sú programovateľne pripojené k poľu OR)
- *FPLA- Field Programmable Logic Array* (obvod pozostávajúci z program. poľa AND i OR hradiel)
- *EPLD- Erasable Programmable Logic Device* (programovateľný log. obvod mazateľný ultrafialovým svetlom)
- *EEPLD- Electrically Erasable Programmable Logic Device* (elektrický mazateľný programovateľný log. obvod)

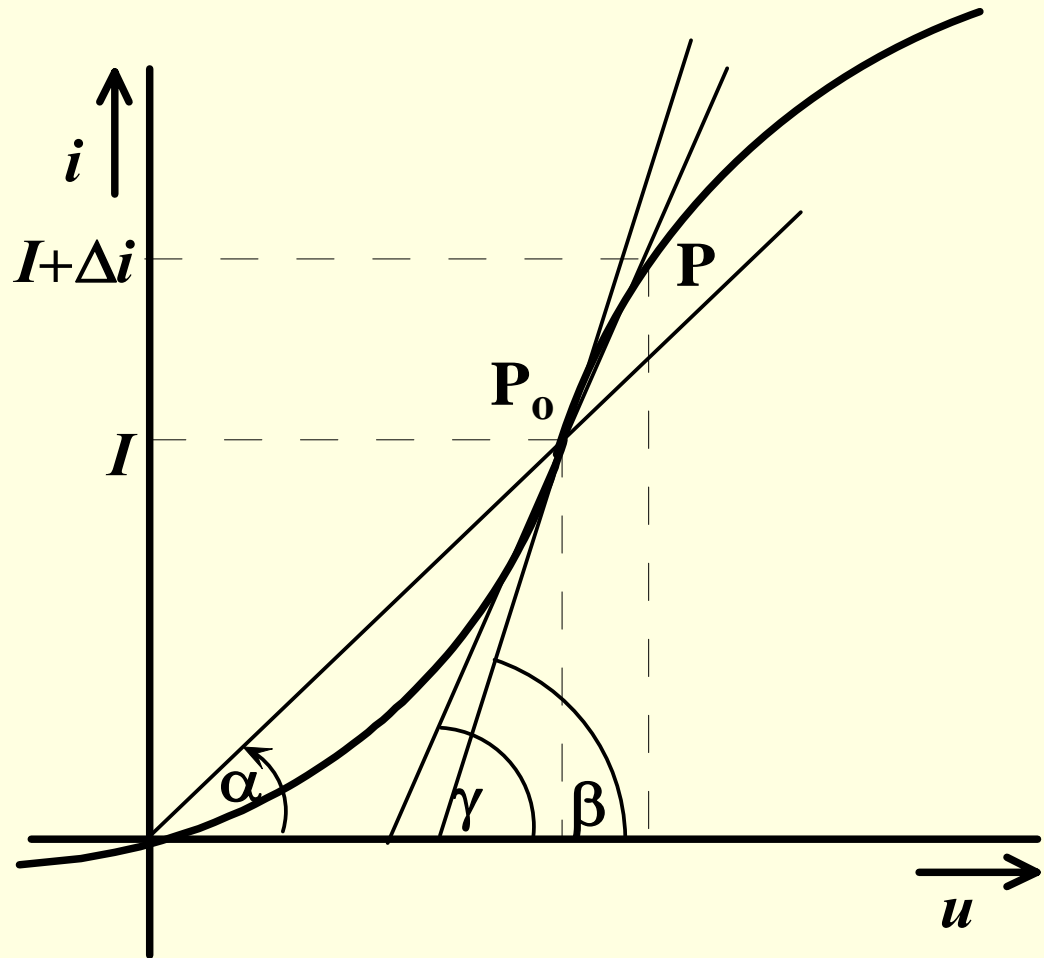
I.I. Odporové prvky (rezistory)

$$I = GU = \frac{1}{R}U$$

G je statická vodivost
 R je statický odpor

$$G(u) = \frac{I}{U} \approx \operatorname{tg} \alpha$$

$$R(u) = \frac{U}{I} \approx \frac{1}{\operatorname{tg} \alpha}$$



I. II. Kapacitné prvky (kapacitory)

akumulujú* energiu $W = \frac{1}{2}CU^2$ v elektrickom poli *dielektrika*, čo spôsobuje predbiehanie prúdu pred napätím. Riadiaca charakteristika je coulomb-voltová (C-V) charakteristika, $q = q(u)$ z ktorej možno získať nasledujúce riadiace charakteristické veličiny:

• *statickú kapacitu*

$$C = \left. \frac{Q}{U} \right|_U$$

• *diferenciálnu kapacitu*

$$c = \left. \frac{dQ}{dU} \right|_U$$

• *diferenčnú kapacitu*

$$c_{\Delta} = \left. \frac{\Delta Q}{\Delta U} \right|_U$$

I. III. Induktívne prvky (induktory)

akumulujú* v magnetickom poli energiu $W = \frac{1}{2} LI^2$,
čo spôsobuje oneskorovanie prúdu za napätím.

Riadiaca charakteristika je weber-ampérová (Wb-A)
charakteristika, $\Psi = \Psi(i)$ ktorá určuje charakteristické
veličiny induktorov:

• *statickú vlastnú indukčnosť*

$$L = \left. \frac{\Psi}{I} \right|_I$$

• *dynamickú vlastnú indukčnosť*

$$l = \left. \frac{d\Psi}{dI} \right|_I$$

• *diferenčnú vlastnú indukčnosť*

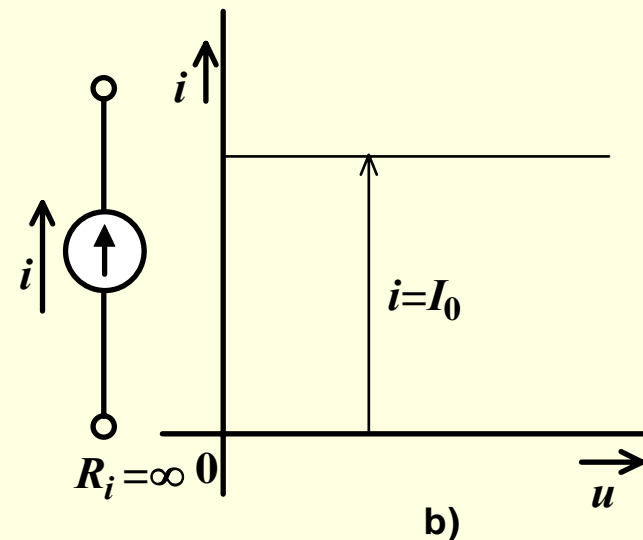
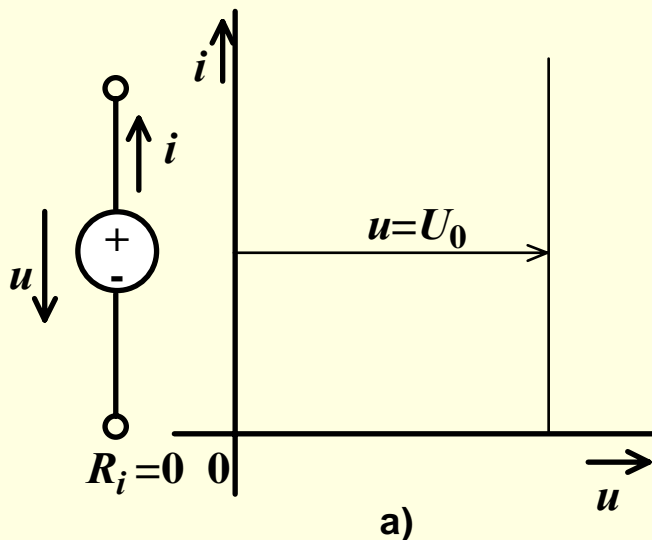
$$l_{\Delta} = \left. \frac{\Delta\Psi}{\Delta I} \right|_I$$

Akumulačné prvky

- **Pozn.** * Akumulačné prvky sa dajú realizovať tiež pomocou aktívnych dvojpólov RC syntetickým spôsobom.
- Fázový posun pri týchto súčiastkach je spôsobený inými príčinami ako akumuláciou energie.

1.1 Rozdelenie elektronických súčiastok

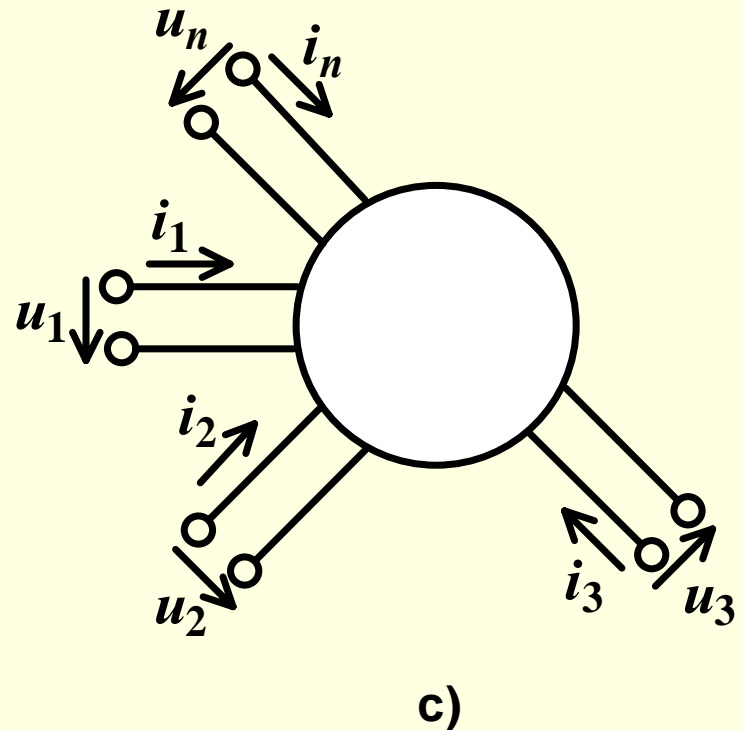
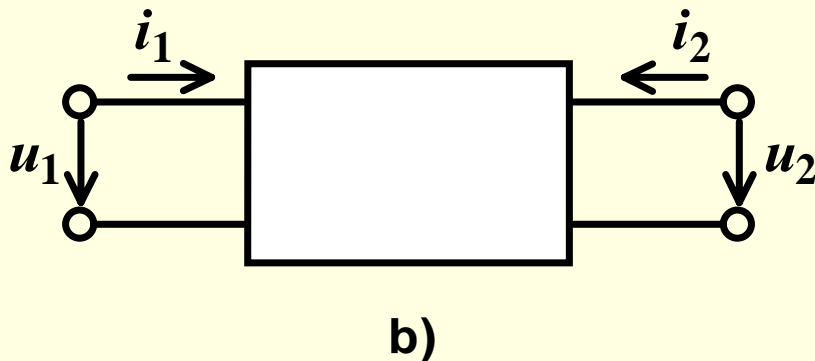
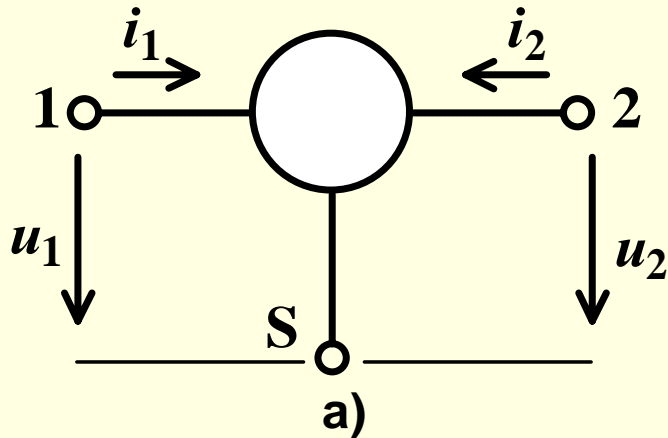
- II. Podľa počtu svoriek (pólov), ktorými je súčiastka zapojená do elektrického obvodu
 - Dvoj póly, napr. rezistor, dióda, fotónka, atď. delíme ich na
 - elementárne (ideálne) a
 - zložené (reálne).



1.1 Rozdelenie elektronických súčiastok

- *II. Podľa počtu svoriek (pólov), ktorými je súčiastka zapojená do elektrického obvodu*

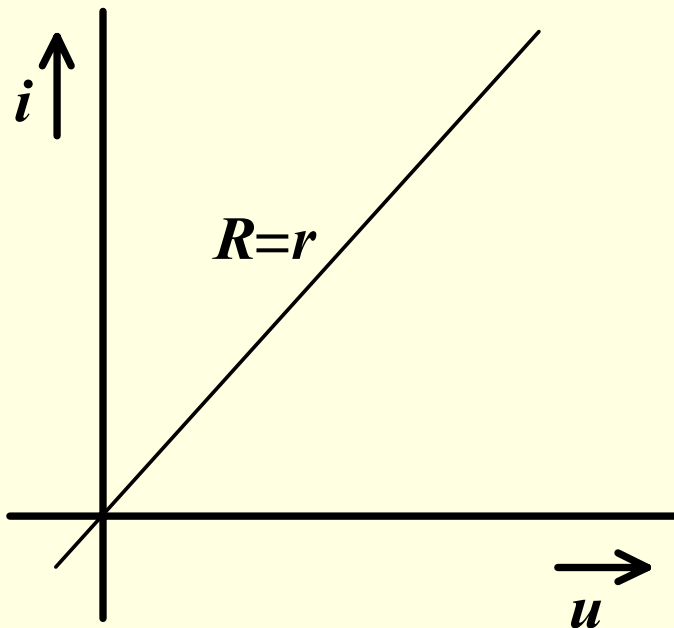
☐ *Troj póly, štvor póly a mnohopóly*



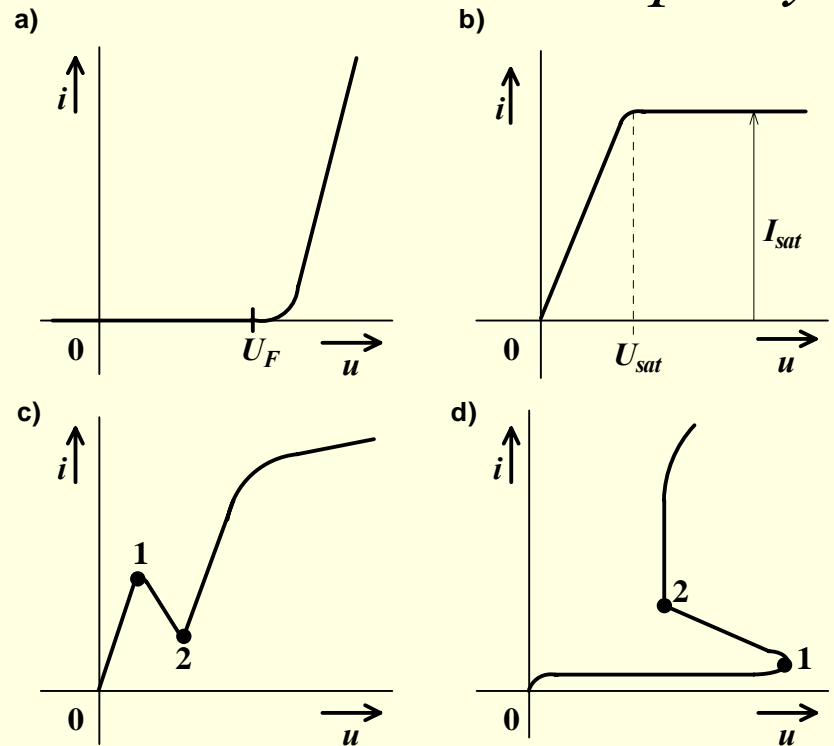
1.1 Rozdelenie elektronických súčiastok

- **III. Podľa tvaru riadiacej charakteristiky**, ktorá predstavuje funkčnú závislosť, z ktorej možno odčítať charakt. vel. prvku: A-V, C-V, Wb-A.

□ *Lineárne prvky,*



□ *Nelineárne prvky*



1.1 Rozdelenie elektronických súčiastok

- *IV. Podľa možnosti riadiť charakteristickú veličinu* delíme súčiastky na:
 - ❑ *Neriadené*, keď hodnota charakteristickej veličiny sa pri konštantnom napájaní nemení.
 - ❑ *Riadené*, keď hodnotu charakteristickej veličiny možno meniť zmenou parametra.

1.1 Rozdelenie elektronických súčiastok

- *V. Podľa výkonovej bilancie* delíme súčiastky do dvoch skupín:
 - ❑ *Pasívne súčiastky*, ktoré nie sú schopné dodávať výkon.
 - ❑ *Aktívne súčiastky*, ktoré pracujú ako meniče energie a sú schopné zo zdroja energie (napájacieho) zvyšovať výkon spracovávaného signálu.

1.1 Rozdelenie elektronických súčiastok

- *VI. Podľa sústredenosti charakteristickej veličiny* delíme súčiastky do dvoch skupín:

- ❑ Súčiastky *so sústredenými* charakteristickými veličinami.
- ❑ Súčiastky *s rozprestretými* charakteristickými veličinami.

Približný odhad hranice medzi obidvomi skupinami sa dá určiť na základe porovnania rozmerov súčiastky s vlnovou dĺžkou λ zodpovedajúcou pracovnej frekvencii. Ak rozmer súčiastky je $\ll \lambda$, potom má súčiastka sústredené charakteristické veličiny. Ak sú rozmery súčiastky porovnateľné s vlnovou dĺžkou λ , potom má súčiastka rozprestreté charakteristické veličiny.

2 Pasívne prvky

- 2.1 Rezistory
- 2.2 Nelineárne rezistory
- 2.3 Kondenzátory
- 2.4 Cievky, tlmivky a transformátory
- 2.5 Piezoelektrické prvky

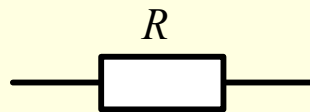
2.1 Rezistory

- *Rezistory ako diskrétne súčiastky elektronických zariadení funkčne realizujú prvky so sústredenou hodnotou elektrického odporu (R).*
- *Usporiadanie niektorých rezistorov umožňuje v medziach menovitej hodnoty mechanicky meniť (nastaviť) požadovaný odpor. Podľa toho rozlišujeme dve veľké skupiny pevných a nastaviteľných rezistorov.*
- *Do prvej skupiny - **pevných** - patria predovšetkým tzv. lineárne rezistory, ktorých V - A charakteristika je v medziach menovitých hodnôt prúdov a napätí lineárna a pri $R = \text{konšt.}$ zodpovedá platnosti Ohmovho zákona.*
- *Do druhej skupiny - **nastaviteľných** - patria rezistory s nastaviteľnou hodnotou odporu a plynulo nastaviteľnou hodnotou - potenciometre. Pre nastavenú hodnotu odporu platia závislosti lineárnych rezistorov, t.j. $R = \text{konšt.}$*
- *Do tretej špecifickej skupiny môžeme zaradiť tzv. **nelineárne rezistory**, ktoré vykazujú výraznú závislosť elektrického odporu od niektorej fyzikálnej veličiny. Ich V - A charakteristika je všeobecne nelineárna.*

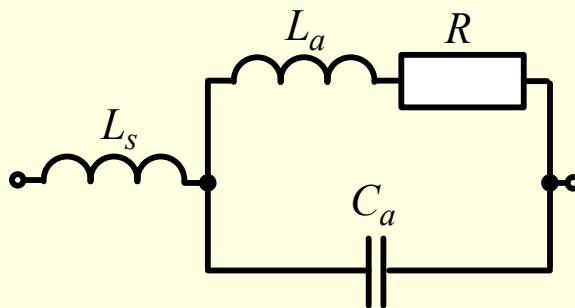
2.1.2.1 Základné vlastnosti lineárnych rezistorov

- Medzi základné vlastnosti a udávané parametre pevných rezistorov patrí:
 - ❑ *Menovitá hodnota odporu R_N [Ω],*
 - ❑ *Dovolené odchýlky [% R_N]*
 - ❑ *Menovité zaťaženie P_N [W]*
 - ❑ *Teplotný súčiniteľ odporu [% / $^{\circ}\text{C}$]*
 - ❑ *Napätový súčiniteľ odporu [% /V]*
- Okrem uvedených statických parametrov a charakteristík rezistorov je pre správne použitie jednotlivých druhov potrebné poznať ich správanie pri použití striedavých prúdov a napätí. Tieto vlastnosti rezistorov opisujeme dynamickými charakteristikami a parametrami, z ktorých je najdôležitejší:
 - ❑ *Šum rezistorov a*
 - ❑ *Frekvenčné vlastnosti popisované pomocou náhradnej schémy rezistora.*

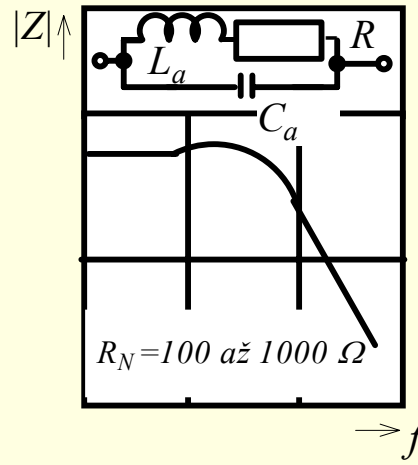
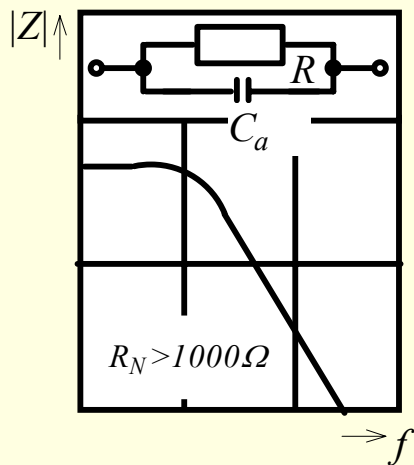
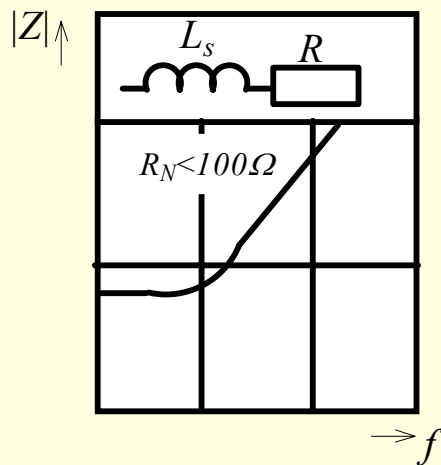
a) Náhradná schéma rezistora, b) zjednodušená náhradná schéma rezistora v závislosti od menovitej hodnoty a frekvencie



Schématická značka rezistora



a)



b)

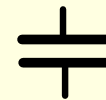
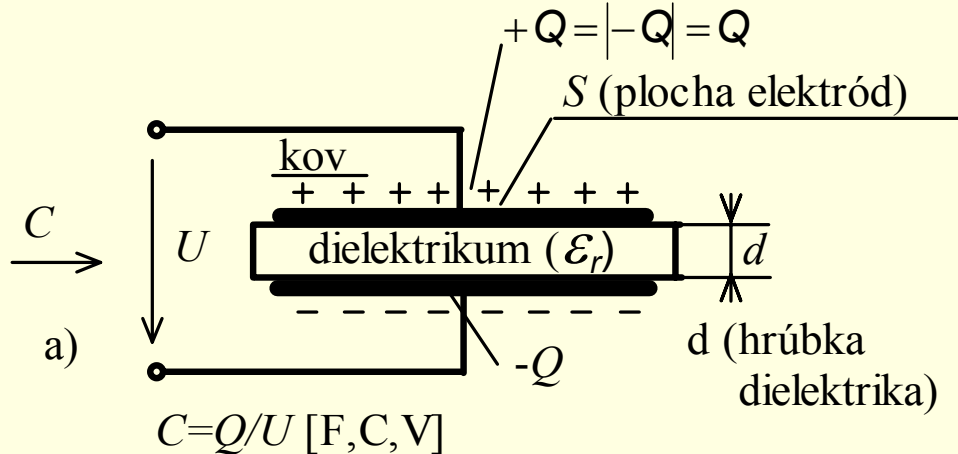
2.3 Kondenzátory

*Kondenzátory sú diskrétne súčiastky elektronických zariadení, ktoré funkčne realizujú prvky so sústredenou hodnotou elektrickej kapacity, t.j. **kapacitory**. Základná vlastnosť, t.j. kapacita kondenzátorov vyplýva z principiálneho usporiadania podľa Obr.*

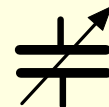
2.3 Kondenzátory

Kapacita kondenzátora C [F] je daná veľkosťou vzájomne sa prekrývajúcich plôch S [m²] kovových elektród, vlastnosťami použitého dielektrika, ktoré je určené hlavne relatívnou permitivitou ϵ_r (permitivita vákua ϵ_0) a hrúbkou dielektrika d [m], podľa vzťahu:

$$C = \frac{\epsilon_0 \epsilon_r S}{d}$$



b) pevné
 $C = \text{konst.}$



c) nastaviteľné
 $C = f(S; d, \epsilon_r)$

2.3 Kondenzátory

Zo vzťahu vidíme, že sa dajú realizovať kondenzátory pevné, pri ktorých parametre ϵ_r , S a d budú prakticky konštantné a teda aj $C = \text{konšt.}$

V prípade, že parametre ϵ_r , S alebo d sa budú môcť meniť, dostaneme skupinu *nastavitelných kondenzátorov*.

Najčastejšie sa využíva zmena S , v niektorých prípadoch však tiež zmena d , prípadne aj ϵ_r .

2.3 Kondenzátory

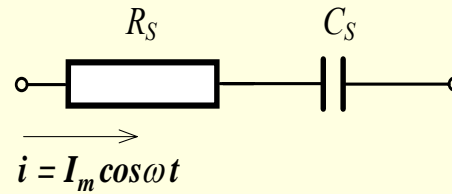
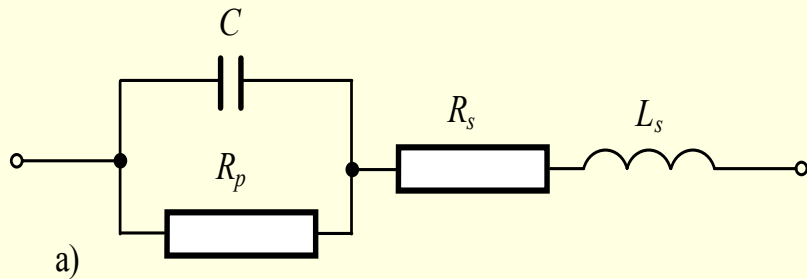
Kapacita kondenzátorov, daná v dôsledku polarizácie dielektrika a schopnosti zhromažďovať elektrický náboj Q po priložení napätia U na elektródy ($C=Q(U)$), je závislá od konštrukčného usporiadania a od použitého materiálu dielektrika.

Veľkosť kapacity na jednotku objemu a väčšina ďalších elektrických vlastností kondenzátora je daná hrúbkou a vlastnosťami použitého materiálu dielektrika.

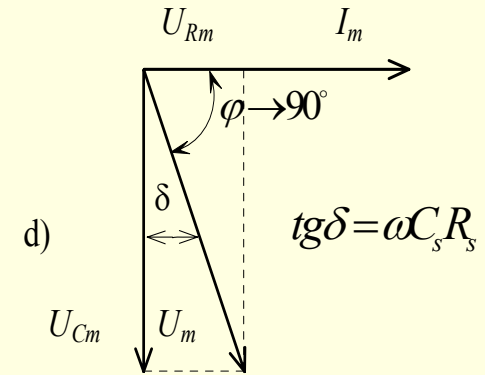
2.3.1 Základné vlastnosti kondenzátorov

- Kondenzátory sa vo väčšine prípadov používajú v elektrických obvodoch so striedavými (premennými) zložkami prúdov a napätí.
- Chovanie kondenzátorov v týchto obvodoch opíšeme pomocou náhradného obvodu so sústredenými parametrami.
- Realizovanú kapacitu kondenzátora označíme C . Konečný odpor dielektrika a tým aj straty v kondenzátore spôsobené jeho polarizáciou, a teda závislé od frekvencie, vyjadríme odporom R_s v sérii s kapacitou C .
- Pri vyšších frekvenciách sa môže prejaviť indukčnosť prívodov aj usporiadania elektród (napr. pri zvitkových kondenzátoroch), ktorú vyjadríme do série zapojenou indukčnosťou L_s . Na vývodoch kondenzátora nameráme jeho impedanciu $Z(\omega)$, ktorá je všeobecne závislá od frekvencie prenášaného signálu.

a) Náhradná schéma kondenzátora, b) zjednodušený sériový náhradný obvod, c) zjednodušený paralelný náhradný obvod, d, e) vektorové diagramy v harmonickom ustálenom stave



b) sériová
 $Z = R_s + 1/j\omega C_s$



a) náhradná schéma

C - kapacita kondenzátora

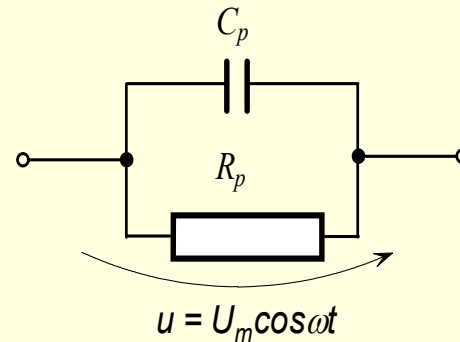
R_s - odpor prívodov a elektród

R_p - straty v dielektriku a izolačný odpor

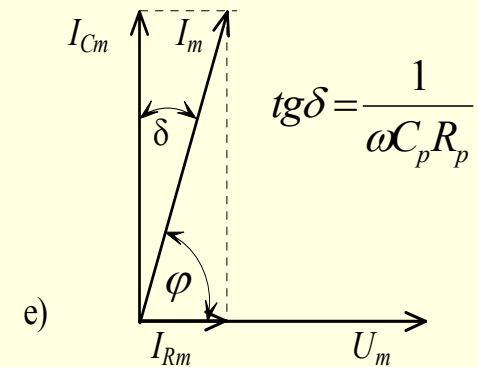
L_s - indukčnosť prívodov a elektród

$$Z(\omega) = \text{Re}\{Z(\omega)\} + j \text{Im}\{Z(\omega)\}$$

$$tg \delta = \text{Re}\{Z(\omega)\} / \text{Im}\{Z(\omega)\}$$



c) paralelná
 $1/Z = 1/R_p + j\omega C_p$



Základné vlastnosti kondenzátorov sa udávajú nasledujúcimi parametrami:

- *Stratový činiteľ* $\text{tg}\delta$, sa udáva *činiteľ kvality* Q , čo je reciproká hodnota $\text{tg}\delta$
- *Frekvenčné vlastnosti* kondenzátorov vyjadrujú závislosti parametrov C , $\text{tg}\delta$ a celkovej impedancie Z od frekvencie.
- *Menovitá hodnota kapacity* C_N [pF, nF, μ F] sa udáva na telese kondenzátora, stanoveným spôsobom označenia písmenovým alebo farebným kódom. Hodnoty kapacity kondenzátorov sa vyrábajú v geometrických radoch E6, E12, E24, prípadne v radoch uvádzaných v normách výrobcov. Dovoľené odchýlky menovitých hodnôt kapacít vyrábaných druhov a typov kondenzátorov sú obyčajne $\pm (20, 10, 5, 2, 1, 0,5) \%$.
- *Elektrická pevnosť kondenzátora* je predovšetkým určená menovitým napätím (U_N), ktoré predstavuje prípustnú hodnotu trvalo priloženého jednosmerného napätia.
- *Izolačný odpor* R_{iz} [$M\Omega$]
- *Teplotné závislosti* - Teplotný súčiniteľ kapacity T_{KC}

$$T_{KC} = \frac{1}{C_{ga}} \frac{\Delta C}{\Delta \vartheta}$$

2.4 Cievky a transformátory

Každý pohybujúci sa nosič náboja v oblasti nerelativistických rýchlostí vytvára vo svojom okolí magnetické pole, rovnako ako každý vodič, ktorým prechádza elektrický prúd.

Intenzita tohoto poľa sa môže zväčšiť vplyvom materiálov s veľkou permeabilitou, ktoré sú umiestnené v blízkosti.

Induktívne vlastnosti súčiastky alebo vodiča sa vyznačujú dvoma podstatnými znakmi:

- ideálna cievka (induktor) môže slúžiť ako zásobník len magnetickej energie, ak ňou prechádza elektrický prúd;
- cievka, ktorou prechádza elektrický prúd má vždy vplyv na okolitý priestor.

Indukčnosť je definovaná vzt'ahom:

$$L = \frac{\text{spriahnutý magnetický tok}}{\text{prechádzajúci elektrický prúd}} = \frac{\Psi}{I} = \frac{N \cdot \Phi_m}{I}$$

2.4 Cievky a transformátory - Vzt'ahy medzi indukčnosťami dvoch cievok

Zapojenie cievok	bez väzby (veľká vzdialenosť)	s väzbou (malá vzdialenosť)
sériové	$L_s = L_1 + L_2$ $tg\delta_s = \frac{L_1 \cdot tg\delta_1 + L_2 tg\delta_2}{L_1 + L_2}$	$L = L_1 + L_2 \pm 2M$
paralelné	$L_p = \frac{L_1 \cdot L_2}{L_1 + L_2}$ $tg\delta_p = \frac{L_1 \cdot tg\delta_2 + L_2 tg\delta_1}{L_1 + L_2}$	$L = \frac{L_1 L_2 - M^2}{L_1 + L_2 \pm 2M}$

Pretože cievka má vplyv na okolitý priestor, ovplyvňujú sa cievky vzájomne. Veličina **M** sa nazýva vzájomná indukčnosť. Závisí od geometrického usporiadania obidvoch cievok.

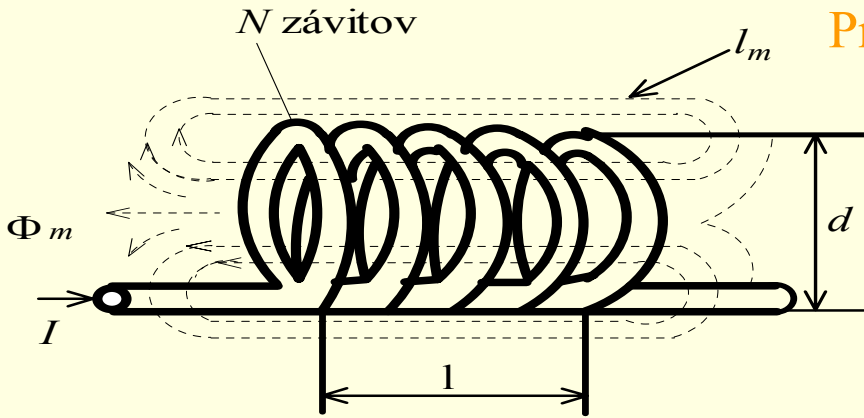
2.4 Cievky a transformátory

Ak preteká elektrický prúd vodičom stočeným do závitov cievky, sústreďujú sa jeho magnetické účinky do malého priestoru cievky, ktorá tak realizuje požadovanú indukčnosť.

Pre indukčnosť cievky potom platí vzťah:

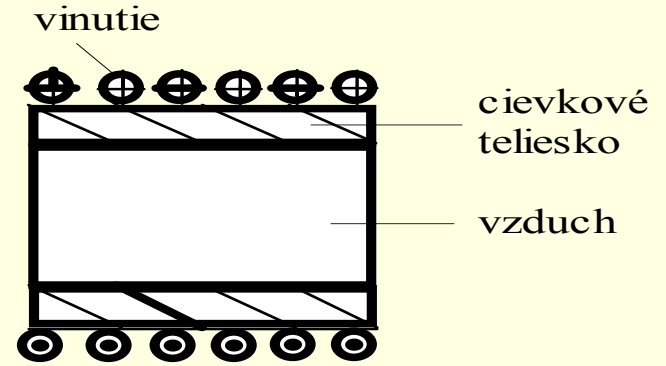
$$L = N \frac{\Phi_m}{I} = \frac{N \cdot G_m N \cdot I}{I} = G_m N^2 = \mu_0 \mu_r \frac{S}{l_m} N^2$$

Princípy usporiadania cievok a transformátorov

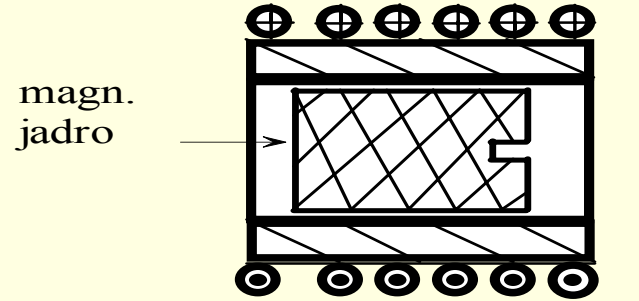


a) $L = N\Phi_m / I, L = G_m N^2 = K \frac{d}{l} N^2$

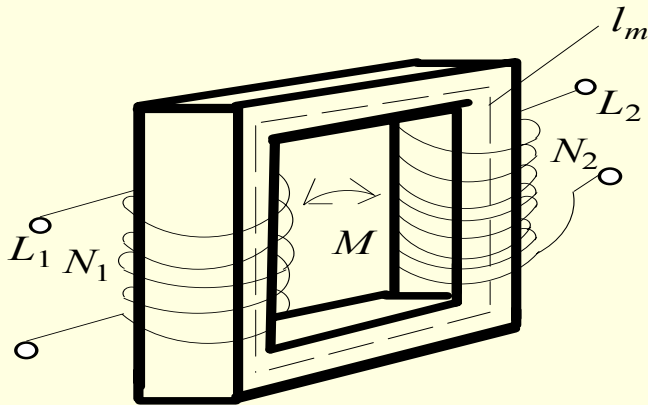
(K=koeficient, konšt)
 d=priemer závitov
 l=dĺžka závitov



b) vzduchová cievka

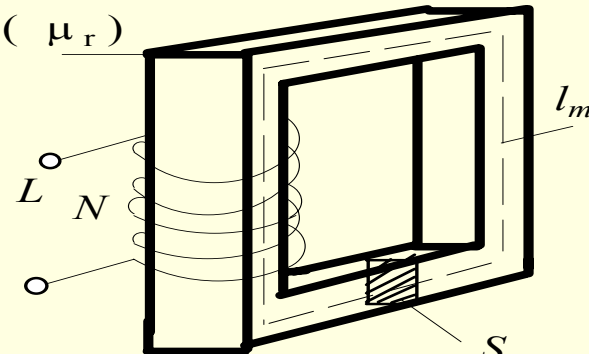


c) vzduchová cievka s magn.jadrom



e) transformátor

jadro uzavretého
 mg. obvodu (μ_r)



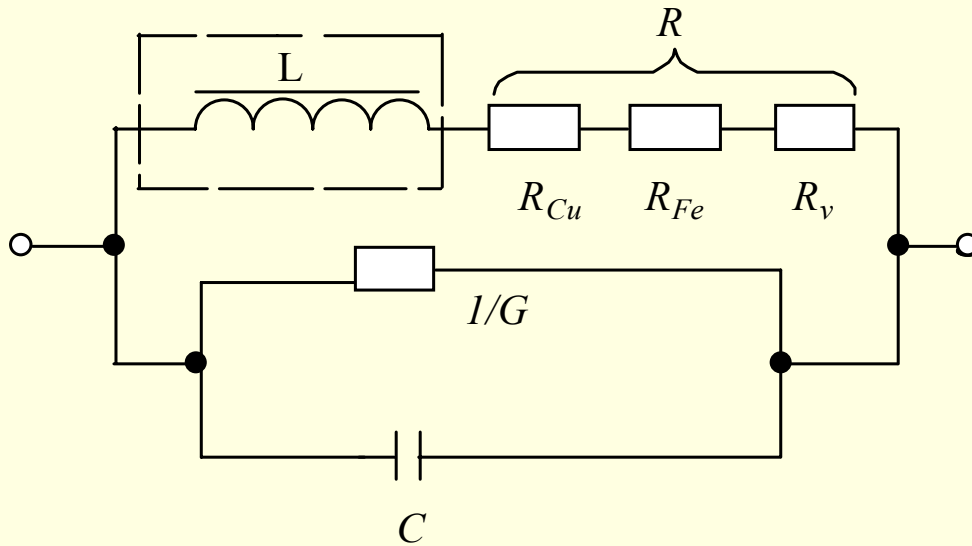
d) tlmivka

2.4.2 *Charakteristické vlastnosti*

2.4.2.1 *Cievky s malými indukčnosťami*

- Pri ideálnej cievke, t.j. bezstratovom dvojpóle "induktore", prebieha nezávisle od frekvencie napätie prúd o $\pi/2$. Reálnu cievku so stratami a kapacitou, kde posun napätia pred prúdom je menší ako $\pi/2$, môžeme pre frekvencie nižšie, ako je jej rezonančná uhlová frekvencia ω_r opísať prvkami náhradnej schémy podľa Obr.

Náhradná schéma cievky



L - vlastná indukčnosť cievky

R_V - straty vírivými prúdmi v magn. obvode

R_{Cu} - straty vo vodičoch

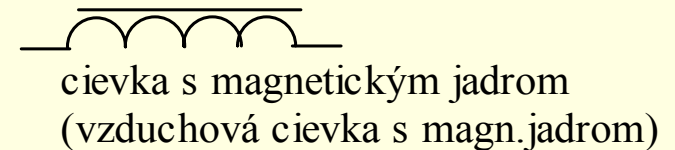
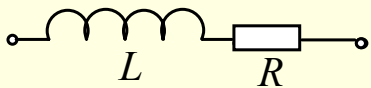
R_{Fe} - hysterézne straty v magn. obvode

C - vlastná kapacita cievky

$1/G$ - straty v dielektriku a vyžarovaním cievky (rozptylom)

a) prvky náhradnej schémy cievky

Schematické značky



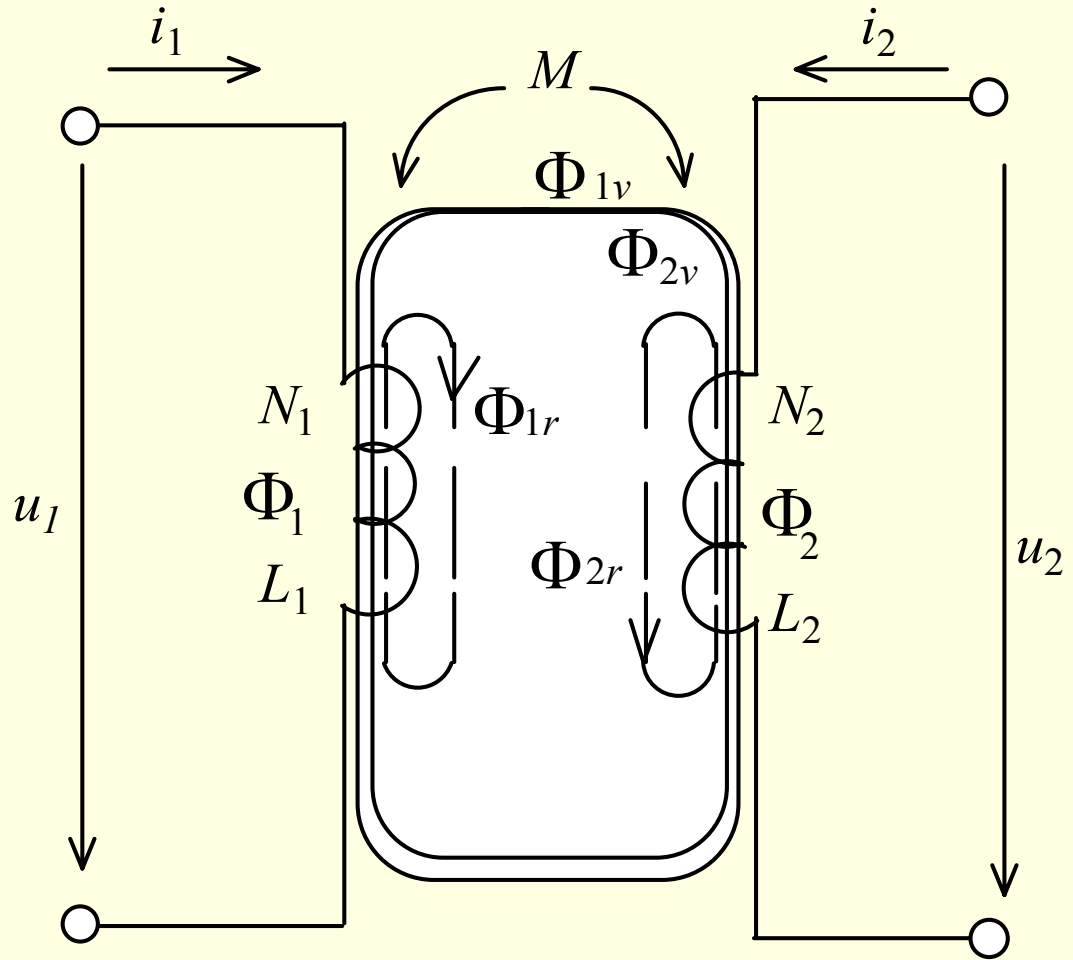
b) zjednodušená náhradná schéma cievky

2.4.4 Transformátory

$$\Phi_1 = \Phi_{1v} + \Phi_{1r}$$

$$\Phi_2 = \Phi_{2v} + \Phi_{2r}$$

$$\Phi_v = \Phi_{1v} + \Phi_{2v}$$



$$\frac{i_1}{i_2} = \frac{u_2}{u_1} = \frac{N_2}{N_1} = n$$

$$\frac{u_1}{u_2} = \frac{N_1}{N_2} = \frac{1}{n} = p$$

$$z_2 = \frac{u_2}{i_2} = \frac{u_1 \cdot n}{i_1 / n} = z_1 \cdot n^2 \Rightarrow \frac{z_2}{z_1} = n^2$$

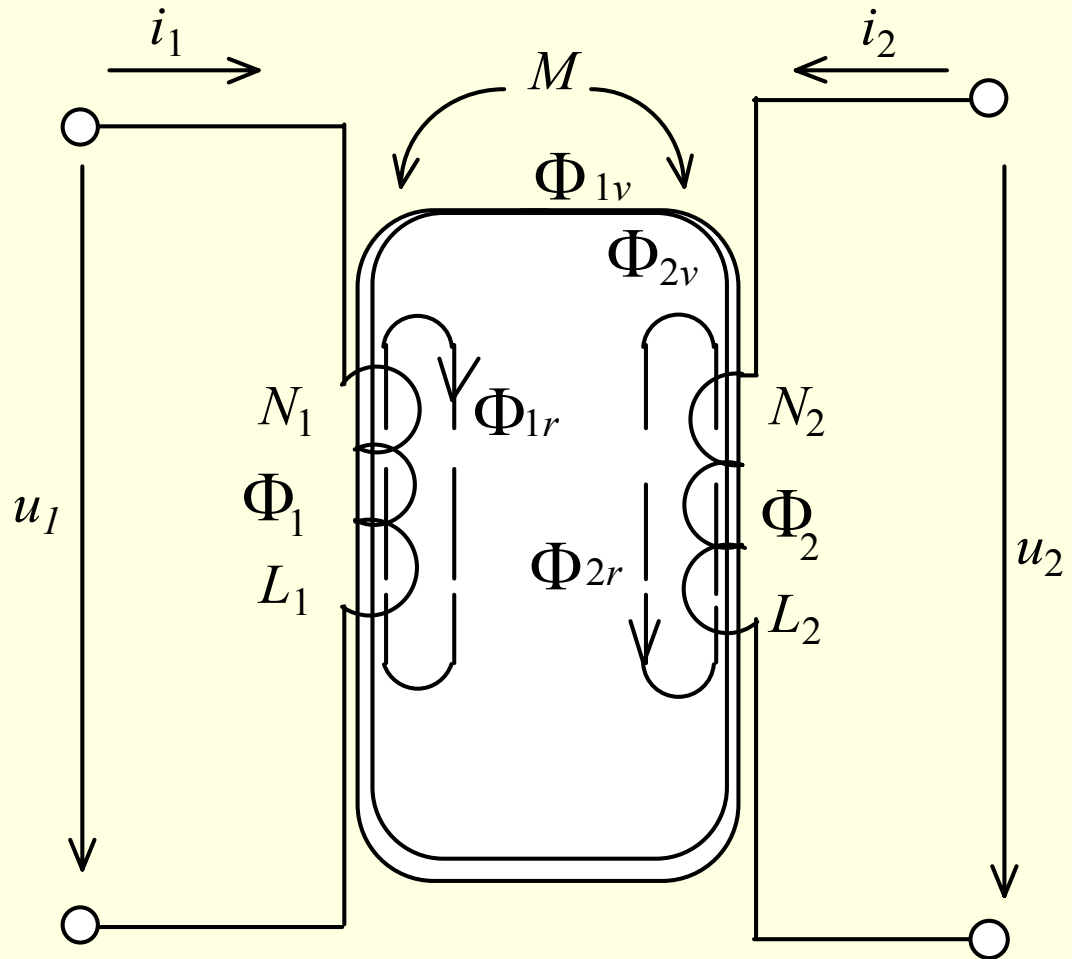
2.4.4 Transformátory

$$L_1 = L_{1v} + L_{1r}$$

$$L_2 = L_{2v} + L_{2r}$$

$$k_v = \frac{L_{1v}}{L_1} = \frac{L_{2v}}{L_2}$$

k_v - väzobný činiteľ

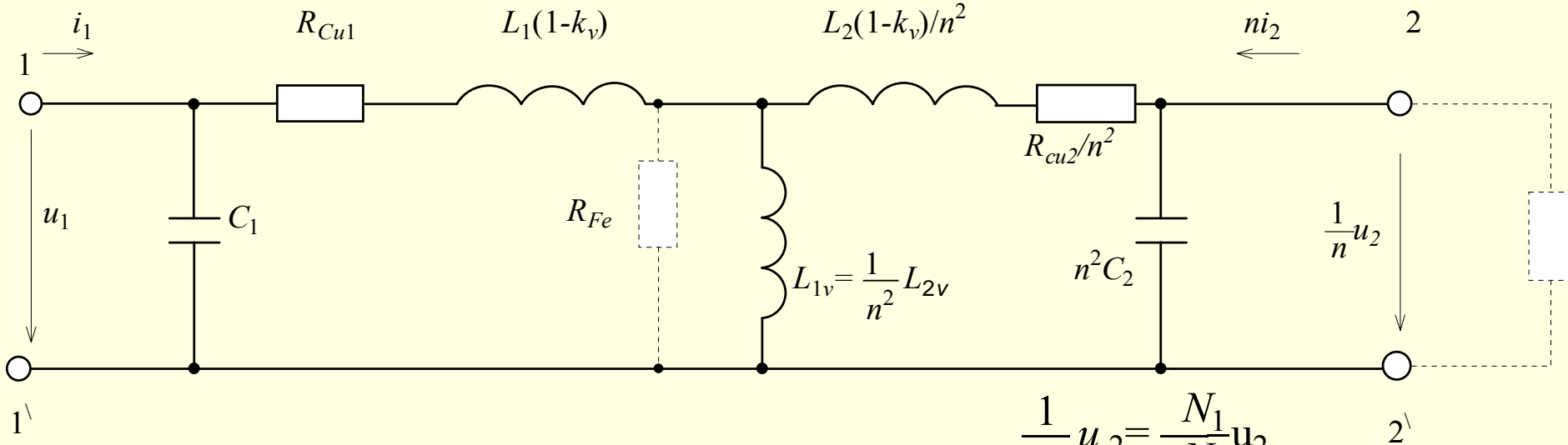


$$L_{1r} = L_1 - L_{1v} = L_1 - k_v L_1 = L_1 (1 - k_v) ; \quad L_{2r} = L_2 (1 - k_v)$$

$$M = \sqrt{L_{1v} L_{2v}} = \sqrt{k_v L_1 \cdot k_v L_2} = k_v \sqrt{L_1 L_2} \quad M\text{- činiteľ vzájomnej indukčnosti}$$

2.4.4 Transformátory

Náhradná schéma transformátora



L_1 -indukčnosť primárnej cievky

L_2 -indukčnosť sekundárnej cievky

R_{Cu1} -odpor vinutia primárnej cievky

R_{Cu2} -odpor vinutia sekundárnej cievky

C_1 -kapacita vinutia primárnej cievky

C_2 -kapacita vinutia sekundárnej cievky

R_{Fe} -straty v magnetickom obvode

$$\frac{1}{n} u_2 = \frac{N_1}{N_2} u_2$$

$$n i_2 = \frac{N_2}{N_1} i_2$$

$$\frac{1}{n^2} R_{Cu2} = \left(\frac{N_1}{N_2} \right)^2 R_{Cu2}$$

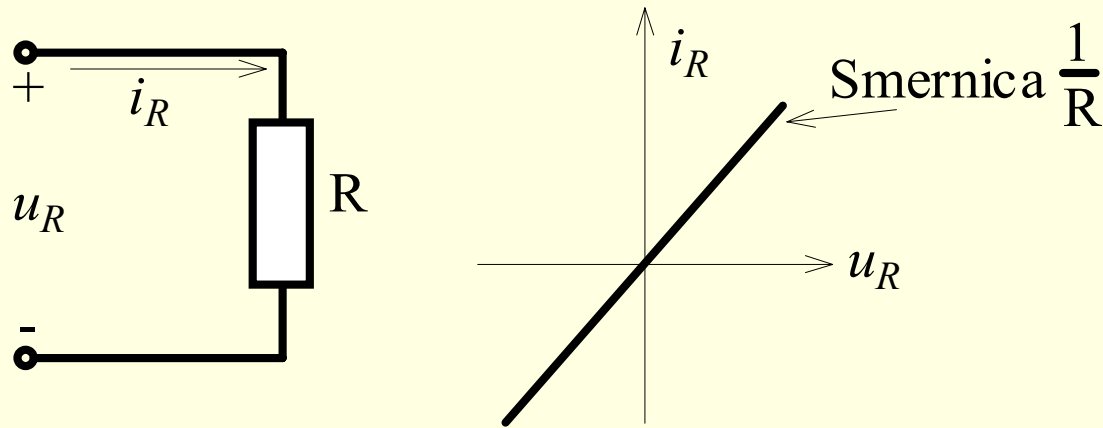
$$n^2 C_2 = \left(\frac{N_2}{N_1} \right)^2 C_2$$

4 Polovodičové diódy

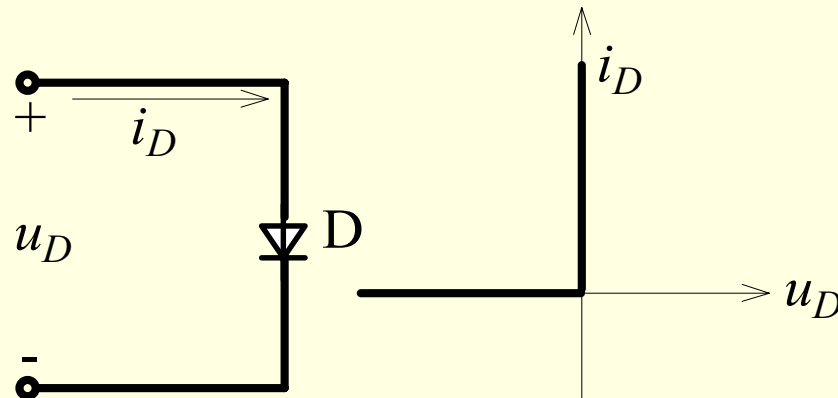
- **4.1 Konštrukcia diódy**
- **4.2 Činnosť diódy**
- **4.3 Náhradné obvody modely diódy**
- **4.4 Fyzika diód v pevnej fáze**
 - 4.4.1 *Rozloženie náboja*
 - 4.4.2 *Vzťah medzi diódovým prúdom a diódovým napätím*

4 Polovodičové diódy

- Ideálna dióda je nelineárna súčiastka s ampér-voltovou charakteristikou znázornenou na obr. b.
- Táto charakteristika je označovaná ako po častiach lineárna.



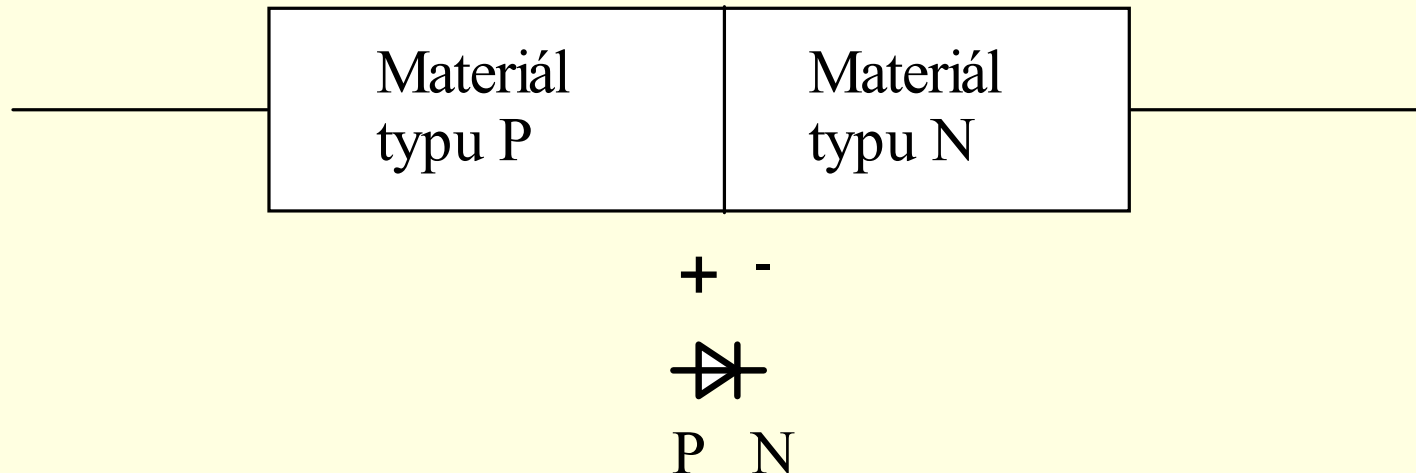
a)



b)

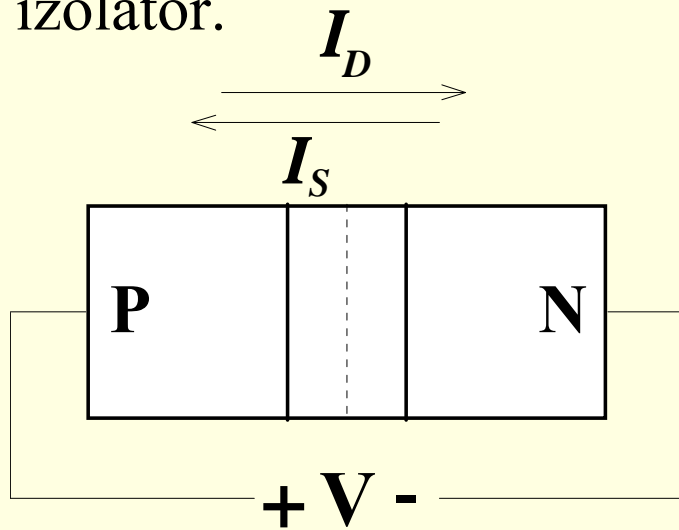
4.1 Konštrukcia diódy

- Na obr. je znázornený materiál typu P a materiál typu N, ktorých spojením vzniká **PN priechod**.
- Takýmto spôsobom je reprezentovaný zjednodušený model konštrukcie diódy.
- Tento model nezohľadňuje postupné zmeny koncentrácie nečistôt v materiále. Praktické diódy sú konštruované ako jeden celok polovodičového materiálu, kde jedna jeho strana je dotovaná materiálom typu P a druhá strana materiálom typu N.

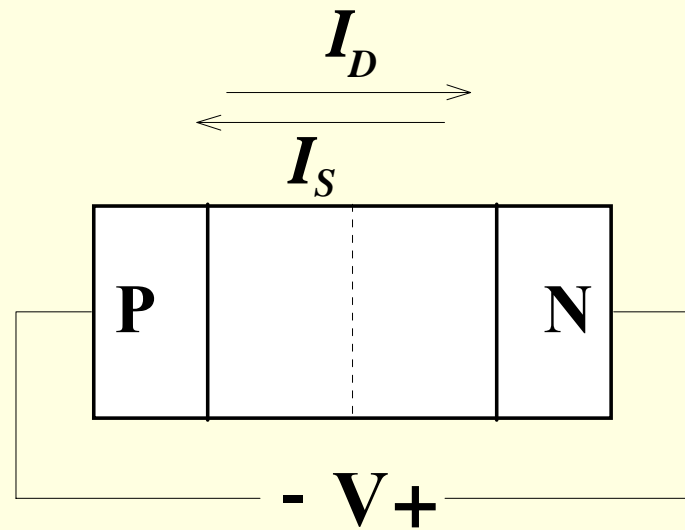


4.1 Konštrukcia diódy

- Ak kladný pól zdroja pripojíme na materiál typu P a záporný na materiál typu N obr. b, dióda je zapojená v *priamom smere*. Ochudobnená oblasť sa zúži v dôsledku priťahovania majoritných nosičov na opačnú stranu a diódou preteká prúd $I_D - I_S = I$.
- Ak pripojíme zdroj na diódu opačne, hovoríme o zapojení v *spätnom smere*. Ochudobnená oblasť sa rozšíri a dióda sa správa ako izolátor.



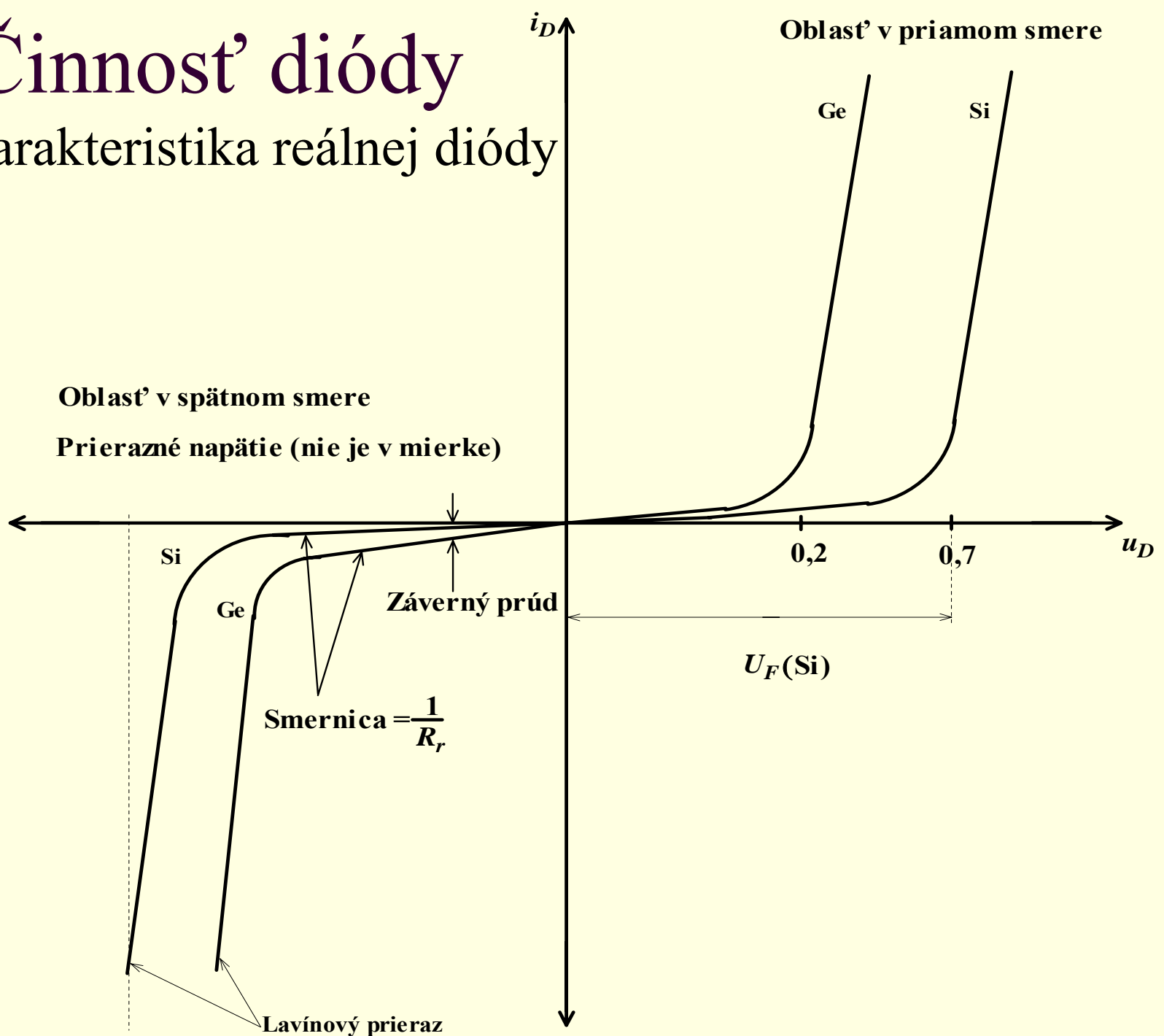
b)



c)

4.2 Činnosť diódy

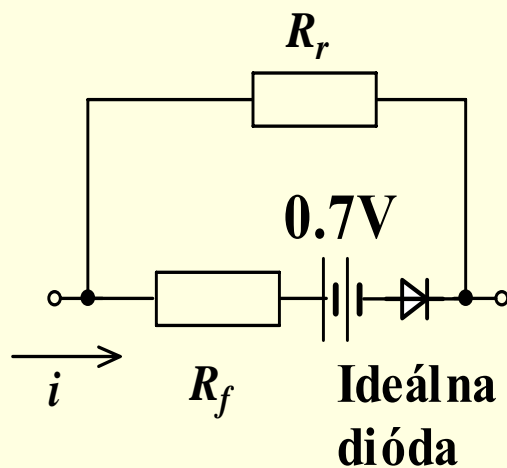
V-A charakteristika reálnej diódy



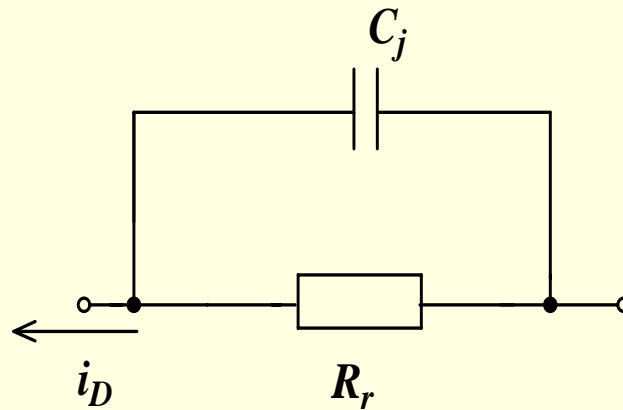
4.3 Náhradné obvodové modely diódy

R_r - reprezentuje odpor diódy v spätnom smere (niekoľko $M\Omega$)

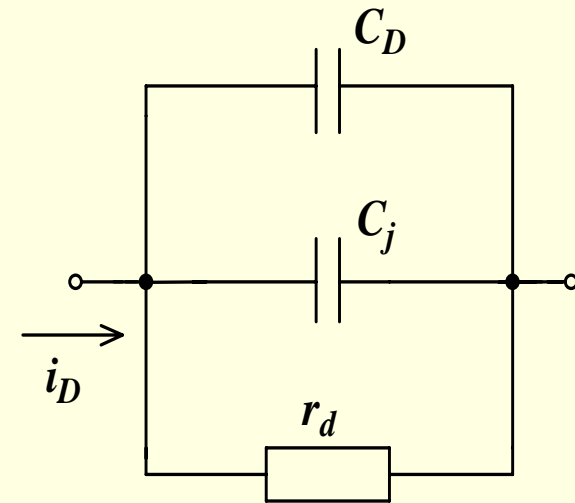
R_f - reprezentuje kontaktný a objemový odpor diódy (má obyčajne hodnotu $<50\Omega$)



a)



b)



c)

C_j - kondenzátor priechodu

C_D - difúzny kondenzátor

r_d - dynamický odpor

Modely diódy a) js model (v priamom i spätnom smere), b) jednoduchý st model pre diódu v spätnom smere, c) st model diódy v priamom smere.

4.4 Fyzika diód v pevnej fáze

4.4.2 Vzťah medzi diódovým prúdom a diódovým napätím

Medzi diódovým prúdom a pripojeným diódovým napätím existuje **exponenciálna závislosť**. Môžeme napísať jediný vzťah pre prúd v priamom i spätnom smere. Výraz môžeme použiť, pokiaľ napätie v spätnom smere neprekročí napätie prierazu.

Vzťah je vyjadrený rovnicou:

$$i_D = I_0 \left(\exp\left(\frac{q \cdot u_D}{n \cdot k \cdot T}\right) - 1 \right)$$

i_D - je diódový prúd,

u_D - je diódové napätie,

I_0 - vyjadruje záverný prúd (zvodový prúd),

q - je náboj elektrónu ($1,6 \cdot 10^{-19}$ C),

k - reprezentuje Boltzmannovu konštantu ($1,38 \cdot 10^{-23}$ J/°K),

T - je absolútna teplota v stupňoch Kelvina a

n - je empirická konštantka (1 až 2), niekedy tiež označovaná ako exponenciálny ideálny činiteľ.

4.4 Fyzika diód v pevnej fáze

4.4.2 Vzťah medzi diódovým prúdom a diódovým napätím

Ak definujeme

$$U_T = \frac{kT}{q}$$

potom rovnica pre diódový prúd bude mať tvar:

$$i_D = I_0 \left(\exp\left(\frac{u_D}{n \cdot U_T}\right) - 1 \right) \quad (4.2)$$

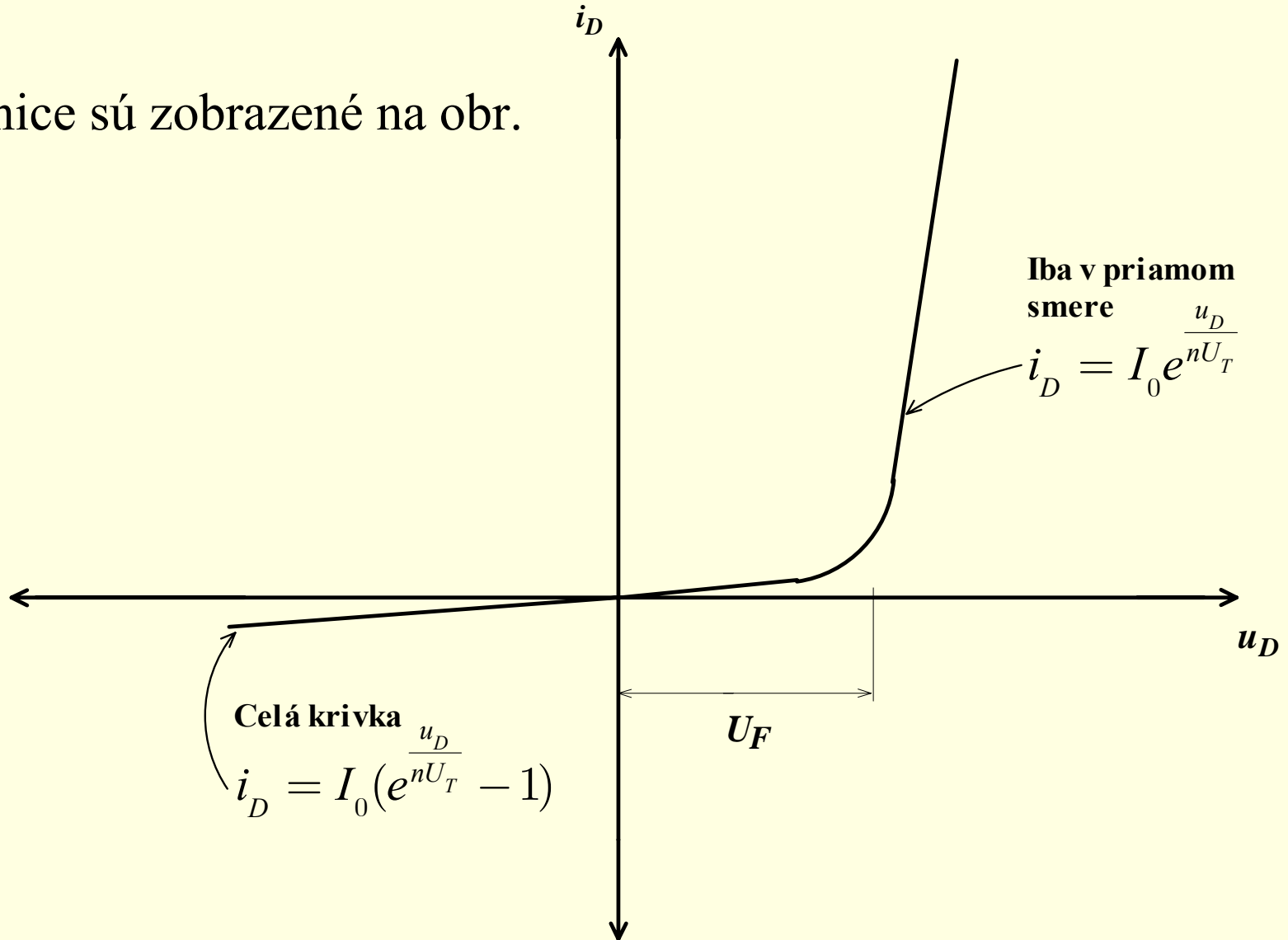
Ak pracujeme pri izbovej teplote (25°C) a len v priamom smere ($u_D > 0$), potom prvý člen v zátvorke prevažuje a prúd je približne

$$i_D = I_0 \exp\left(\frac{u_D}{n \cdot U_T}\right)$$

4.4 Fyzika diód v pevnej fáze

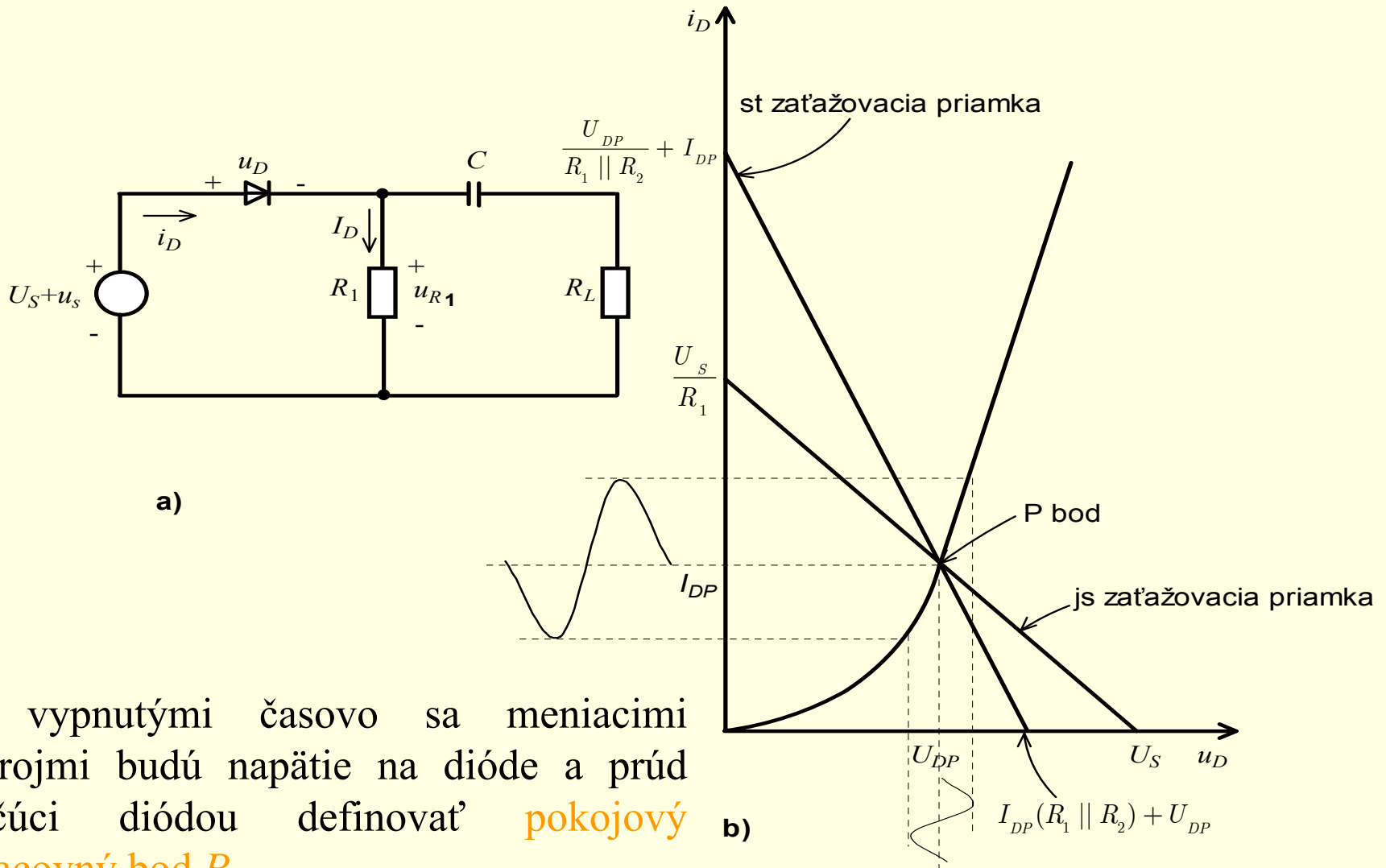
4.4.2 Vzťah medzi diódovým prúdom a diódovým napätím

Tieto rovnice sú zobrazené na obr.



4.4 Fyzika diód v pevnej fáze

4.4.4 Zaťažovacie priamky diódy



S vypnutými časovo sa meniacimi zdrojmi budú napätie na dióde a prúd tečúci diódou definovať **pokojoý pracovný bod P**.

4.4 Fyzika diód v pevnej fáze

4.4.4 Zaťažovacie priamky diódy

Najskôr vyšetříme jednosmerné podmienky.

$$U_S = U_D + U_{R1} = U_D + I_D R_1$$

$$U_D = -R_1 I_D + U_S \quad \text{- jednosmerná zaťažovacia priamka}$$

Ak pripojíme na vstup k jednosmernému signálu časovo sa meniaci signál, zmení sa jedna z dvoch uvažovaných rovníc.

$$u_s = u_d + i_d (R_1 \parallel R_L)$$

$$u_d = -(R_1 \parallel R_L) i_d + u_s$$

$$u_D = u_d + U_{DP}$$

$$i_D = i_d + I_{DP}$$

$$u_D - U_{DP} = -(R_1 \parallel R_L)(i_D - I_{DP}) + u_s \quad \text{- striedavá zaťažovacia priamka}$$

5 Bipolárny tranzistor

- **5.1 Závislé napät'ové a prúdové zdroje**
- **5.2 Bipolárne tranzistory**
- **5.3 Činnosť tranzistora**
- **5.4 Tranzistorové obvody**
 - 5.4.1 *Všeobecné obvodové zapojenia*
 - 5.4.2 *Charakteristiky tranzistora*
- **5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)**
 - 5.5.1 *Zosilňovač SE s emitorovým rezistorom*
 - 5.5.2 *Úvod do analýzy a návrhu*
- **5.6 Úvahy o výkone**
 - 5.6.1 *Odvodenie výkonových rovníc*

5 Bipolárny tranzistor

- **5.7 Blokovacie a väzobné kondenzátory**
 - 5.7.1 *Blokovacie kondenzátory*
 - 5.7.2 *Väzobné kondenzátory*

- **5.8 Striedavá zaťažovacia priamka v zapojení SE**
 - 5.8.1 *Striedavá zaťažovacia priamka cez ľubovoľný pracovný bod*
 - 5.8.2 *Voľba striedavej zaťažovacej priamky pre maximálny výstupný rozkmit*

- **5.9 Striedavá analýza a návrh**
 - 5.9.1 *Postup pri analýze*
 - 5.9.2 *Postup pri návrhu*

- **5.10 Tranzistorový zosilňovač v zapojení SK (emitorový sledovač)**
 - 5.10.1 *Striedavá analýza a návrh zosilňovača v zapojení SK*

5 Bipolárny tranzistor

- **5.11 Tranzistor ako spínací prvok**
 - 5.11.1 *Charakteristiky tranzistora*

 - 5.11.2 *Statické charakteristiky tranzistora*
 - 5.11.2.1 *Zapojenie so spoločnou bázou*
 - 5.11.2.2 *Zapojenie so spoločným emitorom*
 - 5.11.2.3 *Zapojenie so spoločným kolektorom – emitorový sledovač*

 - 5.11.3 *Nevodivý stav tranzistora*

 - 5.11.4 *Vodivý stav tranzistora*

 - 5.11.5 *Dynamické charakteristiky tranzistora*

 - 5.11.6 *Spínanie indukčnej záťaže*

 - 5.11.7 *Spínanie kapacitnej záťaže*

5 Bipolárny tranzistor

V roku 1948 **John Bardeen**, **Walter H. Brattain** a **William Shockley** z Bellovho telefónneho laboratória skonštruovali a otestovali prvý tranzistor.

Tento „nedokonalý“ prvok s malým ziskom sa dal použiť iba pre laboratórne účely, no v šesťdesiatych rokoch sa výrobné procesy a metódy zdokonalili tak, že s jeho spoľahlivou výrobou nie sú žiadne problémy.

Výkonová zaťažiteľnosť a maximálna pracovná frekvencia sa neustále zlepšovali a tranzistor dnes môže temer úplne nahradiť vákuové elektrónky s výnimkou určitých vysoko výkonových a vf aplikácii.

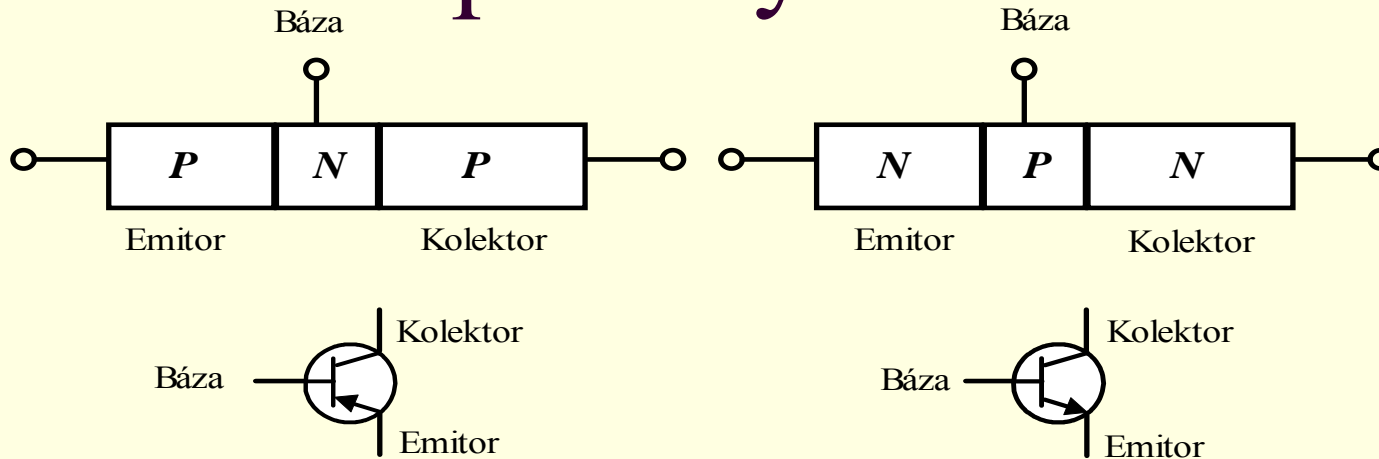
5 Bipolárny tranzistor

Tranzistor je trojpólový prvok (na rozdiel od diódy, ktorá reprezentuje dvojpól). Dióda pozostáva z materiálov typu P a N. Tranzistor sa skladá z dvoch materiálov typu N oddelených materiálom typu P (NPN tranzistor), alebo z dvoch vrstiev materiálu typu P oddelených materiálom typu N (PNP tranzistor)- nasledujúci [Obr. a](#).

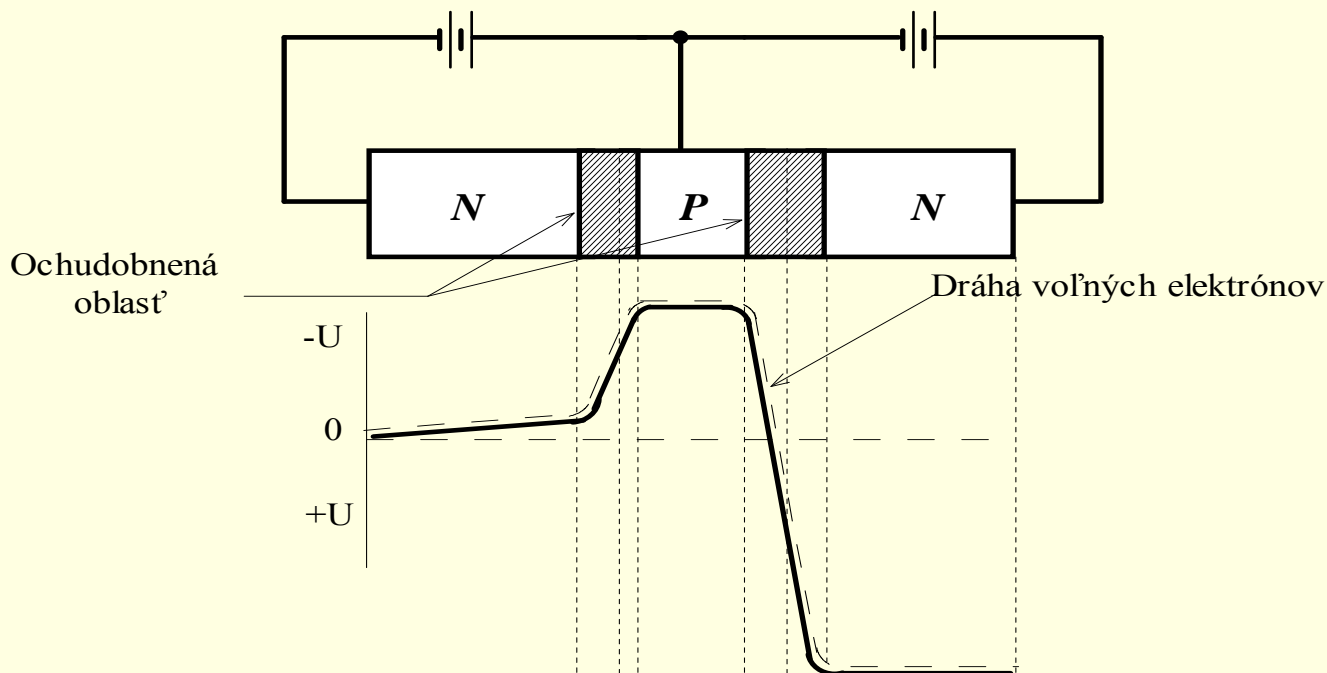
Spomenuté vrstvy alebo časti tranzistora sa označujú ako emitor, báza a kolektor. *Emitor* je bohato dotovaná časť so stredne veľkou vrstvou a je určená na emitovanie elektrónov. *Báza* je stredne dotovaná úzka vrstva, určená na prechod elektrónov. *Kolektor* je slabo dotovaná veľká vrstva určená na zachytávanie elektrónov.

Tranzistor si teda môžeme predstaviť (ideálny pohľad) ako zapojenie dvoch diód PN proti sebe.

5 Bipolární tranzistor



a) Schematické značky



b) Pásmový model tranzistora

5 Bipolárny tranzistor

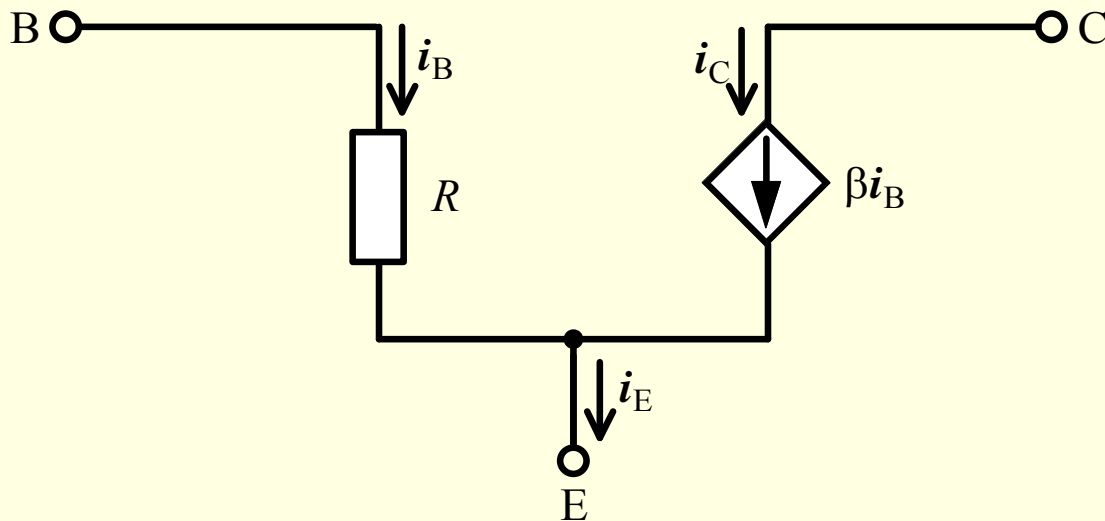
5.3 Činnosť tranzistora

Prechod prúdu jednotlivými oblasťami tranzistora môžeme pochopiť skúmaním správania nosičov náboja a vyprázdnených oblastí. Vyprázdnené oblasti sú vyznačené na predchádzajúcom [Obr. b](#)). Z obrázku vidno, že vyprázdnená vrstva priechodu emitor-báza je pomerne úzka vzhľadom na to, že tento priechod je v priamom smere a naopak to platí pre vyprázdnenú oblasť priechodu báza-kolektor. Veľký počet väčšinových nosičov (elektrónov) bude difundovať cez priechod báza-emitor, lebo je v priamom smere. Tieto elektróny potom vstupujú do oblasti bázy a majú dve možnosti. Buď opustia túto oblasť cez vývod k napäťovému zdroju alebo potečú ku kolektorovej oblasti cez širokú vyprázdnenú oblasť priechodu báza-kolektor, ktorý je v spätnom smere. Normálne sa očakáva, že hlavná časť tohoto prúdu potečie do zdroja. Neplatí to však v prípade, keď je oblasť bázy natoľko tenká, že tieto elektróny prejdú menšiu vzdialenosť ku priťahovanému kladnému potenciálu kolektorového kontaktu ako ku bázovému kontaktu. Okrem toho má materiál bázy nízku vodivosť, takže cesta k zdrojovému vodiču predstavuje vysoko impedančnú cestu. V skutočnosti len veľmi malá časť elektrónov opúšťa bázu cez zdrojový kontakt a väčšia časť prúdu tečie do kolektora.

5 Bipolárny tranzistor

5.3 Činnosť tranzistora

Bipolárny tranzistor vykazuje prúdový zisk, ktorý môžeme využiť na zosilňovanie signálov. Zjednodušený náhradný obvod NPN tranzistora je na Obr. Uvedený zjednodušený model obyčajne postačuje pre návrh a analýzu väčšiny obvodov.



i_B - bázový prúd,

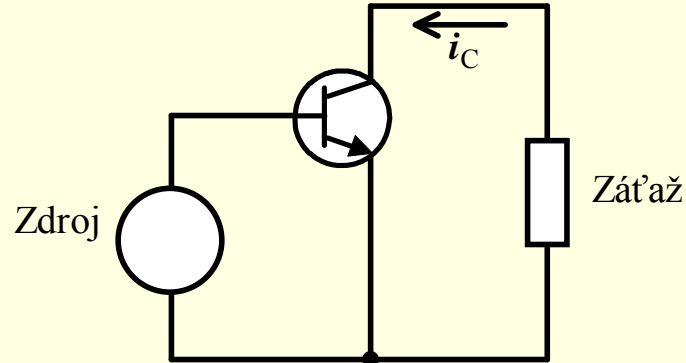
i_C - kolektorový prúd,

i_E - emitorový prúd

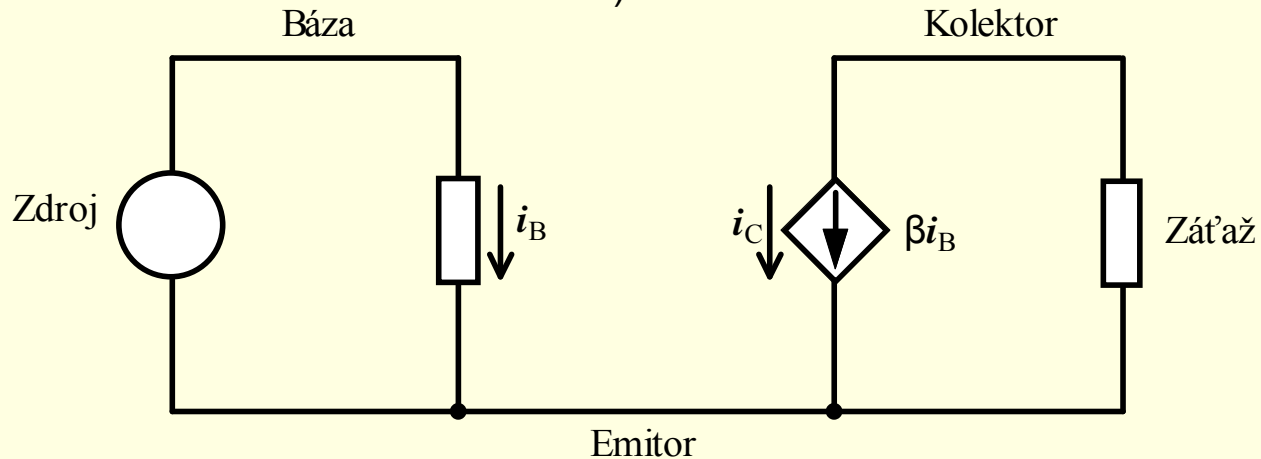
R - odpor medzi bázou a emitorom

5 Bipolárny tranzistor

5.3 Činnosť tranzistora



a)

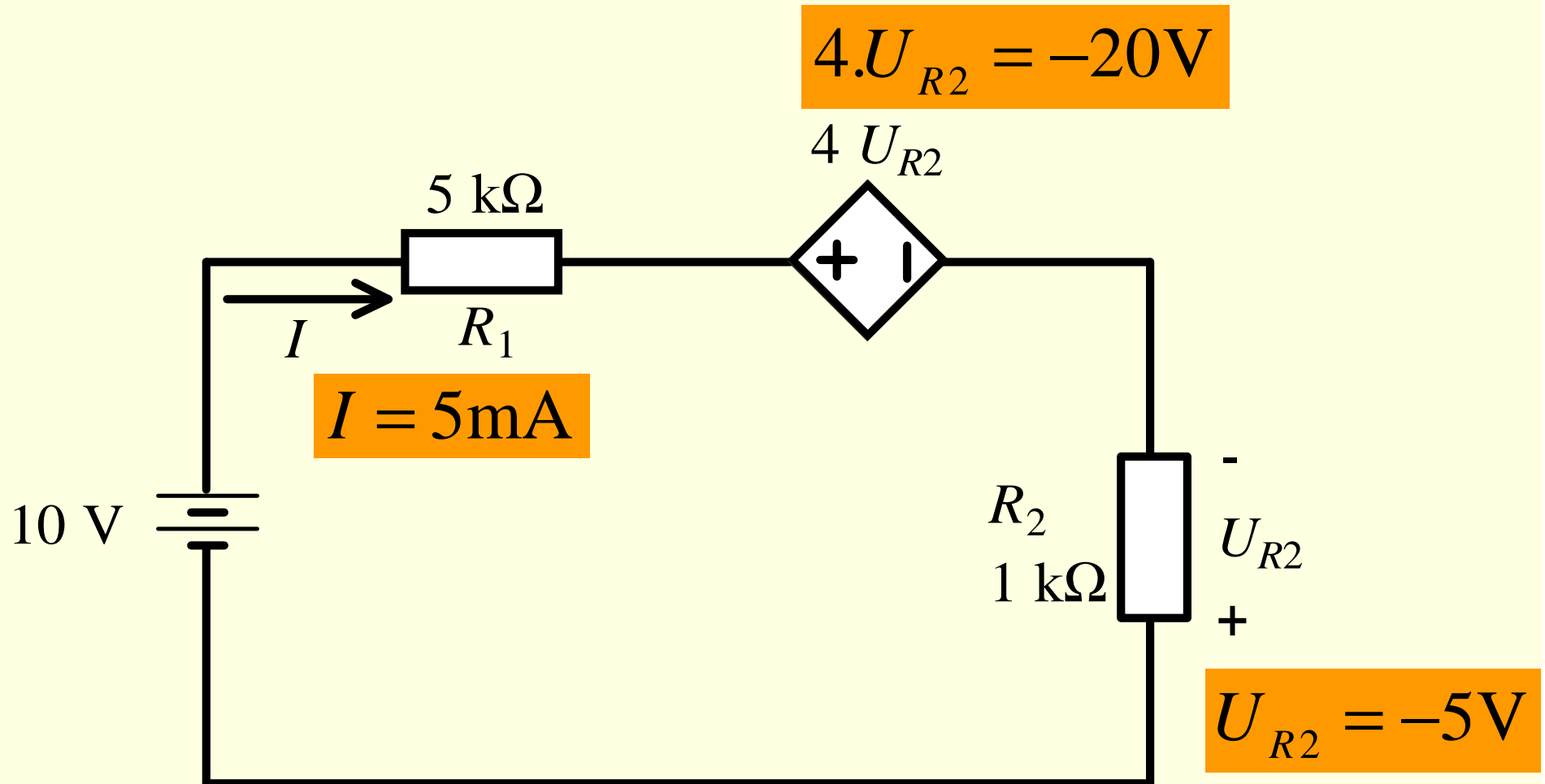


b)

Jednoduchý obvod s tranzistorom vykazujúci prúdový zisk. Kolektorový prúdový zdroj je teda závislý od bázevého prúdu i_B . Keď i_B vzrastá, úmerne rastie aj kolektorový prúd i_C . Konštanta úmernosti sa označuje ako β .

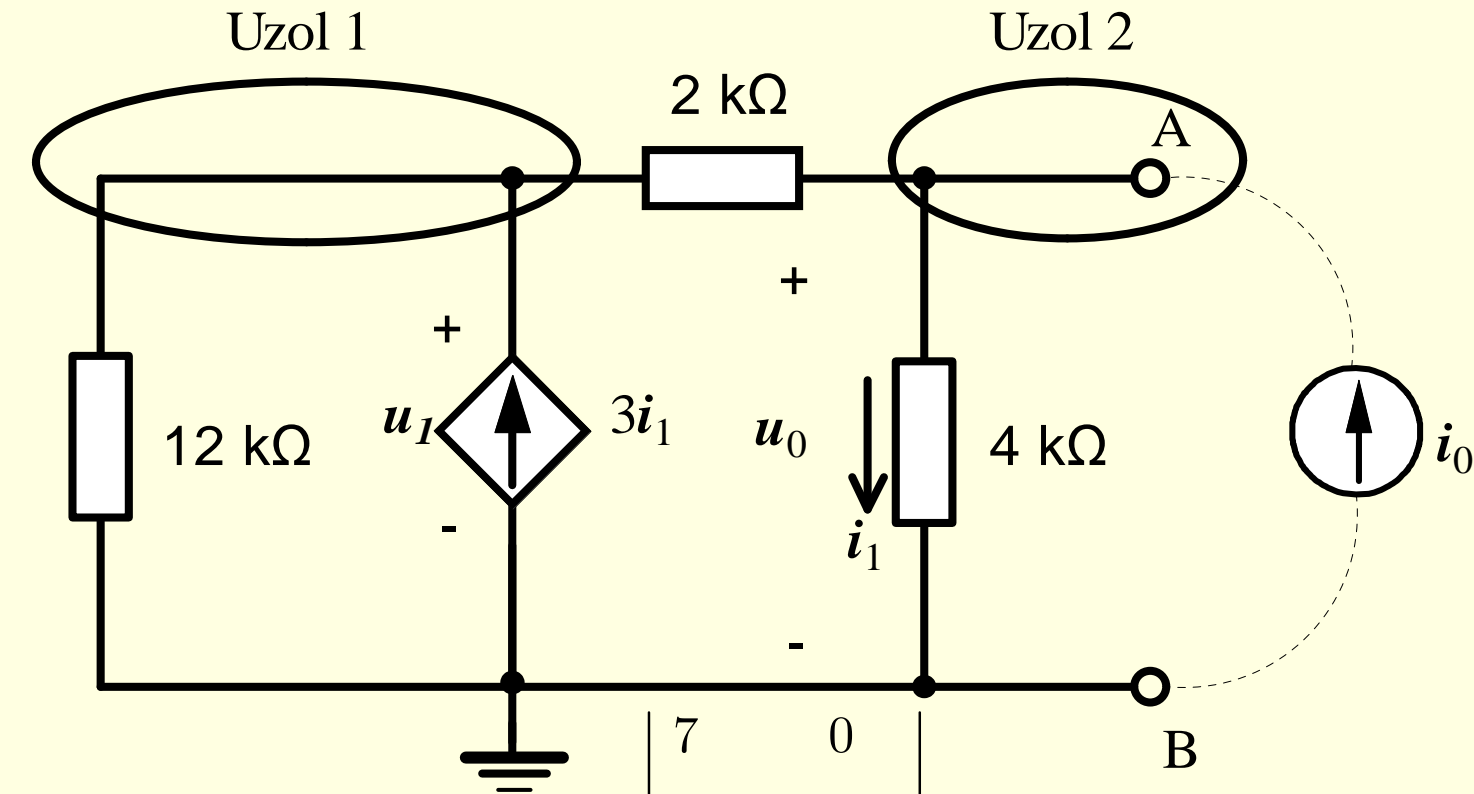
5 Bipolárny tranzistor

5.1 Závislé napätové a prúdové zdroje



5 Bipolárny tranzistor

5.1 Závislé napäťové a prúdové zdroje



$$7u_1 - 15u_0 = 0$$

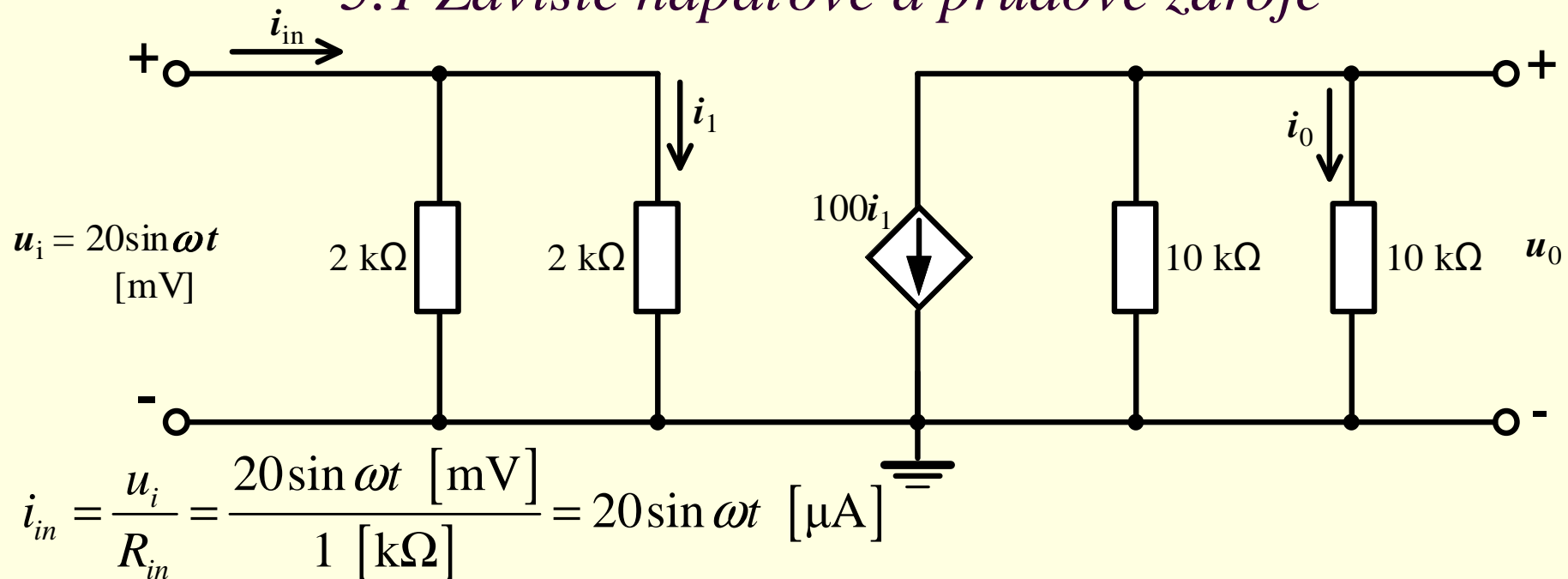
$$-2u_1 + 3u_0 = 4000i_0$$

$$u_0 = \frac{\begin{vmatrix} 7 & 0 \\ -2 & 4000i_0 \end{vmatrix}}{\begin{vmatrix} 7 & -15 \\ -2 & 3 \end{vmatrix}} = \frac{(28000)i_0}{21 - 30} = (-3110)i_0 \quad [\text{V}]$$

$$R_N = \frac{u_0}{i_0} = -3,11 \text{ k}\Omega$$

5 Bipolárny tranzistor

5.1 Závislé napätové a prúdové zdroje



$$i_1 = \frac{2000(20 \sin \omega t \text{ [\mu A]})}{2000 + 2000} = 10 \sin \omega t \text{ [\mu A]}$$

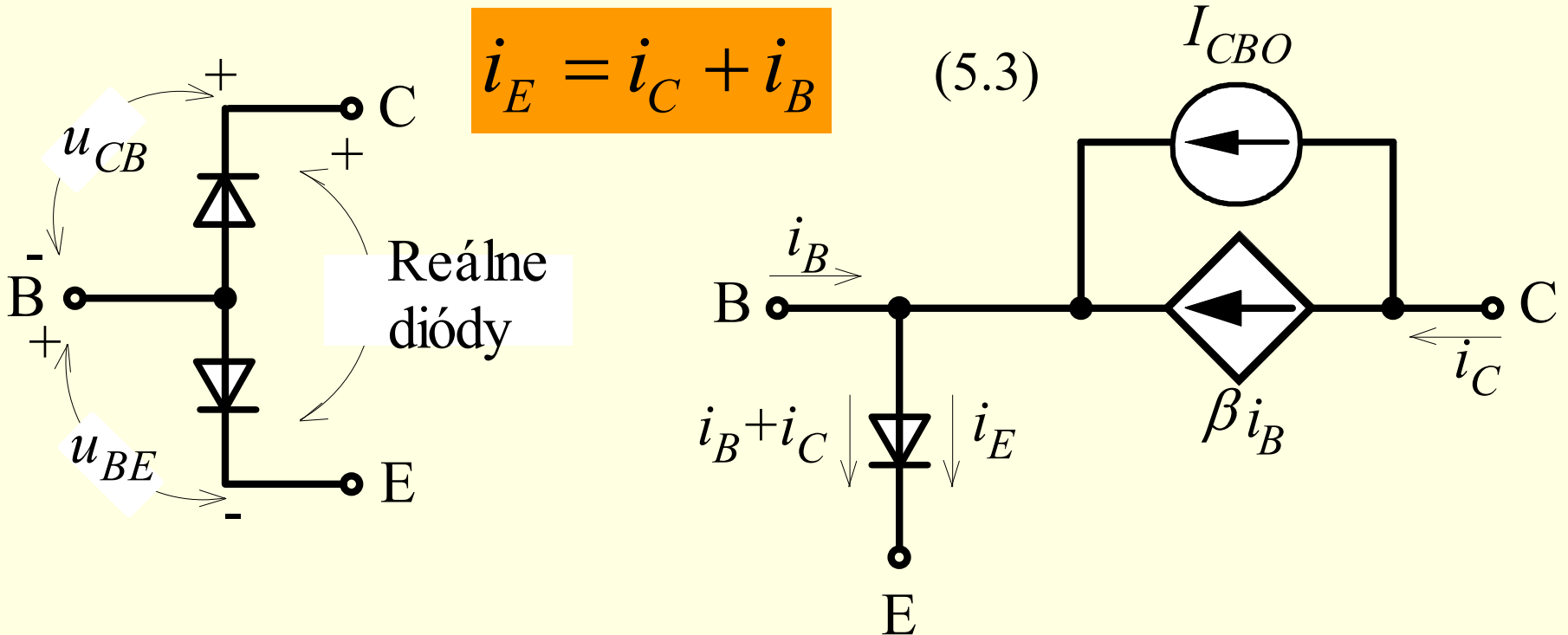
$$u_o = -100i_1(10 \text{ [k}\Omega] \parallel 10 \text{ [k}\Omega]) = -500\,000(10 \cdot 10^{-6} \sin \omega t) = -5 \sin \omega t \text{ [V]}$$

$$\frac{u_o}{u_i} = \frac{-5 \sin \omega t \text{ [V]}}{0.02 \sin \omega t \text{ [V]}} = -250$$
$$\frac{i_o}{i_{in}} = \frac{-50(10 \text{ [\mu A]})}{20 \text{ [\mu A]}} = -25$$

5 Bipolárny tranzistor

5.3 Činnosť tranzistora

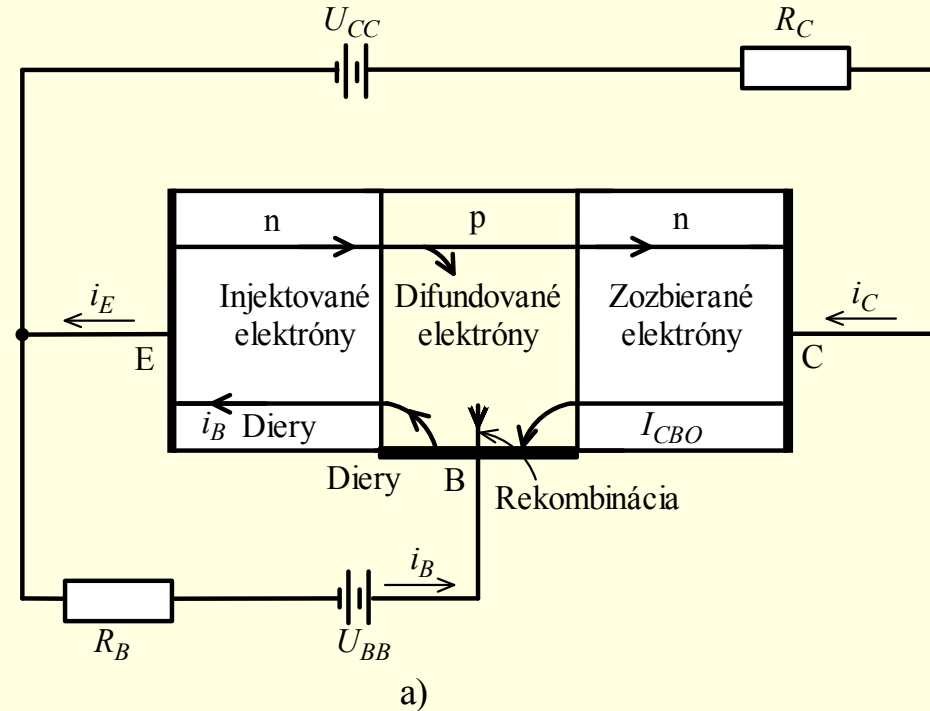
Na Obr. je zdokonalená verzia modelu, známa ako *Ebersov-Mollov model*. Priebeh báza-emitor sa chová ako dióda v priamom smere, ktorou tečie prúd $i_B + i_C$. Priebeh báza-kolektor je v spätnom smere a vykazuje malý zvyškový prúd I_{CBO} a väčší prúd βi_B . Prúd βi_B je vyvolaný prúdom v báze. Potom:



5 Bipolárny tranzistor

5.3 Činnosť tranzistora

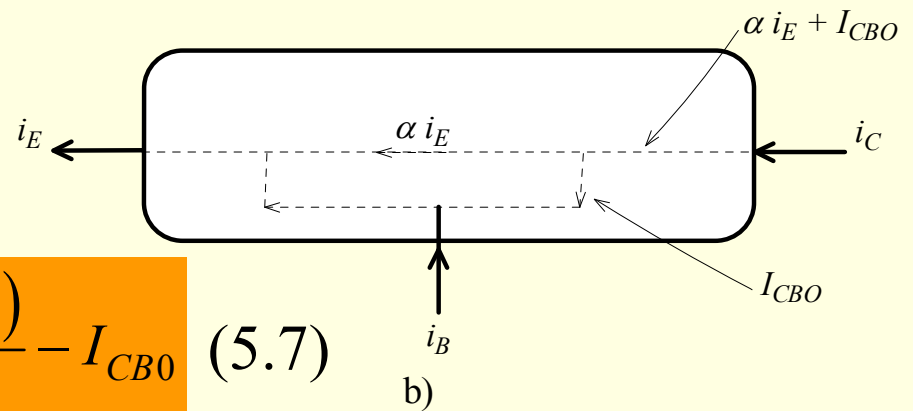
Prúdový zosilňovací činiteľ α v zapojení so spoločnou bázou (SB) je definovaný ako pomer zmeny kolektorového prúdu k zmene emitorového prúdu za predpokladu, že napätie medzi kolektorom a bázou je konštantné. Teda:



$$\alpha = \left. \frac{\Delta i_C}{\Delta i_E} \right|_{u_{CB} = \text{konšt.}}$$

$$i_C = \alpha i_E + I_{CB0} \quad (5.4)$$

$$i_B = \frac{(i_C - I_{CB0})(1 - \alpha)}{\alpha} - I_{CB0} \doteq \frac{i_C(1 - \alpha)}{\alpha} - I_{CB0} \quad (5.7)$$



5 Bipolárny tranzistor

5.3 Činnosť tranzistora

Prúdový zosilňovací činiteľ β v zapojení so spoločným emitorom (SE) je definovaný ako pomer zmeny kolektorového prúdu k zmene bázo­vého prúdu. Teda:

$$\beta = \frac{\Delta i_C}{\Delta i_B}$$

Ak diferencujeme rovnicu (5.7) a preusporiadame jej členy, dostávame

$$\beta = \frac{\alpha}{1 - \alpha}$$

Prúdový zosilňovací činiteľ β nadobúda hodnoty od 10 do 600. Ak vykonáme v rovnici (5.7) substitúciu, dostávame

$$i_B = \frac{i_C}{\beta} - I_{CB0}$$

Obyčajne však I_{CB0} môžeme zanedbať vzhľadom na jeho malú hodnotu. Potom

$$i_C \approx \beta i_B \quad (5.8)$$

5 Bipolárny tranzistor

5.3 Činnosť tranzistora

Činiteľ β označujeme tiež ako *zosilňovací činiteľ veľkých signálov* alebo *zosilňovací činiteľ*. V praxi nie je hodnota β konštantná, ale mení sa v závislosti od prúdu bázy. Teda pri návrhu obvodov s tranzistormi vznikajú problémy s tým, že β nie je konštantná, t.j. β sa mení pri zmene prúdov tranzistora.

Naviac zmena hodnoty β sa vyskytuje aj v rámci jedného výrobného cyklu tranzistora. To znamená, že dva tranzistory vyrobené v tom istom čase budú mať rozdielne hodnoty β pri tých istých prúdových hodnotách. To viedlo k odvodeniu takej procedúry návrhu obvodov s tranzistormi, ktorá zabezpečuje, aby hodnota kolektorového prúdu bola pomerne nezávislá od β .

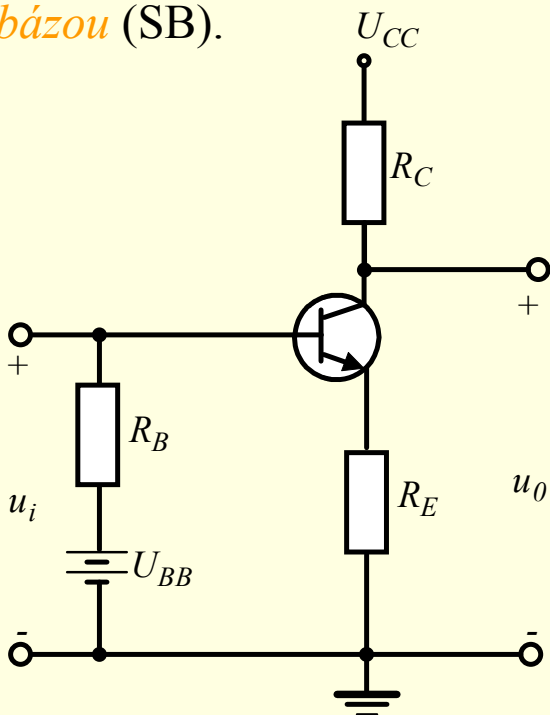
Ďalšie zjednodušenie, ktoré sa robí pri návrhu obvodov s tranzistormi je, že kolektorový prúd je približne rovný emitorovému prúdu, pretože I_{CB0} je malý v porovnaní s i_C a α sa pohybuje v intervale 0,9 až 0,9999 a teda z rovnice (5.4) dostávame:

$$i_C \approx i_E \quad (5.9)$$

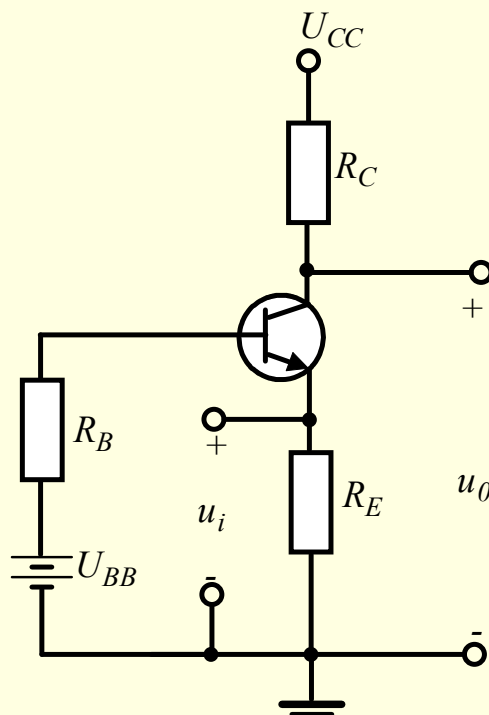
5 Bipolárny tranzistor

5.4 Tranzistorové obvody - 5.4.1 Všeobecné obvodové zapojenia

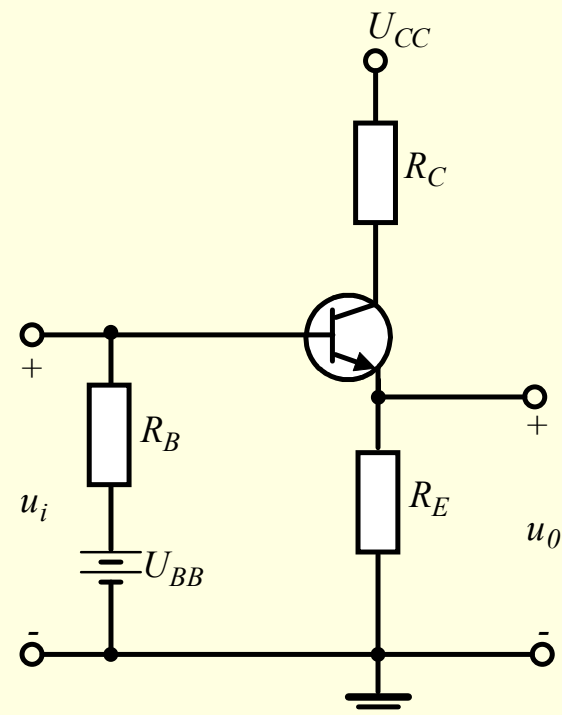
V obvodoch s tranzistormi sa využívajú tri všeobecné zapojenia. Najčastejšie sa používa *zosilňovač so spoločným emitorom* (SE), ktorý sa tak nazýva preto, lebo emitor je spoločný pre vstupnú aj výstupnú slučku. Ďalším najviac používaným obvodom je *zapojenie so spoločným kolektorom* (SK), známe tiež ako *emitorový sledovač*. Tretie zapojenie je obvod so *spoločnou bázou* (SB).



a)



b)



c)

Príklady zapojenia tranzistora NPN

a) so spoločným emitorom, b) so spoločnou bázou, c) so spoločným kolektorom

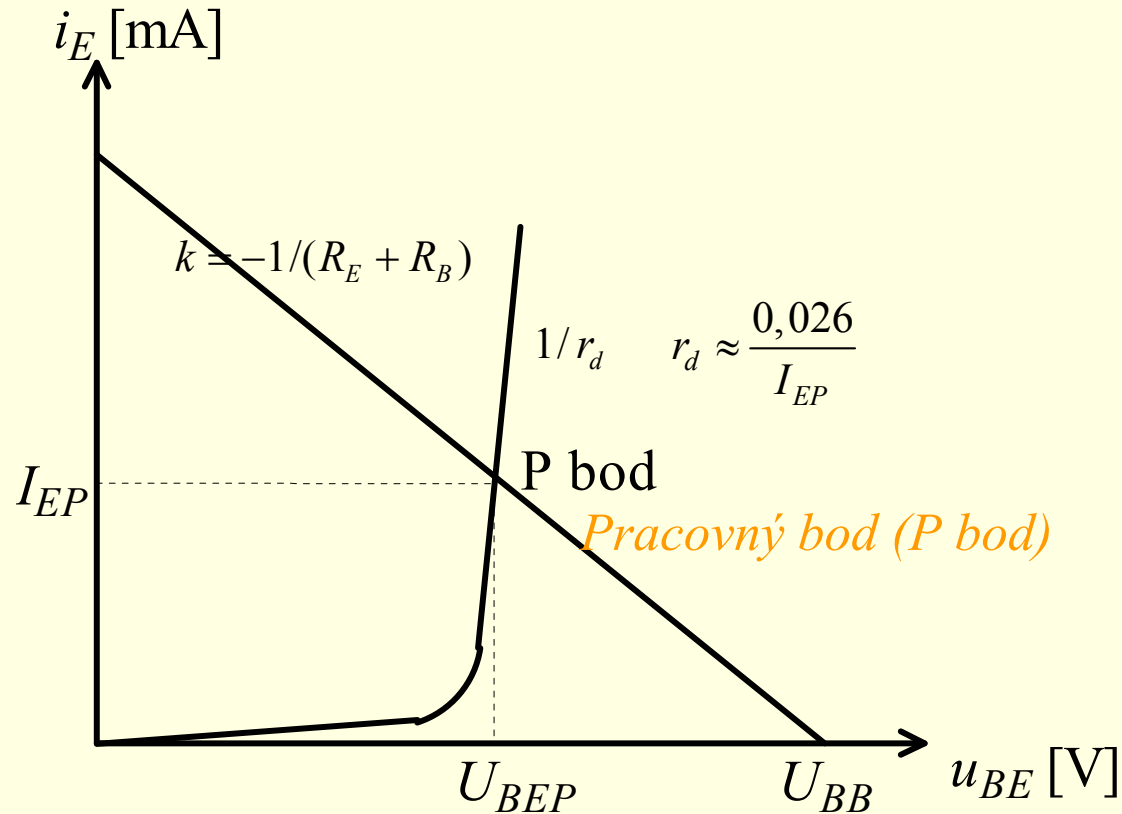
5 Bipolárny tranzistor

5.4 Tranzistorové obvody - 5.4.2 Charakteristiky tranzistora

Pretože tranzistor je nelineárny prvok, jeden zo spôsobov, ako môžeme definovať jeho činnosť je použitie charakteristík tranzistora rovnako, ako to bolo v prípade diód v predchádzajúcej kapitole. Rovnice však v tomto prípade budú obsahovať najmenej tri premenné. Obyčajne sa na opis správania tranzistora používajú *parametrické krivky*.

Priamym predĺžením charakt. krivky by sme dostali priesečník s osou u_{BE} pri

- 0,7V pre kremíkové tranzistory,
- 0,2V pre germániové tranzistory a
- 1,2 V pre gálium arzenidové tranzistory.



$$i_B = \left(\frac{I_0}{\beta} \right) \exp\left(\frac{u_{BE}}{nU_T} \right)$$

a) vstupné charakteristiky tranzistora

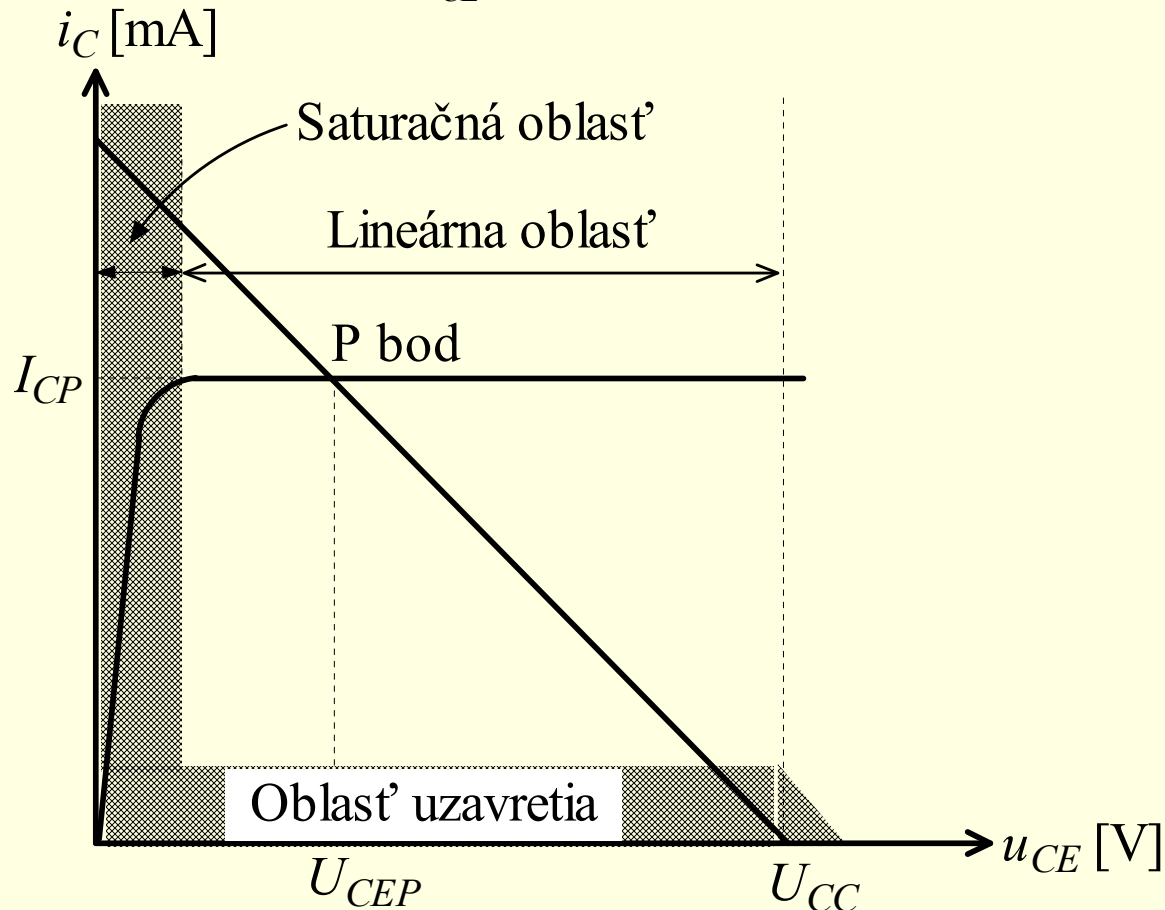
5 Bipolárny tranzistor

5.4 Tranzistorové obvody - 5.4.2 Charakteristiky tranzistora

Ak prúd i_B bude konštantný, potom priechod kolektor-emitor bude charakterizovaný krivkou $i_C(u_{CE})$ zobrazenej na Obr. b. Ako vidieť z tejto charakteristiky, kolektorový prúd takmer nezávisí od napätia medzi kolektorom a emitorom u_{CE} v „*lineárnej oblasti*“ činnosti tranzistora.

Keď sa i_B blíži k nule, i_C sa približuje k nule nelineárnym spôsobom. Tento režim tranzistora sa označuje ako činnosť v *oblasti uzavretia*.

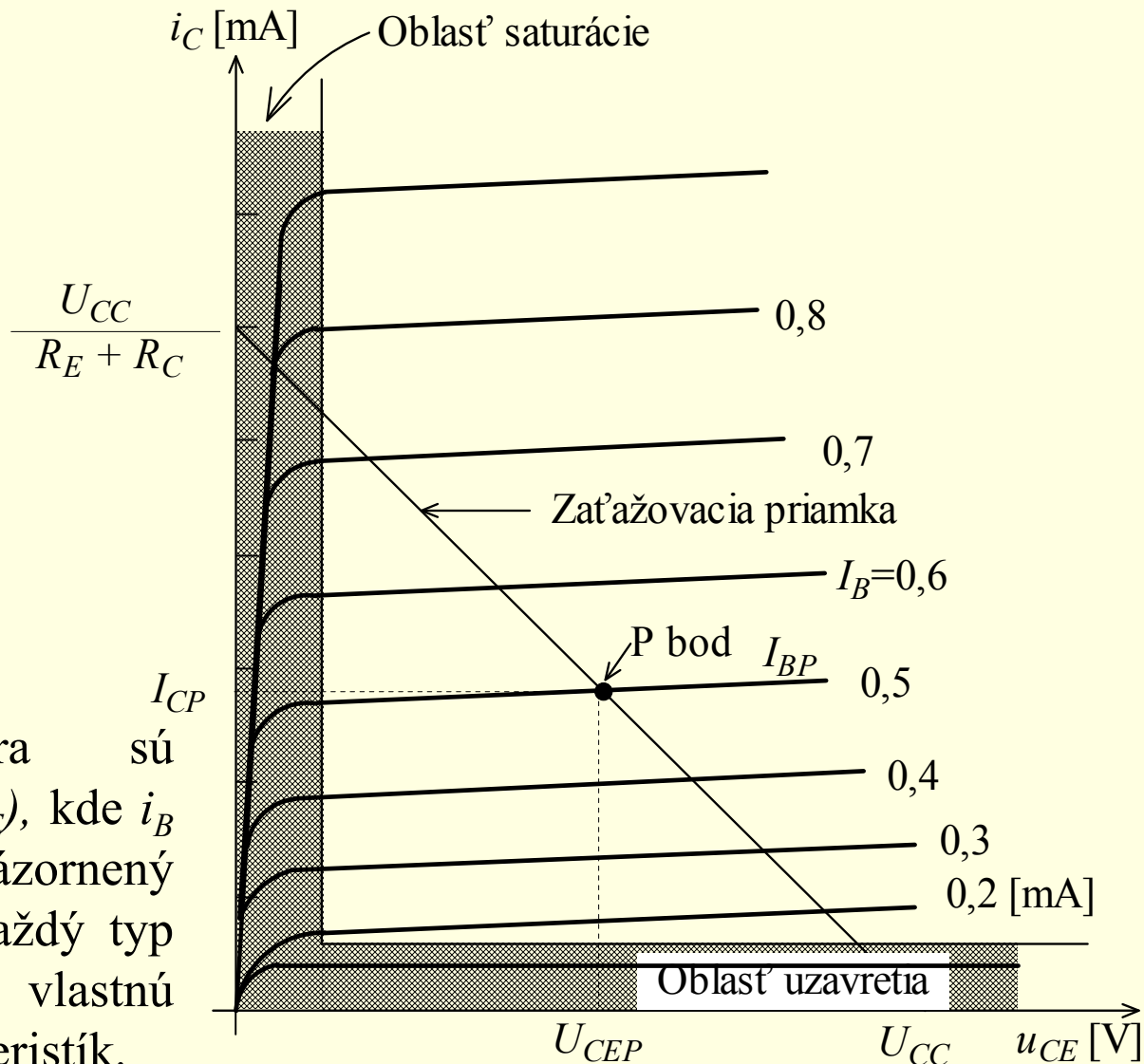
V oblasti charakteristiky, kde u_{CE} je skoro nulové, dosahuje i_C svoje maximum. Táto oblasť je známa ako *saturačná oblasť* a z dôvodu nelineárneho priebehu je nevhodná na zosilňovanie.



b) výstupné charakteristiky tranzistora

5 Bipolárny tranzistor

5.4 Tranzistorové obvody - 5.4.2 Charakteristiky tranzistora



Charakteristiky tranzistora sú parametrické krivky $i_C = f(u_{CE})$, kde i_B je parameter. Na Obr. je znázornený príklad takýchto kriviek. Každý typ tranzistora má svoju vlastnú jednoznačnú sústavu charakteristík.

5 Bipolárny tranzistor

5.4 Tranzistorové obvody - 5.4.2 Charakteristiky tranzistora

Použitím II. KZ pre slučku kolektor-emitor dostaneme

$$U_{CC} = i_C R_C + u_{CE} + i_E R_E \quad (5.10)$$

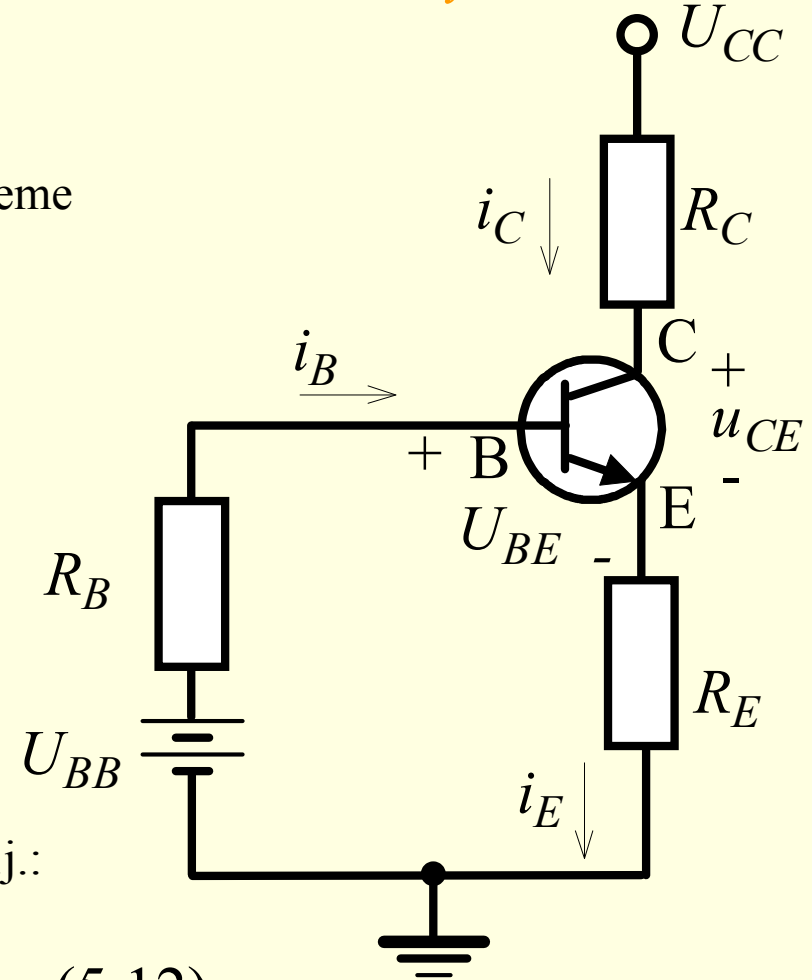
rovnica sa dá zjednodušiť

$$U_{CC} = i_C (R_C + R_E) + u_{CE} \quad (5.11)$$

Rovnica (5.11) definuje závislosť medzi i_C a u_{CE} , t.j.:

$$i_C = \frac{U_{CC} - u_{CE}}{R_C + R_E} = -\frac{u_{CE}}{R_C + R_E} + \frac{U_{CC}}{R_C + R_E} \quad (5.12)$$

$$i_C = 0 \quad \Rightarrow \quad u_{CE} = U_{CC}, \quad u_{CE} = 0 \quad \Rightarrow \quad i_C = U_{CC} / (R_C + R_E)$$

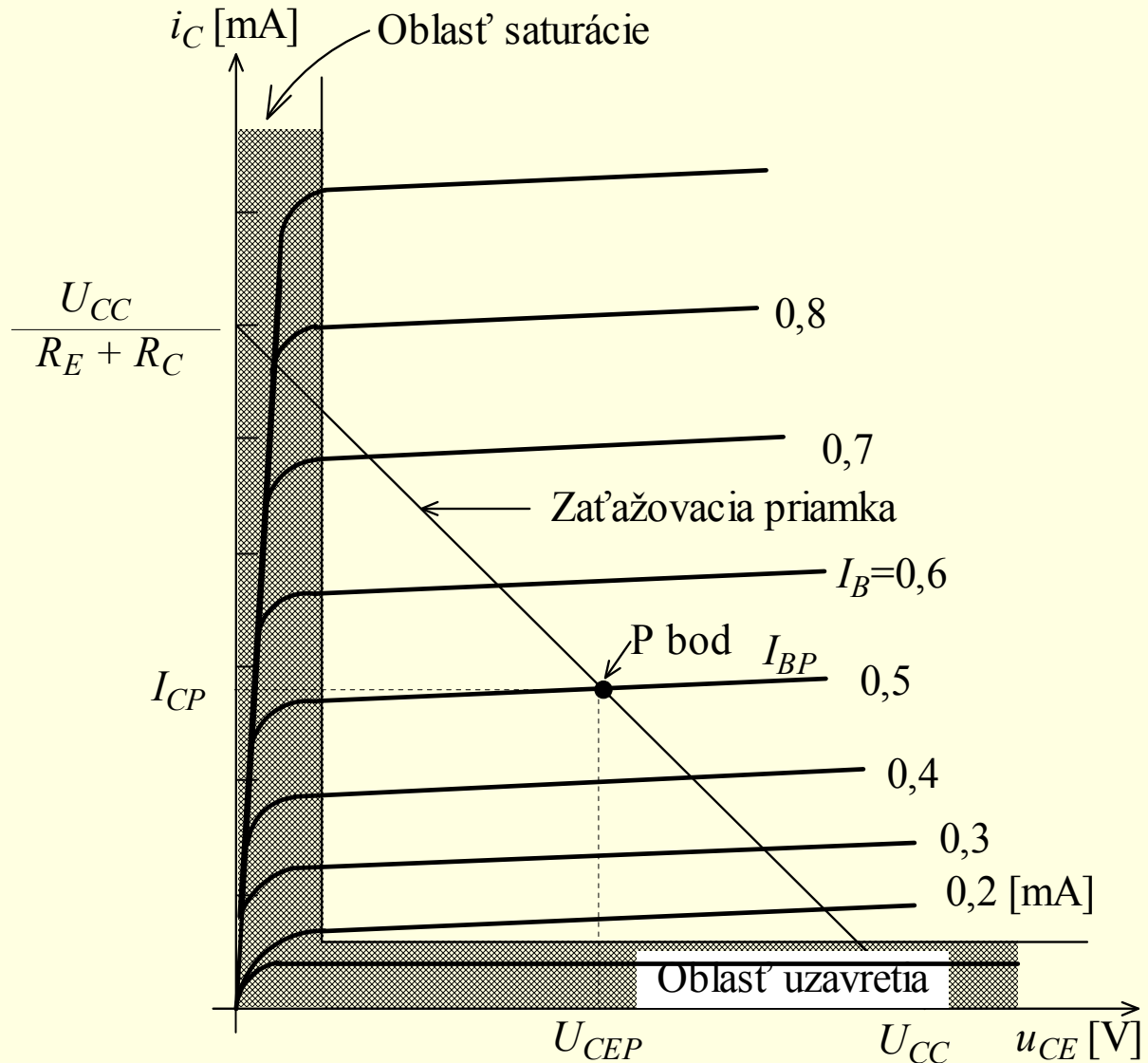


5 Bipolárny tranzistor

5.4 Tranzistorové obvody - 5.4.2 Charakteristiky tranzistora

Táto jednosmerná zaťaž. priamka je zakreslená do charakteristík na Obr. Keď sa budeme zaoberať návrhom obvodov, ukážeme si, ako správne vybrať parametre obvodu, aby sme dostali požadovanú polohu **pracovného bodu**. Teraz budeme predpokladať, že **pracovný bod (P bod)** môže ležať na ľubovoľnom mieste zaťažovacej priamky.

Pracovný bod definuje jednosmerné hodnoty, teda stav bez budenia signálom.



5 Bipolárny tranzistor

5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)

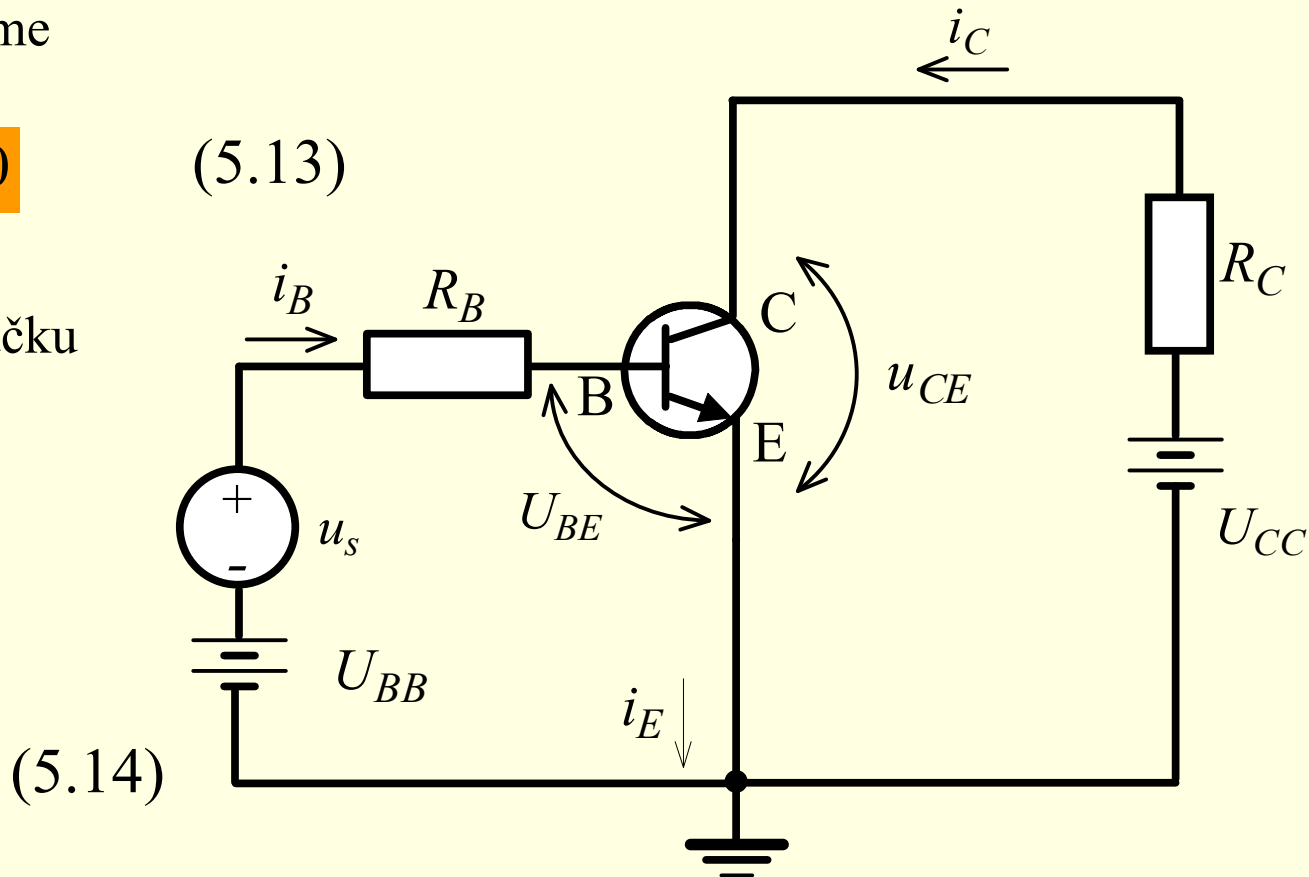
Z hľadiska js podmienok pre slučku z pohľadu bázy použijeme II. Kirchhoffov zákon (II. K.Z.) a dostávame

$$I_B R_B + U_{BE} - U_{BB} = 0 \quad (5.13)$$

Napíšeme II. K.Z. pre slučku kolektor-emitor

$$U_{CC} = R_C I_C + U_{CE}$$

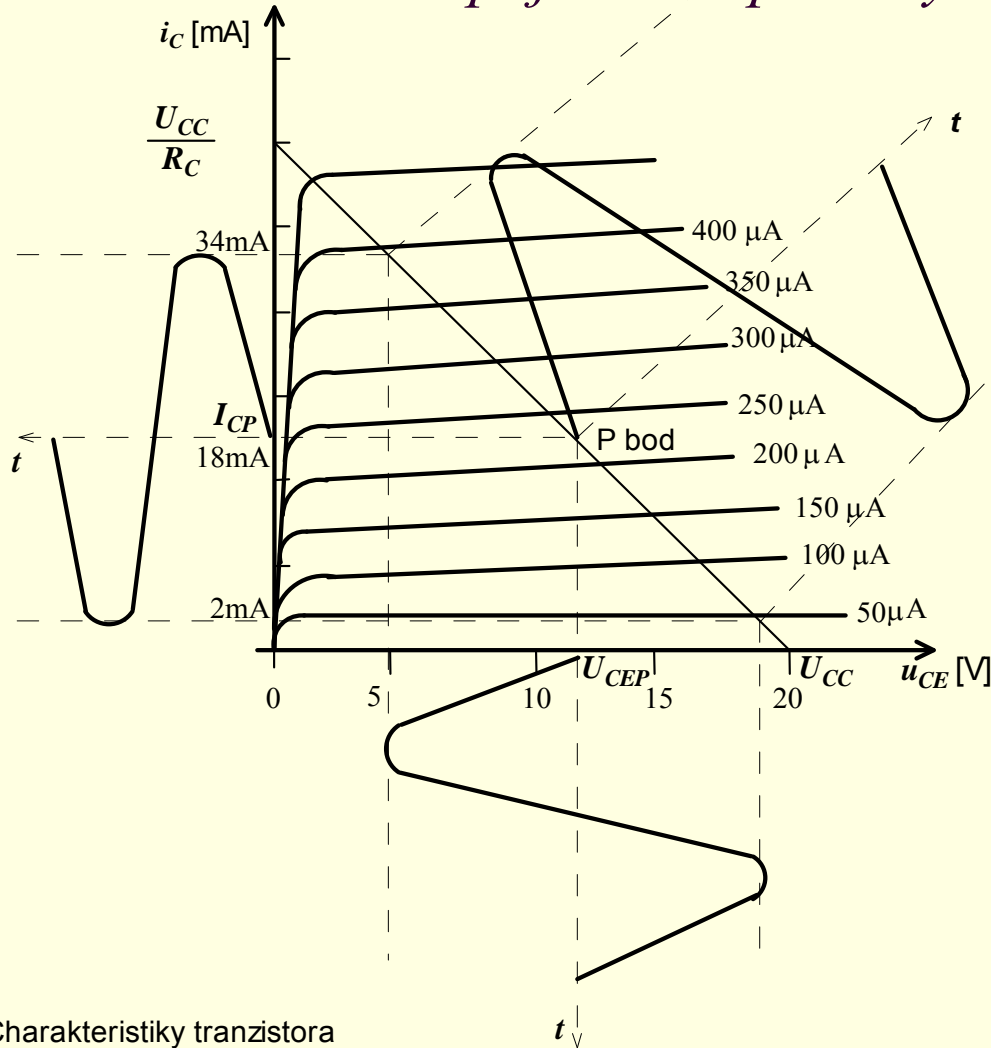
$$I_C = \frac{U_{CC} - U_{CE}}{R_C} \quad (5.14)$$



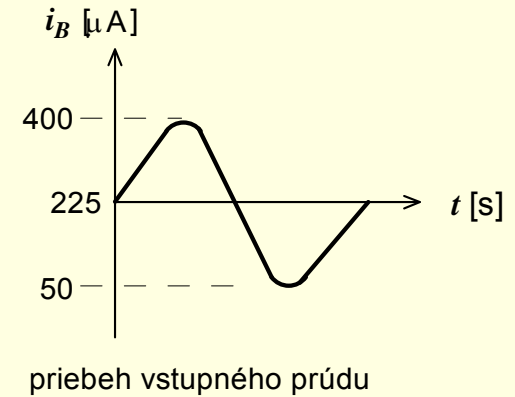
Rovnica (5.14) definuje zaťažovaciu priamku, ktorá je zakreslená v charakteristikách na nasledujúcom [Obr.a](#)).

5 Bipolárny tranzistor

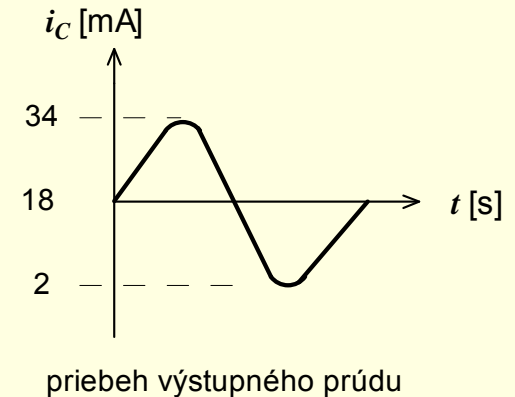
5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)



a) Charakteristiky tranzistora



priebeh vstupného prúdu



priebeh výstupného prúdu

b) Priebeh vstupného a výstupného prúdu

P bod alebo **pracovný bod** definovaný ako bod s nulovým st signálom zvolíme tak, aby ležal na zaťažovacej priamke.

5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)

5.5.1 Zosilňovač SE s emitorovým rezistorom

V zapojení tranzistora so spoločným emitorom sa vyhýbame nelineárnej oblasti charakteristík, ktorá je prítomná pri malých hodnotách i_C (oblasť uzavretia) a pri malých hodnotách u_{CE} (oblasť saturácie). Pri návrhu tranzistorového zosilňovača často požadujeme neskreslený výstupný priebeh s maximálnym rozkmitom. Ak je st vstupný signál symetricky okolo nuly, môžeme dosiahnuť maximálny rozkmit umiestnením pracovného bodu do stredu zaťažovacej priamky. Potom

$$U_{CEP} = \frac{U_{CC}}{2} \quad (5.17)$$

Tento vzťah stanovuje U_{CEP} a I_{CP} . Pretože sa priechod báza-emitor správa ako dióda

$$U_{BE} = U_F$$

Ak napíšeme II. K.Z. pre slučku bázy, dostávame

$$U_{BB} = R_B i_B + u_{BE} + i_C R_E \quad (5.18)$$

Pre premenné používame malé písmená a pre ich indexy veľké písmená.

To znamená, že uvažujeme celkové (js + st) hodnoty.

5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)

5.5.1 Zosilňovač SE s emitorovým rezistorom

Pretože

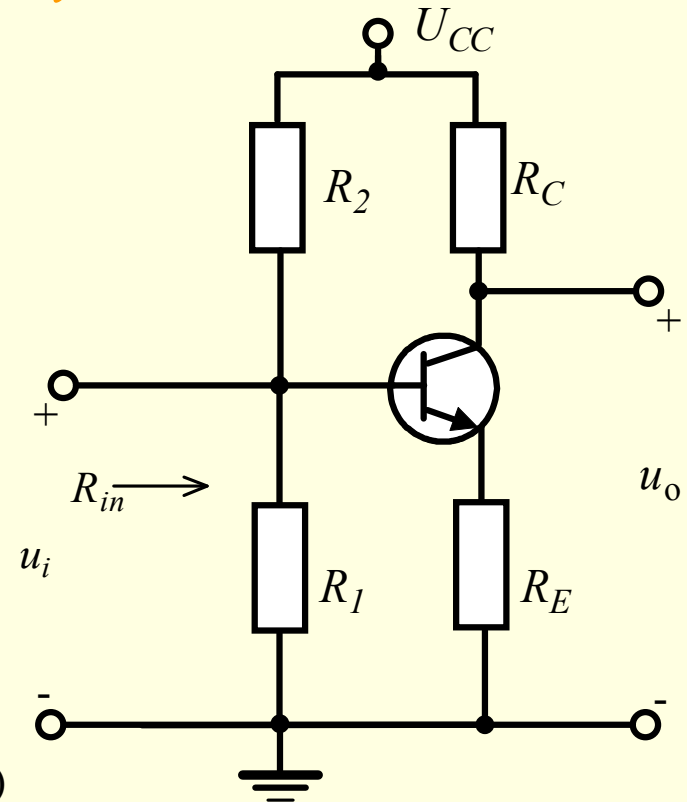
$$i_C = \beta i_B$$

môžeme zapísať rovnicu (5.18) v tvare

$$U_{BB} = \frac{R_B i_C}{\beta} + U_{BE} + i_C R_E$$

a v pracovnom bode

$$I_{CP} = \frac{U_{BB} - U_{BE}}{R_B / \beta + R_E} \quad (5.19)$$



Napätie U_{BE} uvažujeme konštantné, ktoré pri izbovej teplote (25°C) a pre kremíkové tranzistory má hodnotu $0,7\text{ V}$. Aby sme nemuseli použiť dva samostatné js zdroje, ako js zdroj pre obvod bázy použijeme napäťový delič (Obr.). Hodnoty R_1 a R_2 určujú polohu P bodu. Ak kombináciu odporov a zdroja pripojených k báze (Obr.) nahradíme podľa Théveninovej vety ekvivalentnými obvodovými prvkami, dostaneme nový obvod, ktorý je identický s obvodom uvedeným na predchádzajúcom Obr. Z tohto dôvodu je preto nutné len vhodne vybrať R_1 a R_2 .

5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)

5.5.1 Zosilňovač SE s emitorovým rezistorom

Na základe Théveninovej vety pre ekvivalentné napätie a odpor, vzhľadom k báze a zemi dostávame:

$$U_{TH} = U_{BB} = \frac{R_1 U_{CC}}{R_1 + R_2} \quad (5.20)$$

$$R_{TH} = R_B = R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} \quad (5.21)$$

Rezistory R_1 a R_2 môžeme určiť substitúciou rovnice (5.20) do (5.21), t.j.

$$R_1 = \frac{R_B U_{CC}}{U_{CC} - U_{BB}} = \frac{R_B}{1 - U_{BB} / U_{CC}}$$

$$R_2 = \frac{U_{CC} R_B}{U_{BB}}$$

Určenie hodnôt R_1 a R_2 je potrebné pre nastavenie požadovaného predpätia (**pracovného bodu**) tranzistora. Pri analýze sme predpokladali, že kolektorový prúd sa rovná emitorovému prúdu (je to možné, pretože β je obyčajne väčšia ako 100).

5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)

5.5.1 Zosilňovač SE s emitorovým rezistorom

Pri návrhu uvedeného obvodu požadujeme, aby asi 10% vstupného prúdu tieklo do bázy a okolo 90% tieklo cez ekvivalentný odpor R_B do zeme. Tým sa zabezpečí stabilita predpätia a môžeme používať zjednodušené vzťahy. Teda prúd odporom R_B by mal byť 10-krát väčší ako prúd bázy, čo dosiahneme, ak zvolíme:

$$R_B \leq 0,1\beta R_E \quad (5.24)$$

alebo

$$\frac{R_B}{\beta} \leq 0,1R_E$$

Tým sa dosiahne, aby zmeny β výrazne neovplyvnili polohu js **pracovného bodu**. Rovnicu (5.19) môžeme teraz použiť na riešenie pokojového kolektorového prúdu. Ak uvažujeme, že R_B sa rovná $0,1\beta R_E$, dostávame:

$$I_{CP} = \frac{U_{BB} - U_{BE}}{0,1\beta R_E / \beta + R_E} = \frac{U_{BB} - U_{BE}}{1,1R_E} \quad (5.25)$$

Rovnicu (5.25) využívame v procese návrhu.

5.5 Zosilňovač v zapojení so Spoločným emitorom (zosilňovač SE)

5.5.2 Úvod do analýzy a návrhu

Pri úlohách *analýzy* je obvod úplne špecifikovaný, teda P bod je známy. Nastavenie pracovného bodu však nemusí byť správne a môžeme zistiť, že tranzistor je v oblasti nasýtenia alebo v oblasti uzavretia. Pretože je obvod úplne špecifikovaný, stačí dosadiť hodnoty do rovníc a ich riešením dostaneme potrebné výsledky.

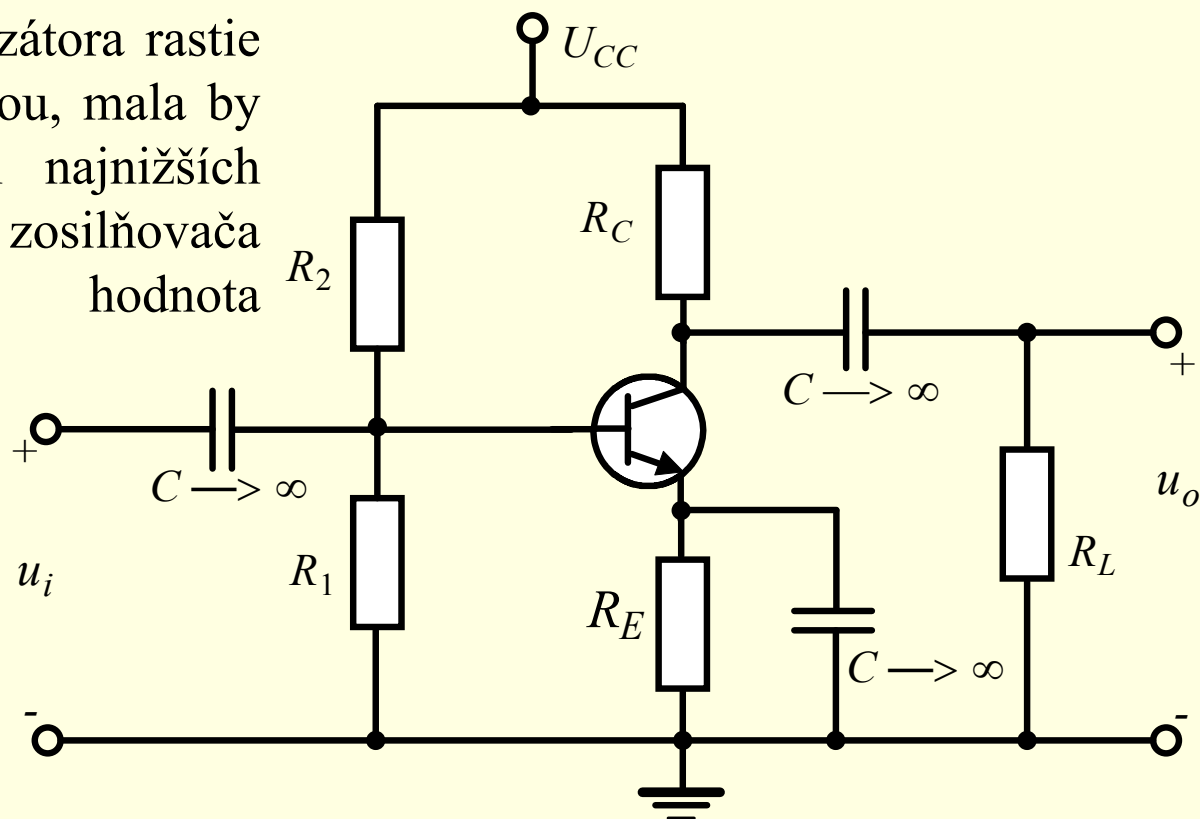
Pri úlohách *návrhu* obvod *nie je* úplne špecifikovaný. Návrhár má možnosť nastaviť pracovný bod do najlepšej možnej polohy. Ak požadujeme maximálny možný výstupný rozkmit signálu, potom je vhodné umiestniť P bod do stredu zaťažovacej priamky. Ak na druhej strane je vstupný signál malý, I_{CP} sa často nastavuje na menšiu hodnotu tak, aby sme na výstupe mali lineárny (neskreslený) výstupný signál pri menšom rozptýlenom výkone v kludovom stave. Pretože určenie pracovného bodu P neposkytuje dostatočný počet rovníc na vyriešenie všetkých prvkov obvodu, zavedieme dodatočné obmedzenia. Napríklad, aby sme našli hodnoty prvkov R_1 a R_2 , uvažujeme rovnicu $R_B = 0,1\beta R_E$. Pripomeňme, že ak zvolíme hodnotu R_B podľa tejto rovnice, zabezpečíme, že poloha pracovného bodu bude menej závislá od zmeny β .

5.7 Blokovacie a väzobné kondenzátory

5.7.1 Blokovacie kondenzátory

Kondenzátory môžeme použiť na vyskratovanie (premostenie) emitorového rezistora, čím dosiahneme vyšší napäťový zisk zosilňovača. Hodnota kondenzátora musí byť taká, aby jeho impedancia bola pre rozsah pracovných frekvencií podstatne nižšia ako hodnota emitorového rezistora.

Keďže impedancia kondenzátora rastie so znižujúcou sa frekvenciou, mala by byť jeho impedancia pri najnižších pracovných frekvenciách zosilňovača omnoho menšia ako hodnota emitorového rezistora.

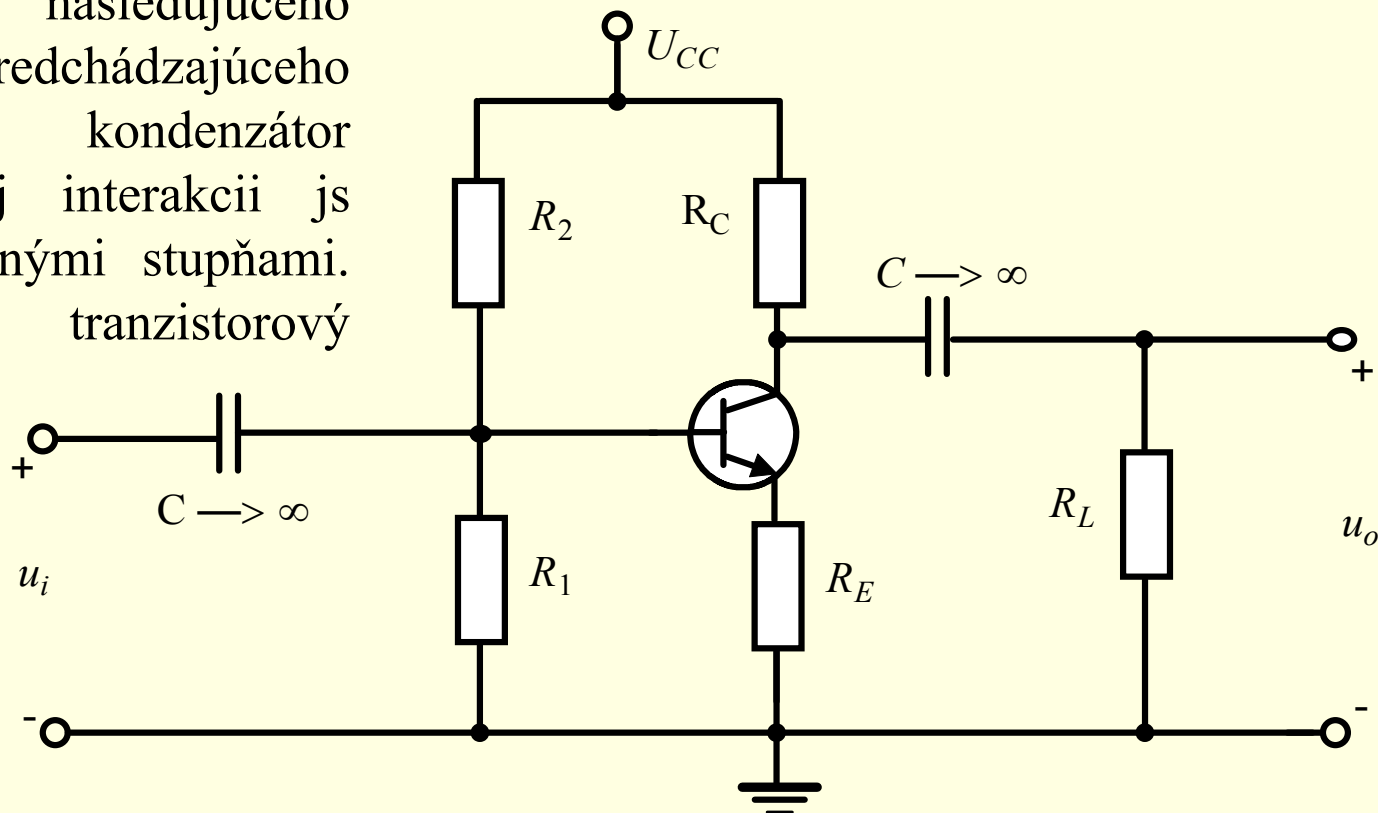


5.7 Blokovacie a väzobné kondenzátory

5.7.2 Väzobné kondenzátory

Pri viacstupňových zosilňovačoch môžu byť jednotlivé stupne vzájomne viazané kondenzátorom. Väzobné kondenzátory zohrávajú dôležitú úlohu pri určovaní tvaru amplitúdovej frekvenčnej charakteristiky.

Vstupná impedancia nasledujúceho stupňa je záťažou predchádzajúceho stupňa. Väzobný kondenzátor zabraňuje vzájomnej interakcii js prúdov medzi susednými stupňami. Jednostupňový tranzistorový zosilňovač je na Obr.



5.8 Striedavá zaťažovacia priamka v zapojení SE

Pretože metódy, ktoré sa používajú na nastavenie pracovného bodu pre zapojenia SE a SB sú identické, môžeme použiť nižšie uvedenú teóriu aj pre prípad zapojenia SB.

Odpor v obvode kolektor-emitor má pre js signály veľkosť $R_C + R_E$ a budeme ho označovať R_{js} . Keď ku tranzistoru pripojíme záťaž cez kondenzátor, bude mať odpor pre striedavé signály v obvode kolektor-emitor veľkosť

$$R_{st} = (R_L \parallel R_C) + R_E$$

Poznamenajme, že pri st prevádzke je U_{CC} svorka uzemnená. Ak je emitorový rezistor premostený kondenzátorom, potom st rezistor bude mať hodnotu len

$$R_{st} = (R_L \parallel R_C)$$

5.8 Striedavá zaťažovacia priamka v zapojení SE

St zaťažovacia priamka bude mať smernicu $-1/R_{st}$.

Pretože pri nulovom st vstupnom signáli sa pracovný bod tranzistora nachádza v *P bode*, musia sa obidve zaťažovacie priamky pretínať v bode *P*.

Ak je vstupný signál malý, *P bod* by mal byť umiestnený tak, aby pokojový kolektorový prúd bol minimálny.

Pri návrhu takýchto obvodov volíme I_{CP} práve toľko nad nulovú hodnotu, aby sme dostali na výstupe ešte lineárnu reprodukciu vstupného signálu (t.j. aby nedošlo ku skresleniu posunom pracovného bodu do oblasti uzavretia tranzistora).

V tomto prípade tranzistor rozptyľuje menší výkon, ako keby bol P bod umiestnený uprostred st zaťažovacej priamky.

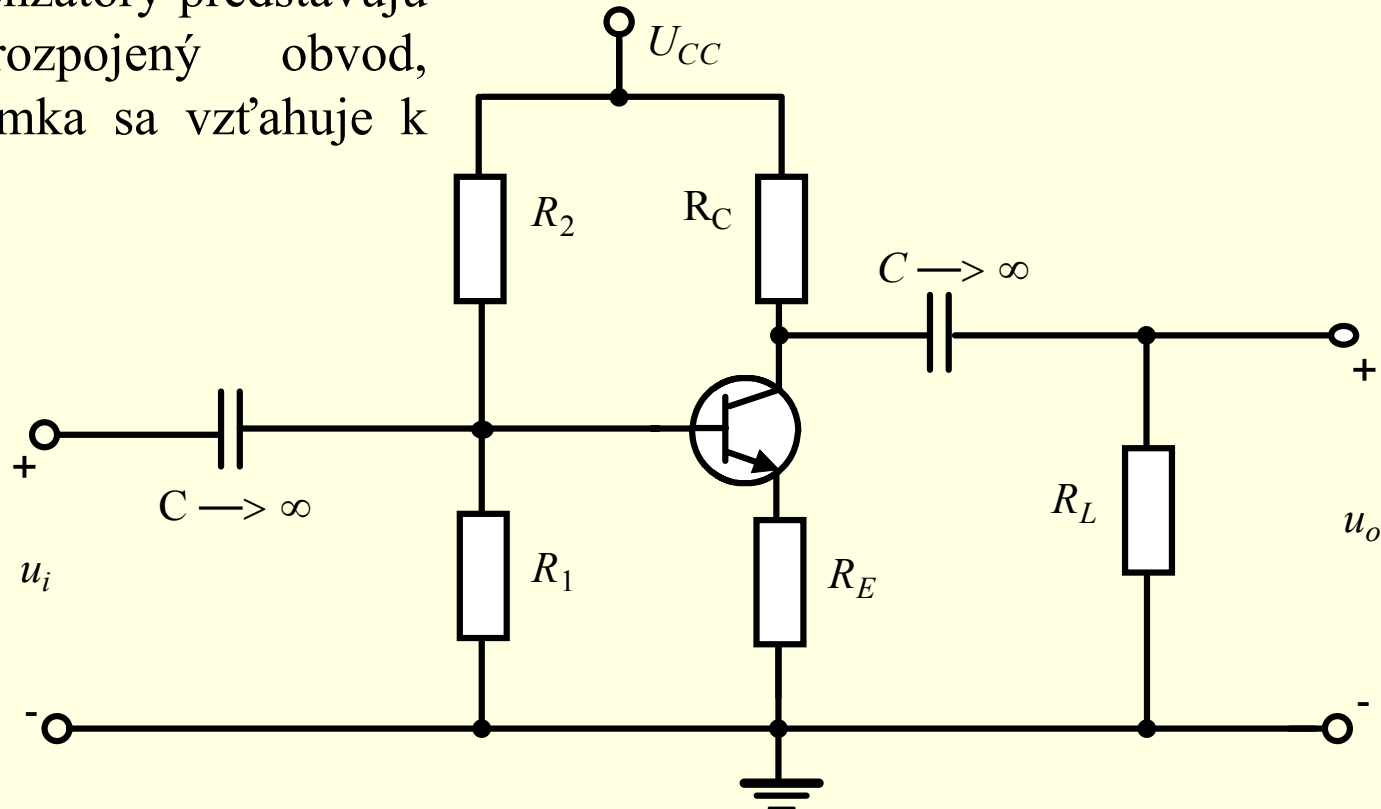
5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.1 Striedavá zaťažovacia priamka cez ľubovoľný pracovný bod

Jednosmernú zaťažovaciu priamku určíme z rovnice (5.16)

$$i_C = \frac{-u_{CE}}{R_E + R_C} + \frac{U_{CC}}{R_E + R_C}$$

Keďže väzobné kondenzátory predstavujú pre js prúdy rozpojený obvod, táto zaťažovacia priamka sa vzťahuje k obvodu



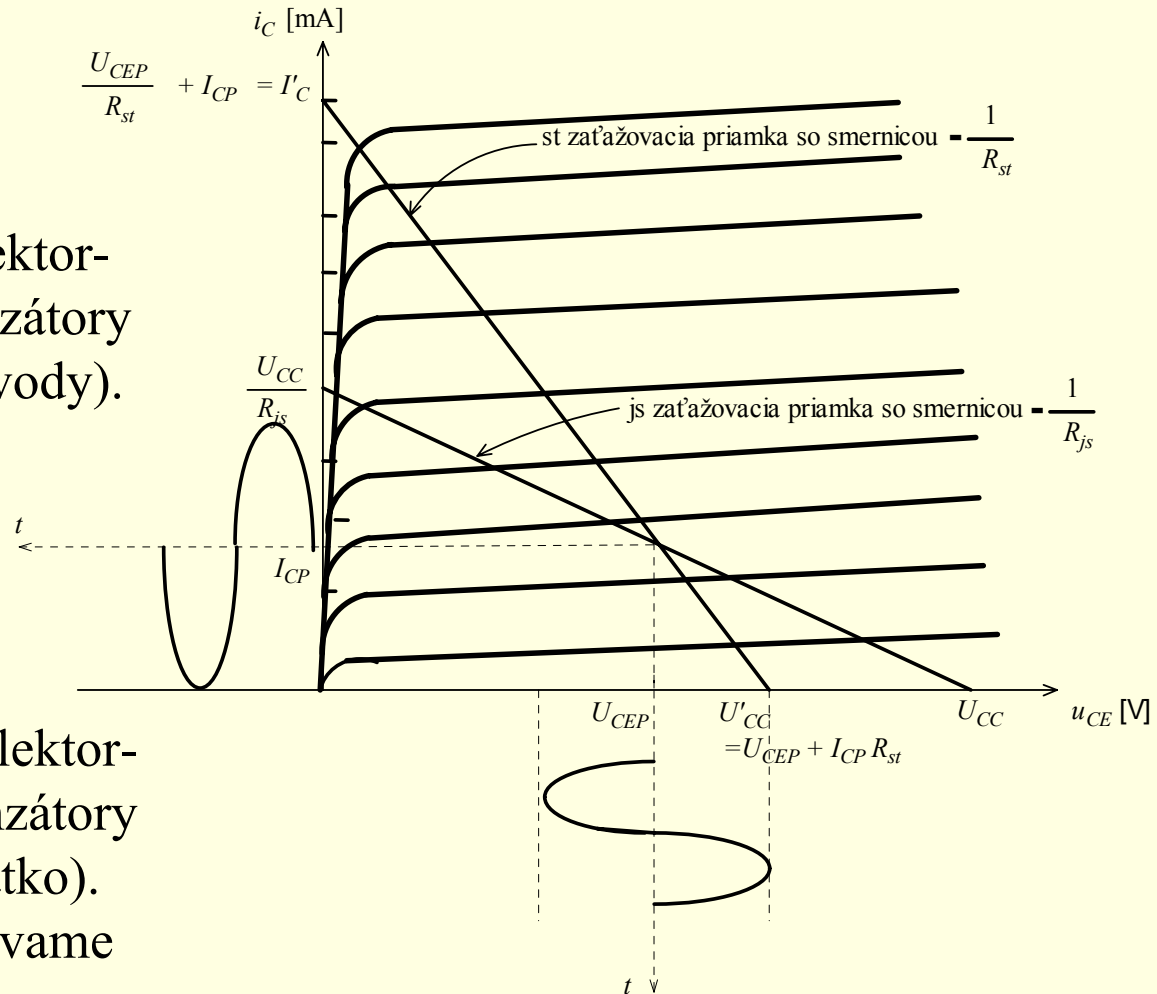
5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.1 Striedavá zaťažovacia priamka cez ľubovoľný pracovný bod

Zaťažovacia priamka je zakreslená do charakteristík tranzistora na Obr. Definujme st a js odpor nasledovne

R_{js} - celkový odpor v slučke kolektor-emitor pre js signály (kondenzátory uvažujeme ako rozpojené obvody).

R_{st} - celkový odpor v slučke kolektor-emitor pre st signály (kondenzátory uvažujeme ako obvody nakrátko).
Pre obvod na Obr. 5.19 dostávame



5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.1 Striedavá zaťažovacia priamka cez ľubovoľný pracovný bod

Pre obvod na [Obr.](#) dostávame

$$R_{js} = R_C + R_E \quad (5.29)$$

$$R_{st} = (R_L \parallel R_C) + R_E \quad (5.30)$$

Rovnica pre i_C zaťažovaciu priamku má tvar

$$i_C = \frac{U_{CC}}{R_{js}} - \frac{u_{CE}}{R_{js}} = \frac{1}{R_{js}} (U_{CC} - u_{CE})$$

Pracovný bod, ktorý je určený pre nulovú hodnotu i_C signálu, leží na i_C aj na i_C zaťažovacej priamke. Teda i_C zaťažovacia priamka prechádza cez *P bod* a má smernicu $-1/R_{st}$, ktorá je väčšia ako smernica i_C zaťažovacej priamky. i_C zaťažovacia priamka je zakreslená na predchádzajúcom [Obr.](#) Priesečníky s osou i_C a osou u_{CE} môžeme získať z rovnice priamky prechádzajúcej zadaným bodom so známou smernicou nasledovne

5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.1 Striedavá zaťažovacia priamka cez ľubovoľný pracovný bod

Rovnica priamky prechádzajúca zadaným bodom so známou smernicou je

$$(y - y_1) = m(x - x_1)$$

$$(i_C - I_{CP}) = -\frac{u_{CE} - U_{CEP}}{R_{st}}$$

$$i_C = -\frac{u_{CE}}{R_{st}} + \frac{U_{CEP}}{R_{st}} + I_{CP}$$

Priesečník st zaťažovacej priamky s osou i_C je potom

$$I'_C = \frac{U_{CEP}}{R_{st}} + I_{CP}$$

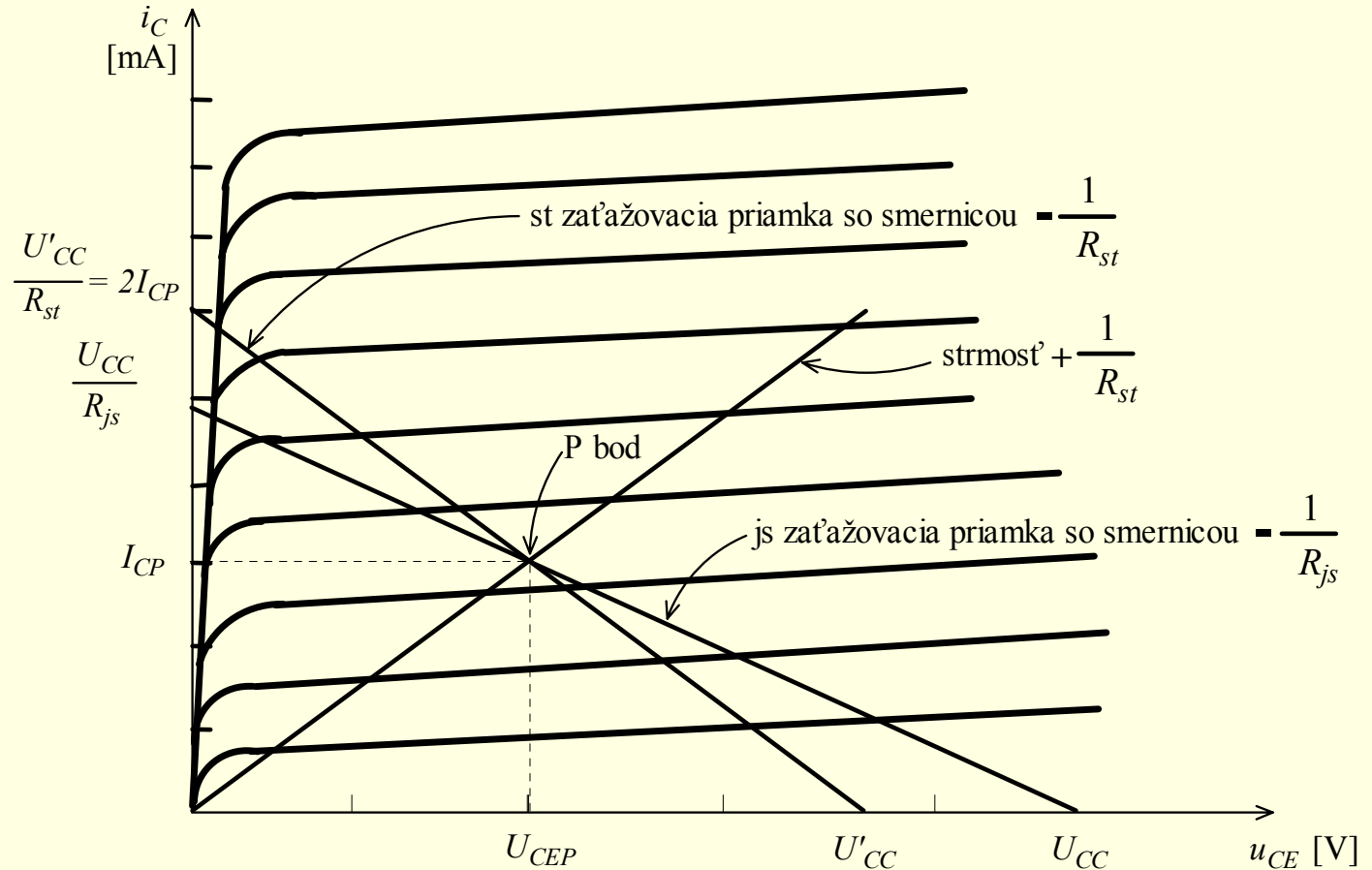
Priesečník st zaťažovacej priamky s osou u_{CE} je potom

$$U'_{CC} = U_{CEP} + I_{CP}R_{st}$$

5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.2 Vol'ba striedavej zaťažovacej priamky pre maximálny výstupný rozkmit

Ak je úlohou navrhnuť zosilňovač s maximálnym výstupným napät'ovým rozkmitom, potom musí **P bod** ležať v strede zaťažovacej priamky. Nastaviť **P bod** pre maximálny rozkmit je predmetom geometrie. Zaťažovacie priamky pre obvod na **Obr** môžeme znázorniť nasledovne



5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.2 Vol'ba striedavej zaťažovacej priamky pre maximálny výstupný rozkmit

Js zaťažovacia priamka je určená rovnicou:

$$U_{CC} = u_{CE} + i_C R_{js} \quad (5.31)$$

Napíšeme lineárnu rovnicu priamky so známou smernicou $-1/R_{st}$ a jedným bodom (I_{CP}, U_{CEP}) .

$$(i_C - I_{CP}) = -\frac{1}{R_{st}}(u_{CE} - U_{CEP}) \quad (5.32)$$

Priesečník tejto priamky a js zaťažovacej priamky je P bod. Pretože i_C je maximálne v prípade, že $u_{CE} = 0$, maximálny kolektorový prúd I'_C je

$$I'_C = \frac{U_{CEP}}{R_{st}} + I_{CP}$$

I'_C sa však pre maximálny rozkmit na st zaťažovacej priamke rovná $2I_{CP}$. Substitúciou do predchádzajúcej rovnice dostaneme

$$2I_{CP} - I_{CP} = \frac{U_{CEP}}{R_{st}}$$

5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.2 Volba striedavej zaťažovacej priamky pre maximálny výstupný rozkmit

alebo

$$I_{CP} = \frac{U_{CEP}}{R_{st}} \quad (5.33)$$

Táto rovnica je rovnicou o dvoch neznámych a definuje polohu P bodu pre maximálny výstupný rozkmit. Druhá rovnica je odvodená použitím rovnice js zaťažovacej priamky. Ak rovnicu (5.33) dosadíme do rovnice (5.31), dostávame

$$U_{CC} = U_{CEP} + \frac{U_{CEP}R_{js}}{R_{st}}$$

a po úprave

$$U_{CEP} = \frac{U_{CC}}{1 + R_{js} / R_{st}} \quad (5.34)$$

Z rovnice (5.34) môžeme vypočítať u_{CE} pre P bod. I_{CP} vypočítame z rovnice (5.33)

$$I_{CP} = \frac{U_{CC}}{R_{st} + R_{js}} \quad (5.35)$$

5.8 Striedavá zaťažovacia priamka v zapojení SE

5.8.2 Vol'ba striedavej zaťažovacej priamky pre maximálny výstupný rozkmit

U'_{CC} označme ako priesečník st zaťažovacej priamky s osou u_{CE} . Smernica zaťažovacej priamky je

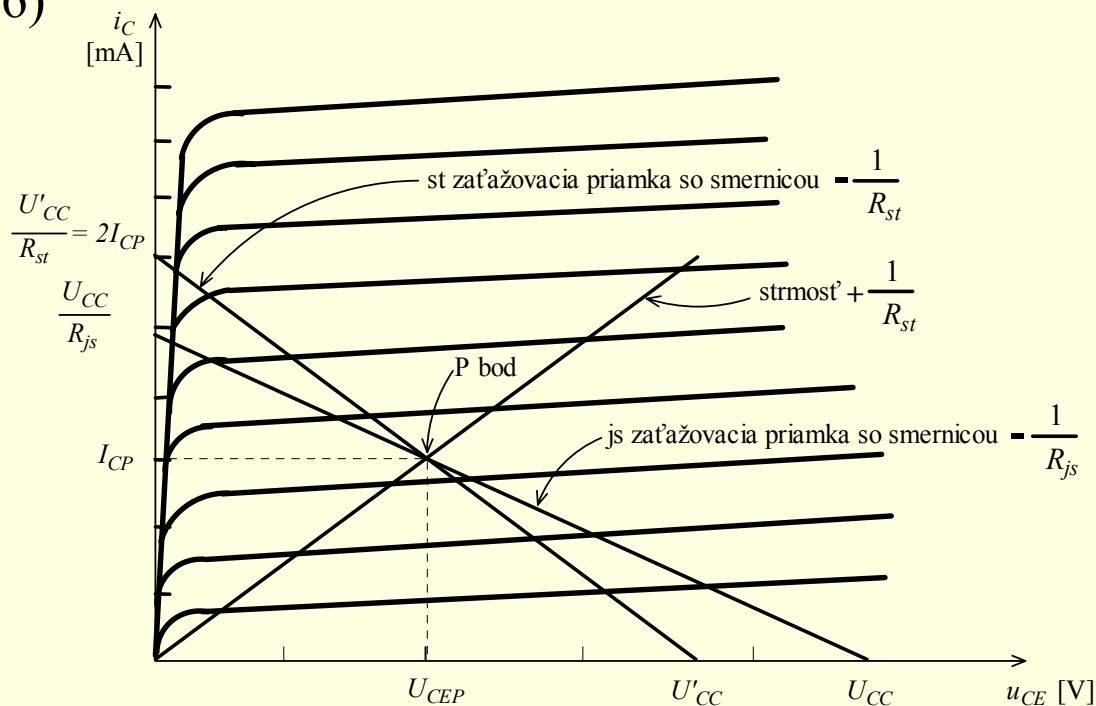
$$-\frac{1}{R_{st}} = -\frac{2I_{CP}}{U'_{CC}}$$

Z toho potom

$$U'_{CC} = 2I_{CP}R_{st} = \frac{2U_{CC}}{1 + R_{js}/R_{st}} \quad (5.36)$$

alebo

$$U'_{CC} = 2U_{CEP}$$



5.9 Striedavá analýza a návrh

Pri *analýze* st zosilňovača sú obvodomé prvky určené. Riešenie začíname určením **P bodu** (určením js predpätia). Pre slučku báza-emitor určíme Théveninov náhradný obvod, čím dostávame hodnoty potrebné pre určenie prúdu I_{CP} . Potom zakreslíme js a st zaťažovaciu priamku. Ak I_{CP} je v lineárnej pracovnej oblasti tranzistora (nie je v oblasti uzavretia ani saturácie), potom maximálny neskreslený rozkmit výstupného st napätia určíme z st zaťažovacej priamky.

Pri *návrhu* st zosilňovača je situácia opačná, pretože návrhár musí vybrať obvodomé prvky, pričom má možnosť voliť I_{CP} .

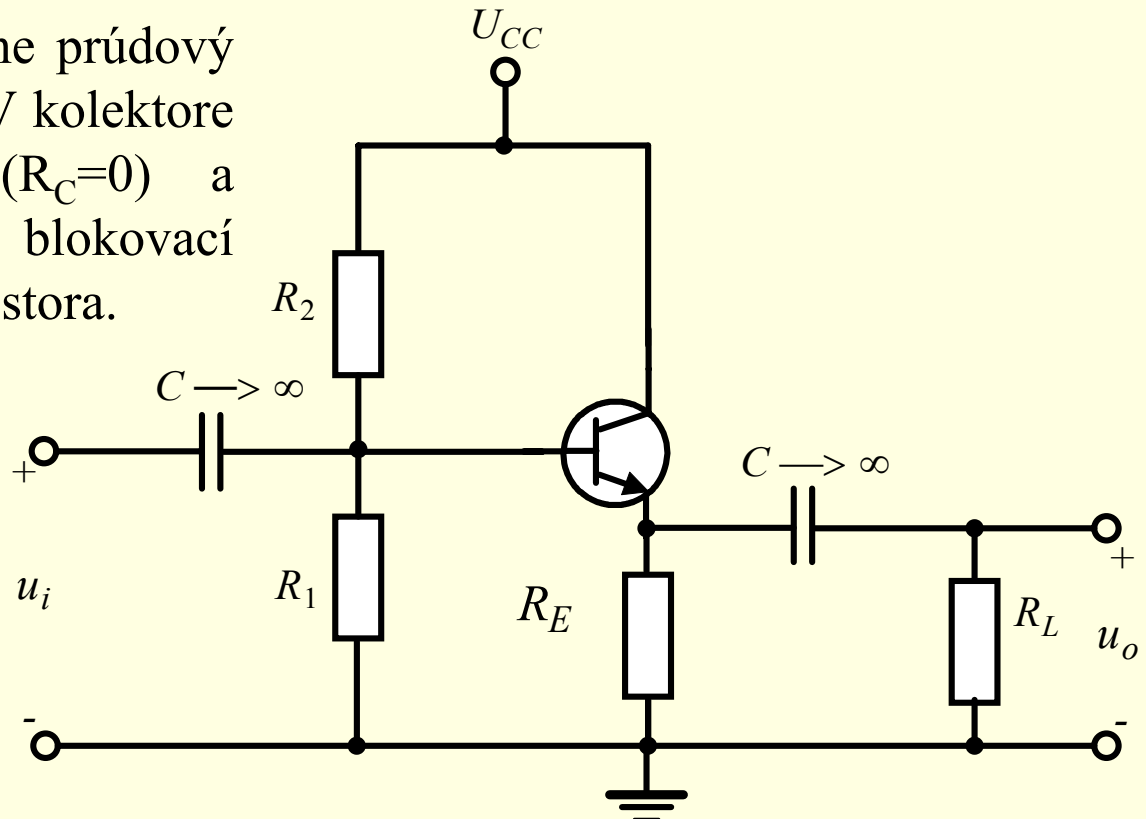
- Ak chceme maximálny napät'ový rozkmit, I_{CP} umiestnime do stredu st zaťažovacej priamky.
- Na druhej strane, ak je vstupný signál malý, volíme I_{CP} práve toľko nad nulovú hodnotu, aby výstupný signál nebol skreslený pri maximálnej hodnote vstupného signálu.

Pri návrhu obyčajne začneme výpočty na strane kolektor-emitor. Po určení I_{CP} použijeme na výpočet hodnôt R_1 a R_2 rovnicu na nastavenie pracovného bodu.

5.9 Tranzistorový zosilňovač v zapojení SK (emitorový sledovač)

Emitorový sledovač alebo tiež zosilňovač so spoločným kolektorom je na Obr. Výstupný signál odoberáme z emitora voči zemi. Pri emitorovom sledovači je výstupný signál vo fáze so vstupným signálom.

Zosilňovač má napät'ový zisk o niečo menší ako 1. Na druhej strane prúdový zisk je omnoho väčší ako 1. V kolektore nie je žiaden rezistor ($R_C=0$) a nepožadujeme ani blokovací kondenzátor emitorového rezistora.



5.9 Tranzistorový zosilňovač v zapojení SK (emitorový sledovač)

V ďalšom budeme analyzovať obvod na predchádzajúcom Obr. podobným spôsobom, ako sme to urobili pre zapojenie SE. Rozdiely budú iba v hodnotách, ktoré použijeme pre R_{st} a R_{js} . Pre emitorový sledovač bude

$$R_{st} = R_E \parallel R_L$$

a

$$R_{js} = R_E$$

Js zaťažovacia priamka je daná rovnicou

$$i_C = \frac{U_{CC} - u_{CE}}{R_{js}}$$

Pre požiadavku maximálneho výstupného rozkmitu určíme st zaťažovaciu priamku podobným spôsobom ako pri zapojení SE. Pre maximálny rozkmit je *P bod* určený

$$I_{CP} = \frac{U_{CC}}{R_{js} + R_{st}} = \frac{U_{CC}}{R_E + (R_E \parallel R_L)}$$

a

$$U_{CEP} = I_{CP} R_{st} = I_{CP} (R_E \parallel R_L)$$

5.9 Tranzistorový zosilňovač v zapojení SK

5.10.1 Striedavá analýza a návrh zosilňovača v zapojení SK

Postup pri návrhu a analýze zosilňovača SK je ten istý ako pri zosilňovači SE. Rozdiel spočíva len v rovniciach pre R_{st} a R_{js} a pre výstupný rozkmit napätia.

Výstupný rozkmit je pre emitorový sledovač daný

$$U_{om} = 2i_{C(\text{maximálna amplitúda})} \cdot (R_E \parallel R_L) \quad (5.37)$$

5.11 Tranzistor ako spínací prvok

5. 11.1 Charakteristiky tranzistora

Na to, aby tranzistor mohol vykonávať funkciu spínača, musí spĺňať nasledovné vlastnosti :

- vo vodivom stave musí mať minimálny odpor,
- v nevodivom stave jeho odpor musí byť veľký,
- prechod z jedného stavu do druhého musí byť rýchly.

Tranzistor, podobne ako spínač má byť zopnutý (môže ním pretekať veľký prúd), alebo rozopnutý (netečie žiaden prúd).

Na základe toho tranzistor použitý ako spínač, môže pracovať v dvoch pracovných oblastiach:

- v uzavretej oblasti, kde obidva PN priedchody sú polarizované v spätnom smere,
- v oblasti nasýtenia, kde PN priedchody sú polarizované v priamom smere.

5.11 Tranzistor ako spínací prvok

5. 11.1 Charakteristiky tranzistora

Tranzistor je možné použiť ako spínací prvok v troch základných zapojeniach:

- so spoločnou bázou (SB)
- so spoločným emitorom (SE)
- so spoločným kolektorom (SC)

Pri návrhu spínača je potrebné zoznámiť sa so *statickými* a *dynamickými* charakteristikami tranzistora. Pri statickom návrhu je potrebné poznať parametre, ktoré popisujú správanie tranzistora v oblasti zvyškových prúdov a v oblasti nasýtenia. Vplyv parametrov v oblasti zvyškových prúdov je pri kremíkových tranzistoroch veľmi malý.

Na vlastnosti spínača majú najväčší vplyv tzv. saturačné parametre. Hranica saturácie je definovaná vzťahom $U_{CB}=0$. Za touto hranicou je kolektorový priechod tranzistora otvorený. Pre hranicu nasýtenia (saturácie) sú definované dva parametre:

- jednosmerný prúdový zosilňovací činiteľ β

$$\beta = \frac{I_C}{I_B} \quad (5.38)$$

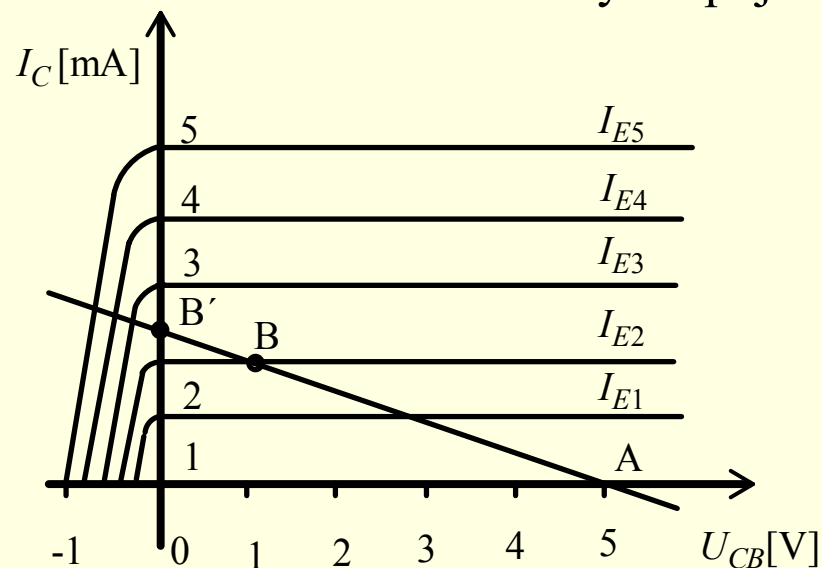
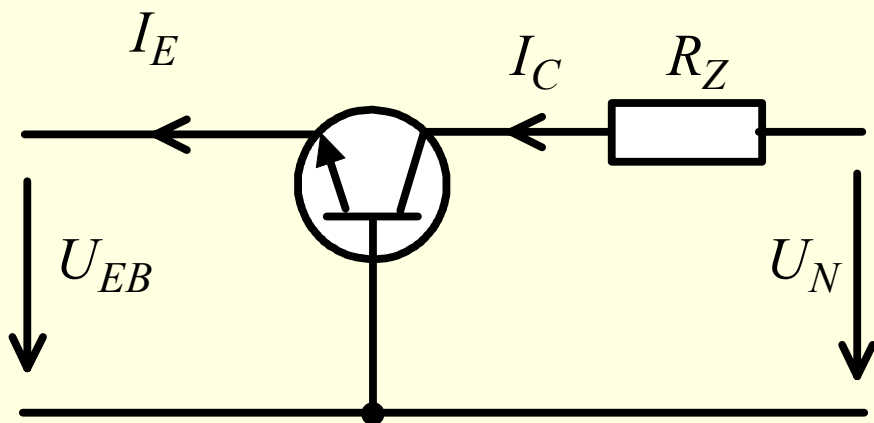
- napätie báza-emitor U_{BES} , pri danom prúde I_E a $U_{CB}=0$.

Ako tretí spínací parameter sa udáva saturačné kolektorové napätie U_{CES} pri daných hodnotách I_C a I_B .

5.11.2 Statické charakteristiky tranzistora

5.11.2.1 Zapojenie so spoločnou bázou

V zapojení so spoločnou bázou sa vstupný signál privádza na emitor a bázu a výstupný sa odoberá medzi kolektorom a bázou. Riadiacim prúdom je emitorový prúd I_E . Pretože kolektorový prúd je menší nemôže tranzistor v tomto zapojení zosilňovať. Medzi bázou a emitorom je PN priedchod, ktorý v podstate vytvára diódu polarizovanú v priamom smere. Ak vstupné napätie prekročí prahové napätie diódy, dióda sa otvorí, v dôsledku čoho emitorový prúd najprv pomaly a potom s veľkou strmost'ou rastie. Prúdové zosilnenie sa blíži k jednej a prúd kolektora sa približne rovná prúdu emitora. Statické charakteristiky zapojenia sú uvedené na obrázku



5.11.2 Statické charakteristiky tranzistora

5.11.2.1 Zapojenie so spoločnou bázou

Zaťažovací odpor R_Z určuje priamku (*zaťažovacia priamka*) pretínajúcu charakteristiky tranzistora. Po tejto priamke sa pohybuje pracovný bod tranzistora.

Pracovný bod je priesečník zaťažovacej priamky s charakteristikou pre príslušný I_E .

V bode A je emitorový prúd $I_E=0$, emitor a kolektor sú polarizované v spätnom smere. Obvodom kolektora a emitora pretekajú iba zvyškové prúdy – *tranzistor je zatvorený*.

Medzi bodmi A a B' je tzv. *aktívna oblasť*.

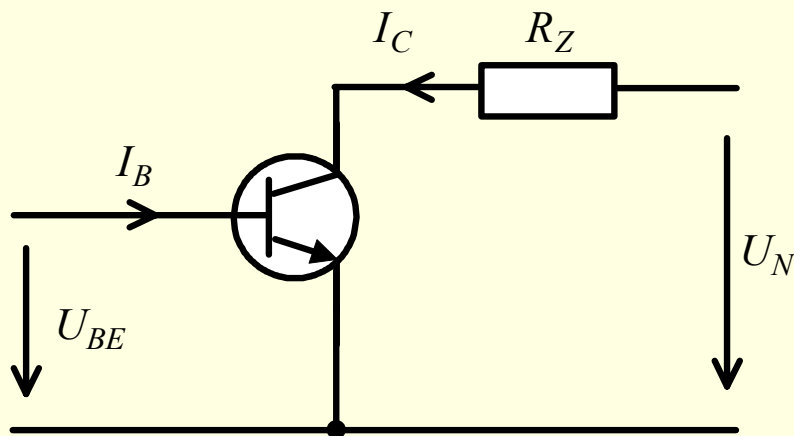
Za bodom B' je tranzistor vo vodivom stave v tzv. *oblasti nasýtenia*. Emitor a kolektor sú polarizované v priamom smere a kolektorový prúd sa zväčšuje iba nepatrne (analógia so zopnutým kontaktom). Tranzistor je otvorený, t.j. vo vodivom stave. Tranzistor v zapojení so spoločnou bázou sa veľmi blíži k *ideálnemu spínaču*.

5.11.2 Statické charakteristiky tranzistora

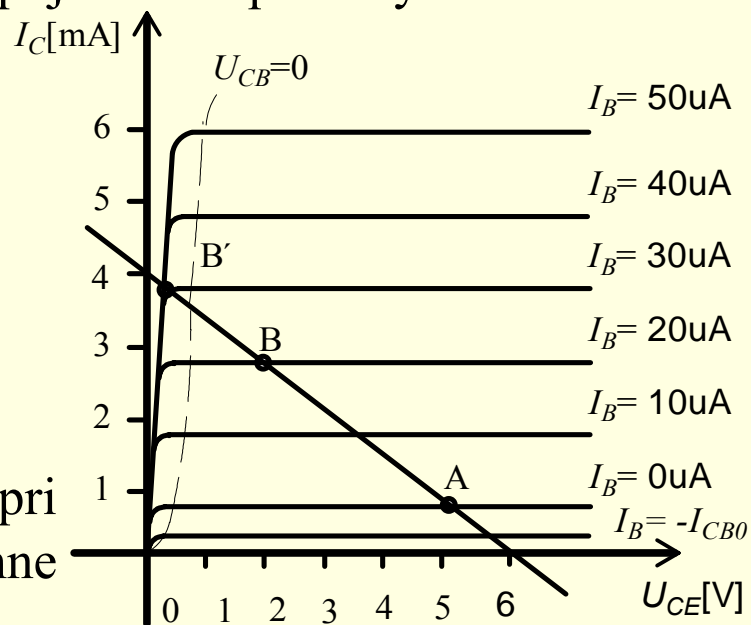
5.11.2.2 Zapojenie so spoločným emitorom

V praxi sa najčastejšie vyskytuje zapojenie tranzistora so spoločným emitorom. Vstupný signál sa privádza medzi kolektor a emitor. Aby priechodom báza–emitor prechádzal riadiaci prúd I_B , je potrebný pomerne malý rozdiel potenciálov medzi bázou a emitorom. Úbytok je okolo 0,5-0,7 [V], takže je podstatne menší ako napájacie napätie, ktoré býva okolo 10 až 100 [V].

V zapojení so spoločným emitorom je možné malým prúdom a napätím riadiť na výstupe tranzistora veľký prúd I_C a meniť výstupné napätie. Z tohto dôvodu sa v spínacích obvodoch používa skoro výhradne zapojenie so spoločným emitorom.



Na rozdiel od zapojenia so spoločnou bázou sa pri zapojení so spoločným emitorom nikdy nedosiahne ideálny stav, t.j. U_{CE} sa nikdy nerovná nule.



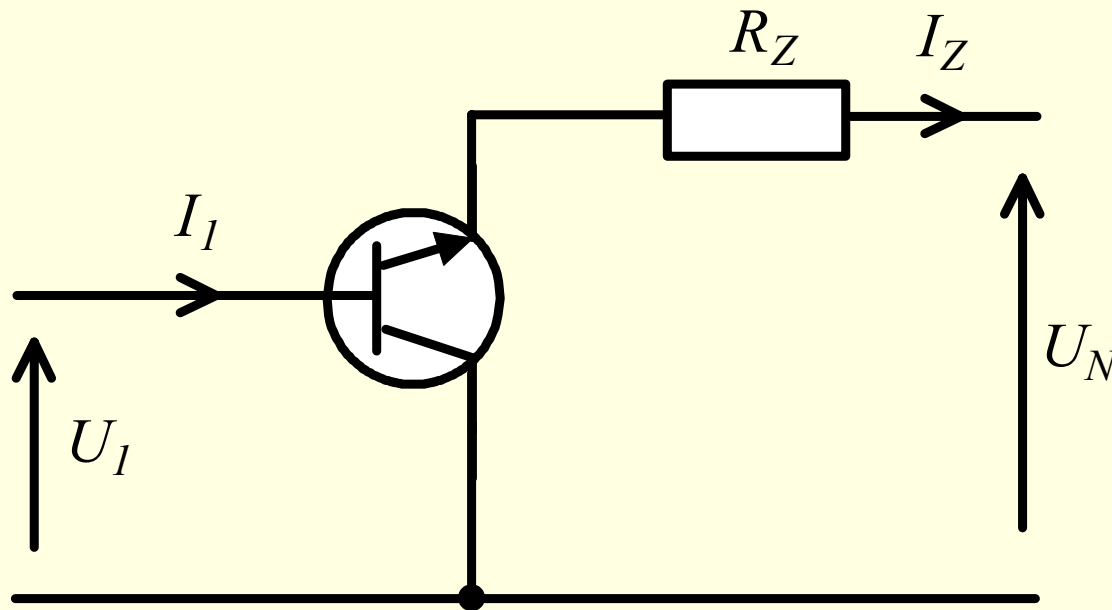
5.11.2 Statické charakteristiky tranzistora

5.11.2.2 Zapojenie so spoločným kolektorom – emitorový sledovač

V tomto zapojení je vstupné napätie pripojené medzi bázou a kolektorom. Riadiacim prúdom je bázový prúd. Napät'ové zosilnenie tranzistora je menšie ako 1, t.j. $A_U < 1$.

Na zopnutie je potrebné väčšie napätie ako je výstupné.

Používa sa tam, kde je potrebný veľký vstupný odpor, napr. v zosilňovačoch.



5.11.3 Nevodivý stav tranzistora

Z rozboru charakteristík vyplynulo, že v zapojení SB prechádza kolektorovým, t.j. spínaným obvodom v nevodivom stave iba zvyškový prúd I_{CB0} . Tento prúd je pri germániových tranzistoroch niekoľko μA a pri kremíkových tranzistoroch o dva rády menší. Zvyškový prúd sa zväčšuje s teplotou, avšak aj za nepriaznivého stavu nie je obyčajne taký veľký, aby mohol ovplyvniť činnosť spínaného obvodu. Pri závernom predpätí vstupného obvodu sa zvyškový prúd zmenší iba nepatrne, takže ho môžeme považovať za najmenší dosiahnuteľný prúd v nevodivom stave. Výhodou tohoto javu je veľké prípustné napätie U_{CB} .

Menej priaznivá situácia je v zapojení SE pri $I_B=0$. Spínaným obvodom preteká zvyškový prúd I_{CB0} . Tento prúd je podstatne väčší ako I_{CB0} pretože platí $I_{CE0}=(1+\beta)I_{CB0}$. Pri germániových tranzistoroch s $\beta\sim 200$ môže byť I_{CE0} až 1 mA a s teplotou sa bude ďalej zvyšovať. Zapojenie SE a podmienka je pre germániové tranzistory *nepoužiteľná*. Možno ho použiť iba pre kremíkové tranzistory.

Ak privedieme na bázu malé záverné predpätie U_{BE} , zmenší sa I_E na nulu a kolektorový prúd I_C na veľkosť I_{CB0} . Pri ďalšom zväčšovaní záporného predpätia sa I_C znižuje nepatrne. Takto sa zapojenie SE vyrovná zapojeniu SB pri $I_E=0$. Bázou musí pretekať záverný prúd $|I_B|=|I_{CB0}|$.

5.11.4 Vodivý stav tranzistora

Vo vodivom stave prechádza tranzistorom prúd, ktorého veľkosť je obmedzená iba súčiastkami vonkajšieho obvodu (hlavne R_Z). V zapojení SB sa zmenší U_{CB} na nulu alebo dosiahne malú hodnotu opačnej polaroty. V zapojení SE sa zmenší napätie na U_{CES} .

Stanovenie pracovných podmienok pre tranzistor vo vodivom stave spočíva v určení potrebného prúdu bázy I_B a závisí iba od β tranzistora. Keďže $I_C = U_N / R_C$ a $I_C = \beta I_B$, musí platiť $I_B = I_C / \beta$. Pri návrhu treba počítať s tým, že β v tejto časti charakteristiky bude menšia ako v aktívnej oblasti, z tohto dôvodu sa volí $\beta/2$.

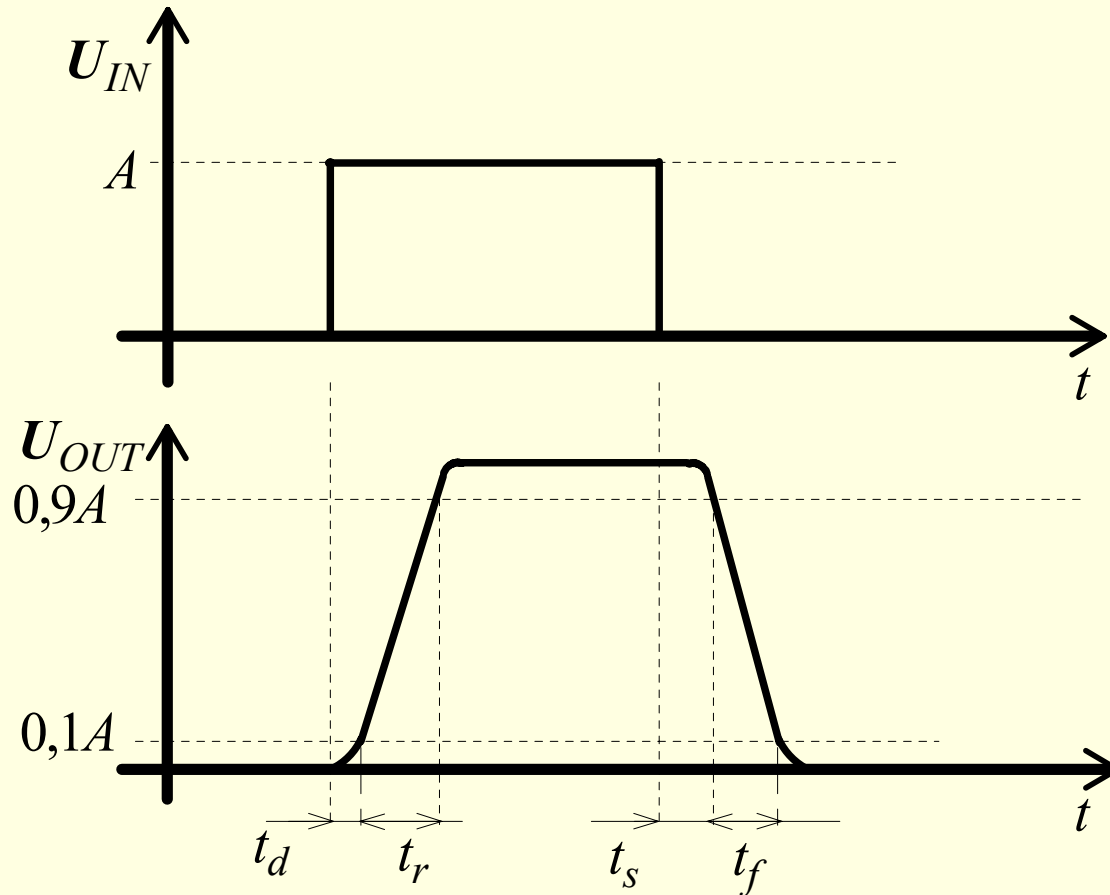
Je možné rozlíšiť trojaký vodivý stav tranzistora:

- stav na hranici nasýtenia ($U_{CB} = 0$)
- stav v aktívnej oblasti pred hranicou nasýtenia (pred $U_{CB} = 0$),
- stav v oblasti nasýtenia (za $U_{CB} = 0$).

Najpoužívanejší je stav v oblasti nasýtenia, ktorý dovoľuje väčšie tolerancie súčiastok a napätí.

5.11.5 Dynamické charakteristiky tranzistora

Vplyvom konečnej rýchlosti s akou prebiehajú vnútorné deje v tranzistore je priebeh výstupného tvaru impulzu odlišný od vstupného tvaru



5.11.5 Dynamické charakteristiky tranzistora

Definujeme nasledujúce časové parametre:

- *Oneskorenie impulzu* t_d - čas medzi privedením budiaceho impulzu na vstupné prírody tranzistora otvárajúceho sa z nevodivého do vodivého stavu a dosiahnutím 10% maximálnej hodnoty amplitúdy impulzu na výstupných vývodoch tranzistora.
- *Čas nábehu impulzu* t_r - nárast impulzu z hodnoty 10% na 90% menovitej hodnoty A , ktorú impulz nadobúda po ustálení
- *Čas dobehu (tylu)* t_f - čas nutný na pokles z 90% na 10% menovitej hodnoty A .
- *Presah impulzu* t_s - čas medzi ukončením budiaceho impulzu a poklesom amplitúdy na výstupe na 90% nominálnej hodnoty.

5.11.5 Dynamické charakteristiky tranzistora

Presah impulzu a iné časové parametre sú dané parazitnými kapacitami jednotlivých elektród tranzistora a kapacitami priechodov.

Kapacity priechodov sú rádovo 1÷10 nF. Je možné dokázať, že zvýšenie budiaceho prúdu skracuje nábeh impulzu. Uplatňuje sa však *presah* často dlhší ako tyl impulzu. Pre rýchle spínacie obvody je potrebné používať obvody, ktoré zabráňujú nasýteniu tranzistora alebo lepšie tranzistory s vyššou hraničnou frekvenciou (menšie parazitné kapacity).

Ako už bolo uvedené, nasýtenie tranzistora predlžuje presah impulzu (čas zotavenia). Používajú sa preto pomocné obvody, ktoré dovoľia otvoriť tranzistor dostatočne veľkým prúdom bázy a súčasne zabránia alebo zmenšia presýtenie vo vodivom stave.

6 Pol'om riadený tranzistor

- **6.1 Výhody a nevýhody FETov**
- **6.2 Typy FETov**
- **6.3 Princíp činnosti a konštrukcia tranzistora JFET**
 - 6.3.1 *Zmeny napätia na priechode hradlo-emitor JFET tranzistora*
 - 6.3.2 *Prevodové charakteristiky JFETu*
 - 6.3.3 *Náhradný obvod, g_m a r_{DS}*
- **6.4 Princíp činnosti tranzistora MOSFET a jeho konštrukcia**
 - 6.4.1 *MOSFET pracujúci v ochudobňovacom móde*
 - 6.4.2 *MOSFET pracujúci v obohacovacom móde*

6 Pol'om riadený tranzistor

- **6.5 Nastavenie pracovného bodu FETu**
- **6.6 Analýza zosilňovača v zapojení SS**
- **6.7 Návrh zosilňovača v zapojení SS**
- **6.8 Tranzistor FET ako Analógový spínač**
 - 6.8.1 *Princíp činnosti*
 - 6.8.2 *Zapojenie JFET tranzistora s kanálom N*
 - 6.8.3 *Zapojenie MOSFET tranzistora s kanálom N*
 - 6.8.4 *Spínač CMOS*

6 Poľom riadený tranzistor

Poľom riadený tranzistor (Field Effect Tranzistor - FET), ktorý navrhol W. Shockley v roku 1952 sa líši od bipolárneho tranzistora tým, že riadiacim parametrom pre FET nie je *prúd*, ale *napätie*.

FET je *unipolárna* súčiastka, pretože prúd je realizovaný buď pohybom dier alebo pohybom elektrónov. Oba typy FETov sú riadené napätím priloženým medzi *hradlo* (Gate - G) a *emitor* (Source - S).

Z porovnania FET tranzistorov s bipolárnymi tranzistormi vyplýva: *drain* (D) je analogický s kolektorom, *source* (S) je analogický s emitorom bipolárneho tranzistora a *gate* (G) – hradlo je analogické s bázou bipolárneho tranzistora. V ďalšom texte budeme pri nazývaní oblastí a elektród poľom ovládaných tranzistorov používať názvy a značenie zaužívané v literatúre, t.j. emitor S, kolektor D a hradlo G. Emitor a kolektor FETu sa zvyčajne môžu vymeniť bez ovplyvnenia činnosti tranzistora.

6.1 Výhody a nevýhody FETov

Výhody FETov môžeme zhrnúť do nasledujúcich bodov:

- Sú to napäťovo-riadené súčiastky s vysokou vstupnou impedanciou (rádovo 10^7 až $10^{12} \Omega$). Keďže ich impedancia je podstatne vyššia ako impedancia bipolárnych tranzistorov, FETy uprednostňujeme pred bipolárnymi tranzistormi vo vstupných stupňoch pri viacstupňových zosilňovačoch.
- FETy generujú nižšiu úroveň šumu ako bipolárne tranzistory.
- FETy sú teplotne stabilnejšie ako bipolárne tranzistory.
- Výkonové FETy môžu rozptýliť väčší výkon a spínať veľké prúdy.

6.1 Výhody a nevýhody FETov

Výhody FETov môžeme zhrnúť do nasledujúcich bodov:

- Výroba FETov je jednoduchšia ako výroba bipolárnych tranzistorov, lebo vyžaduje menej maskovacích krokov a menej difúzií. Tým sa dá umiestniť väčší počet súčiastok (tranzistorov) na jeden čip, a teda dosiahnuť väčší *stupeň integrácie*.
- Pre malé hodnoty napätia medzi kolektorom a emitorom sa FETy chovajú ako napätím riadené rezistory.
- Vysoká vstupná impedancia FETov dovoľuje uchovať náboj pomerne dlho, čo umožňuje ich použitie v pamäťových prvkoch.

6.1 Výhody a nevýhody FETov

Nevýhody obmedzujúce použitie v niektorých aplikáciách:

FETy majú obyčajne horšiu frekvenčnú odpoveď z dôvodu vysokej vstupnej kapacity.

Niektoré typy FETov majú horšiu linearitu.

FETy môžeme zničiť pri manipulácii s nimi v dôsledku statickej elektriny.

6.2 Typy FETov

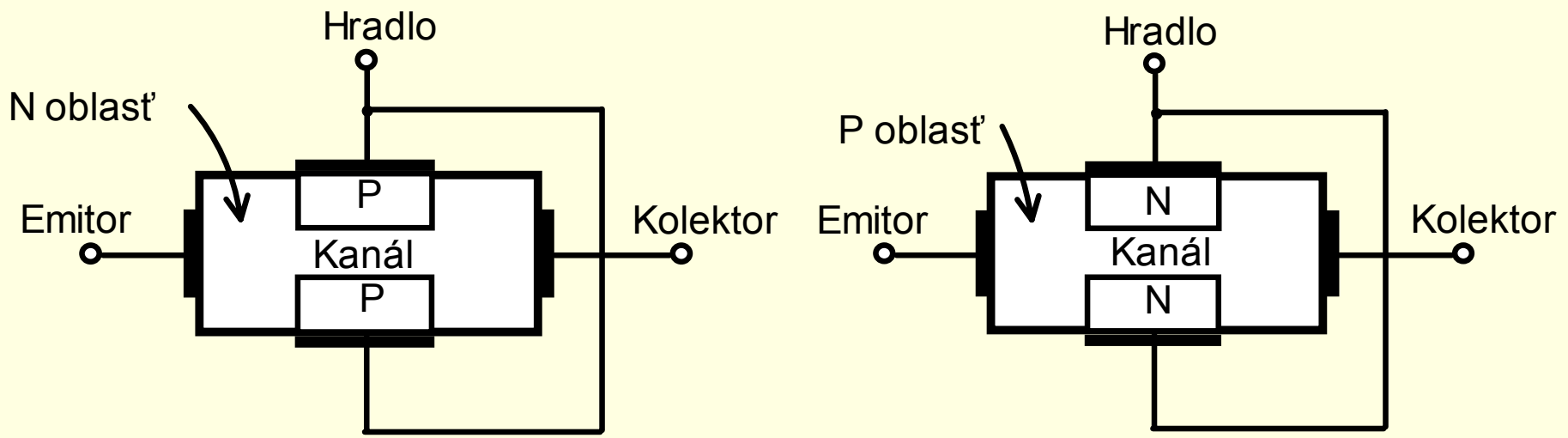
V ďalšom uvedieme tri hlavné typy FET-ov

- FETy s priechodovým hradlom (**JFET**)
- FETy s izolovaným hradlom, pracujúce v ochudobňovacom móde (**ochudobnený MOSFET/ochudobnený MISFET**)
- FETy s izolovaným hradlom pracujúce v obohacovacom móde (**obohatený MOSFET/obohatený MISFET**)

6.3 Princíp činnosti a konštrukcia tranzistora JFET

Podobne ako bipolárny tranzistor je JFET trojvývodová súčiastka, má však iba jeden priedchod PN. Náčrt fyzikálnej štruktúry JFETu je na Obr.

N kanál JFETu, ktorý je zobrazený na Obr.a) je vyhotovený z materiálu typu N, do ktorého sú z každej strany nadifundované materiály typu P.

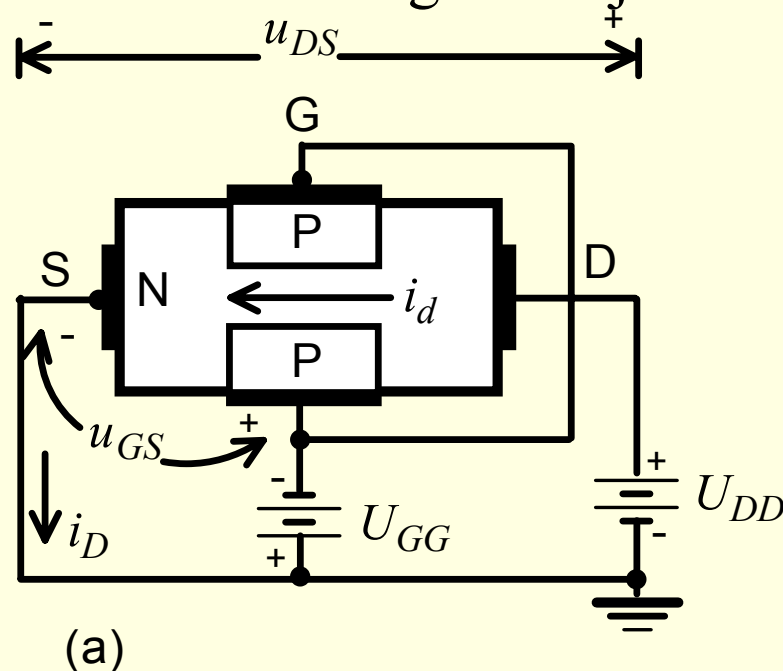


a) N kanál

b) P kanál

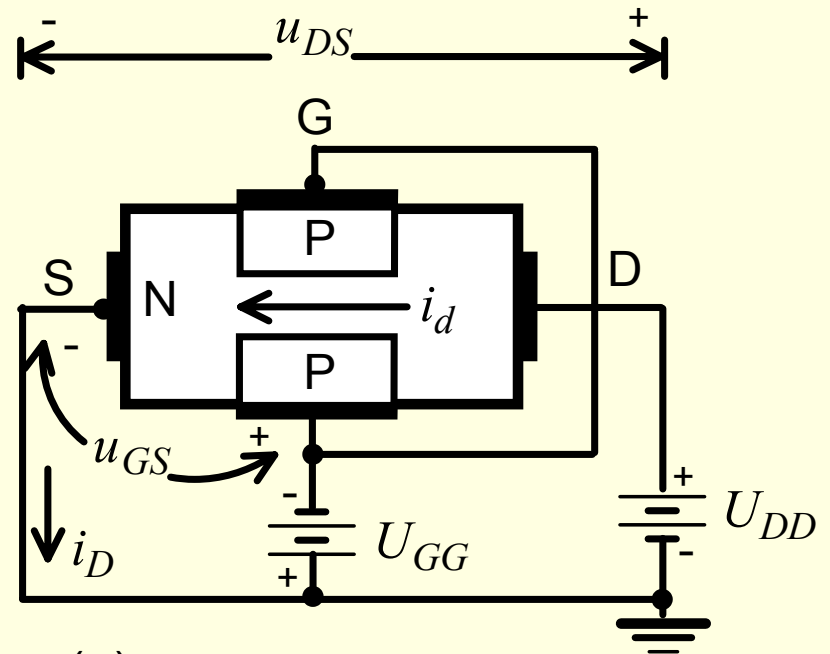
6.3 Princíp činnosti a konštrukcia tranzistora JFET

Aby sme pochopili činnosť JFETu, pripojíme N kanál JFETu k vonkajšiemu obvodu. Napájacie napätie U_{DD} pripojíme na kolektor (analogicky s napájacím napätím U_{CC} v prípade bipolárnych tranzistorov) a emitor pripojíme na zem. Napájacie napätie hradla U_{GG} pripojíme na hradlo (analogicky s U_{BB} v prípade bipolárnych tranzistorov). Uvedená obvodová konfigurácia je na Obr.a).



6.3 Princíp činnosti a konštrukcia tranzistora JFET

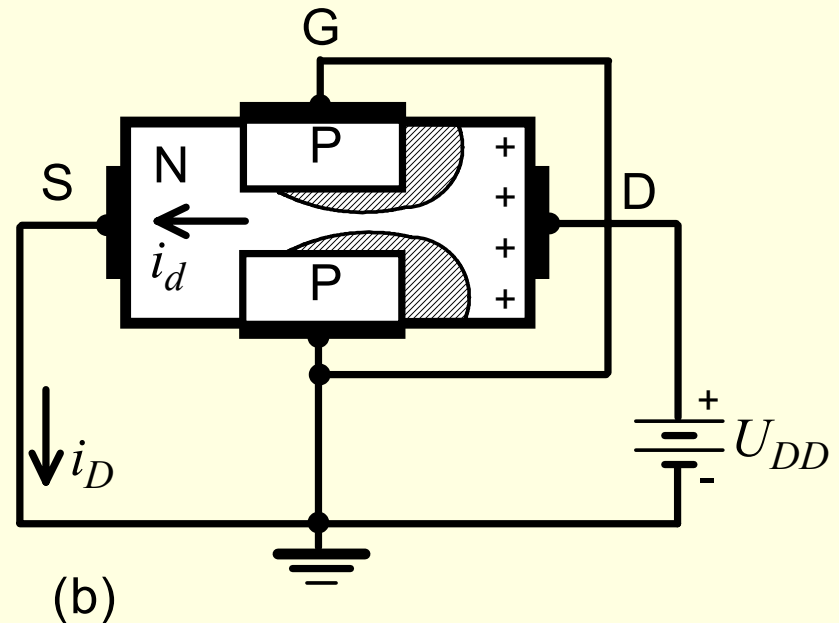
Napätie U_{DD} zabezpečuje napätie kolektor-emitor u_{DS} , ktoré vyvoláva prúd i_D od kolektora k emitoru. Tento kolektorový prúd je identický s emitorovým prúdom a tečie kanálom, ktorý je obklopený hradlom typu P. Napätie hradlo-emitor u_{GS} , ktoré je rovné napätiu $-U_{GG}$ (Obr.a), vytvára v kanáli *ochudobnenú oblasť*, ktorá redukuje jeho šírku a tak zvyšuje odpor medzi kolektorom a emitorom. Keďže priechod hradlo-emitor je polarizovaný v spätnom smere, nepreteká ním prúd.



(a)

6.3 Princíp činnosti a konštrukcia tranzistora JFET

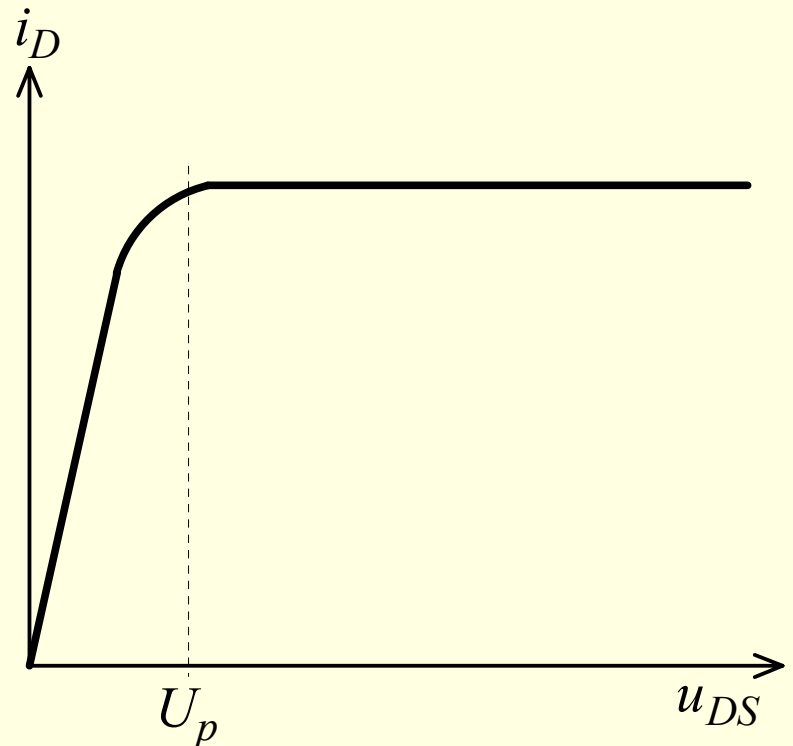
Uvažujme, že JFET pracuje pri $u_{GS}=0$ (pozri Obr.b). Kolektorový prúd i_D pretekajúci kanálom typu N od kolektora smerom k emitoru spôsobí pozdĺž kanála úbytok napätia s vyšším potenciálom na priechode kolektor-hradlo. Toto kladné napätie na priechode kolektor-hradlo polarizuje PN priechod v spätnom smere, čím vytvára vyprázdnenú oblasť naznačenú na Obr.b) šrafované.



6.3 Princíp činnosti a konštrukcia tranzistora JFET

Keď budeme u_{DS} zväčšovať, bude sa taktiež zväčšovať i_D (Obr.). To má za následok väčšiu vyprázdnenú oblasť a zväčšenie odporu medzi kolektorom a emitorom. Pokiaľ sa bude u_{DS} ďalej zväčšovať, dosiahne sa stav, pri ktorom sa vytvorí vyprázdnená oblasť naprieč celým kanálom a kolektorový prúd dosiahne svoju saturačnú hodnotu. Pri zvyšovaní u_{DS} nad túto hodnotu, už zostane i_D konštantný.

Hodnota saturačného kolektorového prúdu pri $U_{GS}=0$ je dôležitým parametrom a označuje sa ako *kolektorový saturačný prúd* I_{DSS} . Ako môžeme vidieť z Obr, zvyšovaním u_{DS} za tento bod *zovretia* kanála sa ďalej nezvyšuje prúd i_D a V-A charakteristika i_D-u_{DS} je konštantná (i_D je konštantný, aj keď sa u_{DS} ďalej zvyšuje).

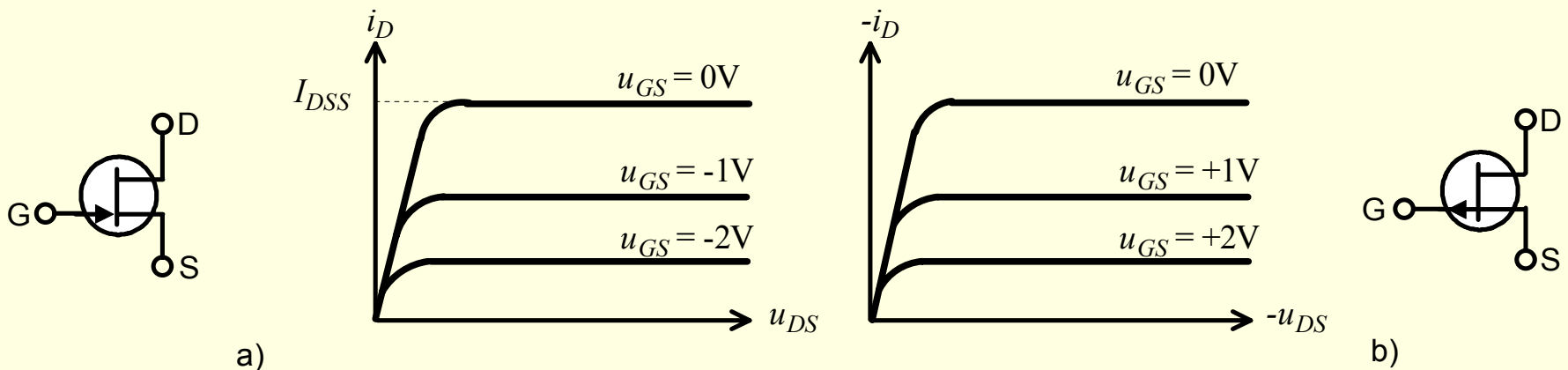


6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.1 Zmeny napätia na priechode hradlo-emitor JFET tranzistora

V predchádzajúcej časti sme si popisovali charakteristiku ($i_D - u_{DS}$) pri $u_{GS} = 0$. V tejto časti budeme uvažovať úplné charakteristiky $i_D - u_{DS}$ (pole výstupných charakteristík), teda pre rôzne hodnoty parametra u_{GS} .

JFET je napätím riadená súčiastka, kde riadiacim parametrom je napätie u_{GS} . Na Obr. je znázornená charakteristika $i_D - u_{DS}$ pre JFET s kanálom N a JFET s kanálom P. Schematické značky JFETu s kanálom N aj s kanálom P sú znázornené spoločne s charakteristikami. Schematické značky sa líšia len v orientácii šípok.



6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.1 Zmeny napätia na priechode hradlo-emitor JFET tranzistora

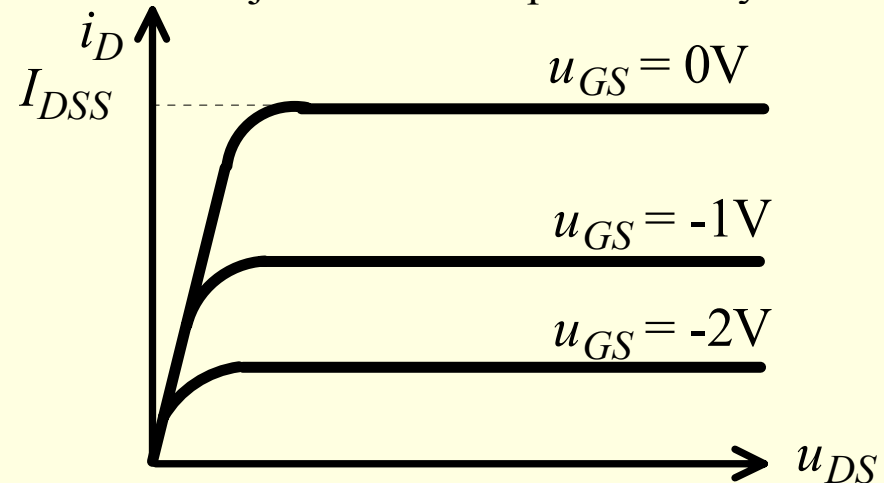
Ak u_{GS} rastie (zápornejšie pre kanál N a kladnejšie pre kanál P), vytvárajúca sa vyprázdnená oblasť sa spája pri nižších hodnotách i_D . Z toho vyplýva, že pre JFET s kanálom N je pri rastúcom zápornom napätí u_{GS} maximálna hodnota i_D nižšia než I_{DSS} . Ak budeme u_{GS} ďalej zväčšovať (viac zápornejšie pre kanál N), dosiahneme hodnotu u_{GS} , pri ktorej bude i_D nulový bez ohľadu na hodnotu u_{DS} . Táto hodnota u_{GS} sa volá U_{GSOFF} alebo *napätie zovretia* (U_P). Hodnota U_P je záporná pre JFET s kanálom N a kladná pre JFET s kanálom P.

I_{DSS} - je *saturačný prúd kolektor-emitor*

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.2 Prevodové charakteristiky JFETu

Pri návrhu zosilňovačov s JFETom má veľký význam, ak poznáme prevodovú charakteristiku tranzistora, ktorá predstavuje závislosť prúdu i_D ako funkciu napätia hradlo-emitor (u_{GS}) nad bodom zovretia. Aj keď je priebeh zostrojený pre konštantné u_{DS} , prevodová charakteristika je v podstate nezávislá od u_{DS} , pretože ak FET dosiahne bod zovretia kanála, prúd i_D je konštantný pre rastúce hodnoty u_{DS} . Túto skutočnosť možno pozorovať na priebehoch $i_D - u_{DS}$, kde každá krivka je konštantná pre hodnoty $u_{DS} > U_P$. Každá krivka má iný saturačný prúd.

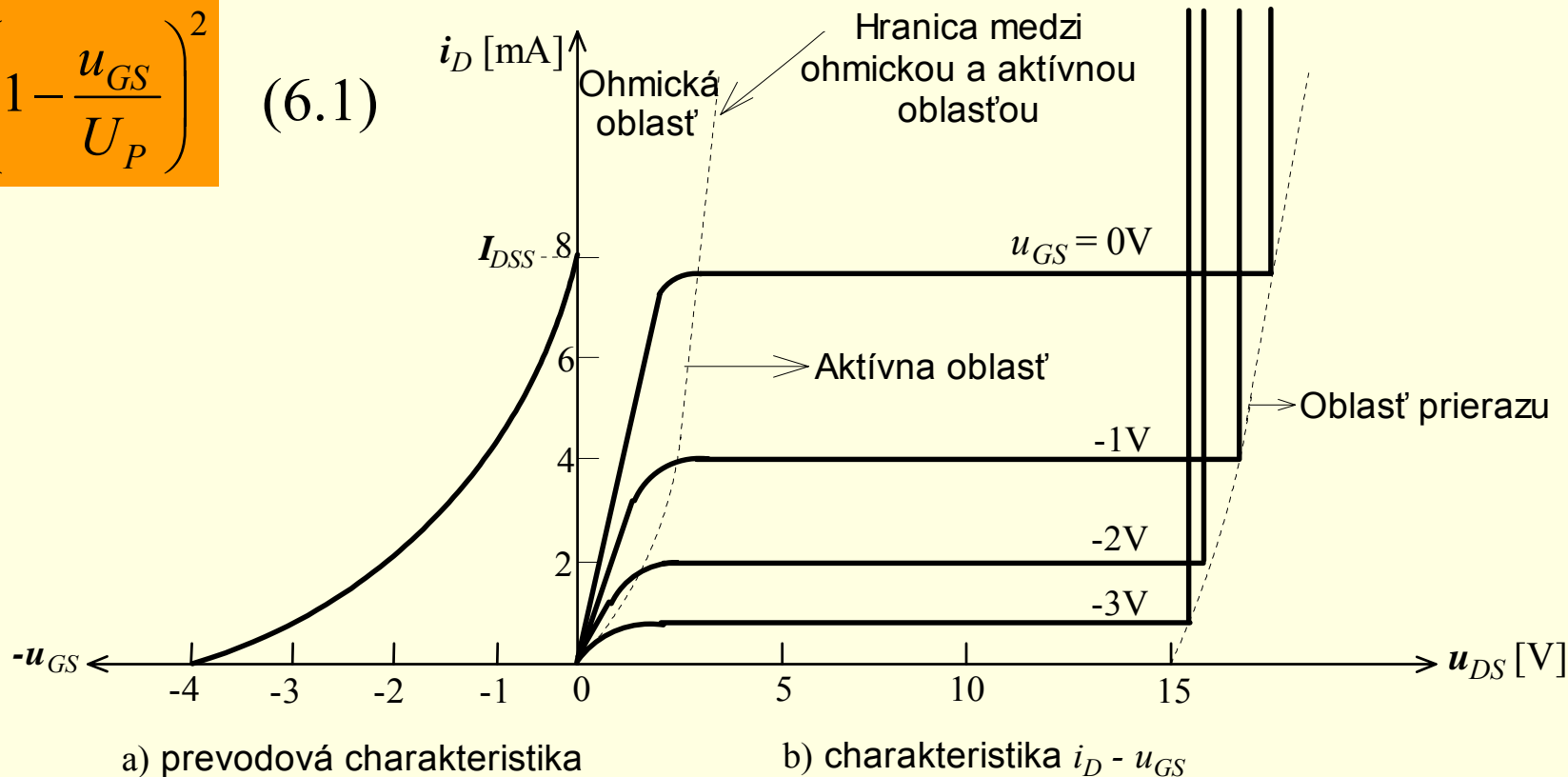


6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.2 Prevodové charakteristiky JFETu

Na Obr. je zobrazená prevodová charakteristika a i_D - u_{DS} charakteristiky pre JFET s kanálom N. Priebehy sú zakreslené pre spoločnú os i_D . Pri určení prevodovej charakteristiky budeme vychádzať z nasledujúceho vzťahu (Shockleyho rovnica):

$$\frac{i_D}{I_{DSS}} \approx \left(1 - \frac{u_{GS}}{U_P}\right)^2 \quad (6.1)$$



6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.2 Prevodové charakteristiky JFETu

Ak poznáme I_{DSS} a U_P , môžeme potom určiť celú charakteristiku. Výrobca často uvádza tieto dva parametre, takže prevodová charakteristika sa dá určiť z rovnice (6.1) alebo sa dá zostrojiť z kriviek $i_D - u_{DS}$. Prúd i_D sa dostáva do saturácie (je konštantný), keď u_{DS} prekročí napätie, ktoré zodpovedá napätiu zovretia kanála. Tento stav môžeme pre každú krivku vyjadriť rovnicou pre $u_{DS(sat)}$ nasledovne

$$u_{DS(sat)} = u_{GS} + U_P$$

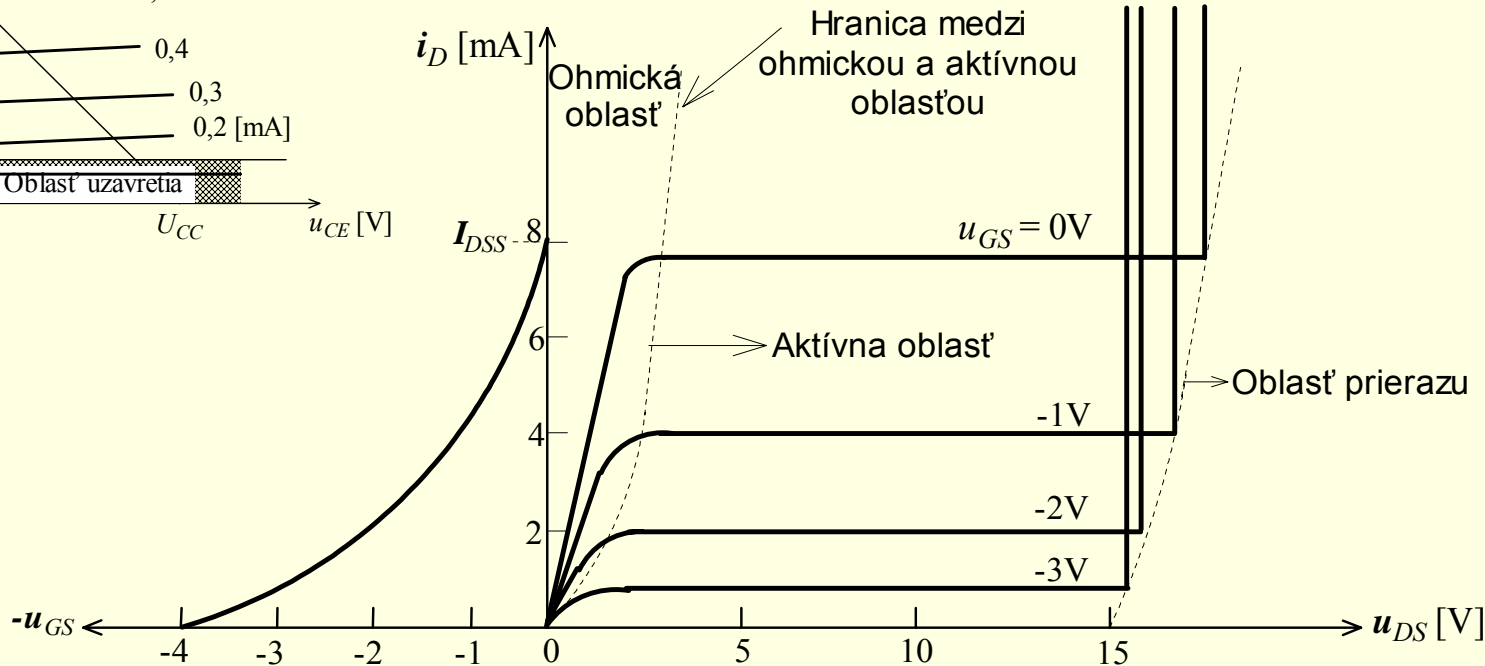
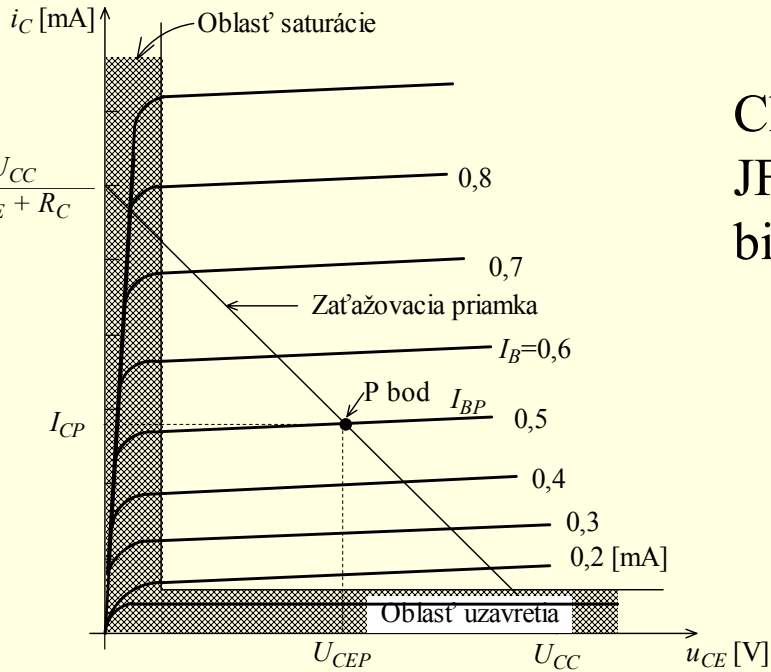
Keď bude u_{GS} zápornejšie, bod zovretia bude mať menšiu hodnotu a saturačný prúd bude menší. Užitočnou oblasťou pre lineárnu činnosť je oblasť nad bodom zovretia a pod napätím prierazu.

V tejto oblasti je i_D v saturácii a jeho hodnota závisí od u_{GS} podľa rovnice (6.1) alebo od prevodovej charakteristiky.

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.2 Prevodové charakteristiky JFETu

Charakteristiky $i_D - u_{DS}$ a prevodová charakteristika JFETu sa líšia od ekvivalentných kriviek pre bipolárny tranzistor v nasledujúcom:



a) prevodová charakteristika

b) charakteristika $i_D - u_{GS}$

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.2 Prevodové charakteristiky JFETu

FET a bipolárny tranzistor sa ďalej líšia v týchto podstatných znakoch

- Vertikálna vzdialenosť medzi dvojicou parametrických kriviek pre FET nie je lineárna vzhľadom k hodnote riadiaceho parametra. Napr. vzdialenosť medzi krivkou s parametrom $u_{GS} = 0$ a krivkou s parametrom $u_{GS} = -1$ V nie je tá istá ako medzi krivkami s parametrami $u_{GS} = -1$ V a $u_{GS} = -2$ V. Pri bipolárnom tranzistore je táto závislosť viac lineárna.
- Druhý rozdiel sa týka veľkosti a tvaru ohmickej oblasti charakteristických kriviek. Pri bipolárnych tranzistoroch sa nelineárnej prevádzke vyhýbame tým, že nepoužívame tranzistor pri hodnotách u_{CE} menších ako 5%, teda sa vyhýbame *saturačnej oblasti*. Z charakteristík JFETu vidíme, že šírka ohmickej oblasti je funkciou napätia hradlo-emitor. Keď amplitúda napätia hradlo-emitor klesá, šírka ohmickej oblasti sa zväčšuje. Ďalej si môžeme všimnúť, že napätie prierazu je funkciou napätia hradlo-emitor a kolektor-emitor. Na získanie lineárneho zosilnenia môžeme využívať len pomerne malú oblasť týchto kriviek - lineárna činnosť je v aktívnej oblasti.

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.2 Prevodové charakteristiky JFETu

Medzi bodom zovretia a bodom prerazu je kolektorový prúd v saturácii a nemení sa významnejšie v závislosti od u_{DS} . Keď FET prekročí bod zovretia, dá sa hodnota i_D určiť z charakteristických kriviek alebo z rovnice (6.1) nasledovne

$$i_D \approx I_{DSS} \left(1 - \frac{u_{GS}}{U_P} \right)^2$$

Saturačný prúd kolektor-emitor I_{DSS} je funkciou teploty, t.j.

$$I_{DSS} = KT^{-3/2}$$

kde K je konštanta. Napätie bodu zovretia je približne lineárnou funkciou teploty (podobne, ako v prípade prúdu báza-emitor pri bipolárnych tranzistoroch)

$$\Delta U_P = -k_P \cdot \Delta T$$

kde $k_P \sim 2\text{mV}/^\circ\text{C}$.

Prúdy a napätia uvedené v tejto časti reprezentujú JFET s kanálom N. Hodnoty pre JFET s kanálom P sú opačné.

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

Aby sme získali mieru možného zosilnenia v obvode s JFETmi, zavedieme parameter g_m , ktorý sa nazýva *prevodová vodivosť* (transkonduktancia). Tento parameter je analogický s prúdovým ziskom bipolárneho tranzistora. Hodnota g_m meraná v siemsenoch (S) je mierou zmeny kolektorového prúdu pri zmene napätia kolektor-emitor. Transkonduktancia sa dá vyjadriť vzt'ahom

$$g_m = \frac{\partial i_D}{\partial u_{GS}} \approx \frac{\Delta i_D}{\Delta u_{GS}} \Big|_{u_{DS} = \text{konšt.}} \quad (6.2)$$

Transkonduktancia g_m sa mení so zmenou pracovného bodu P, čo je vidieť z geometrického určenia g_m z prevodovej charakteristiky. Keď sa i_D mení, mení sa strmosť prevodovej charakteristiky (predchádzajúci Obr.), a tým sa mení g_m . Transkonduktanciu nájdeme, ak derivujeme rovnicu (6.1)

$$g_m = \frac{\partial i_D}{\partial u_{GS}} = \frac{2I_{DSS} (1 - u_{GS} / U_P)}{-U_P} \quad (6.3)$$

Definujeme

$$g_{m0} = \frac{2I_{DSS}}{-U_P}$$

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

čo je transkonduktancia pri $u_{GS} = 0$. Ak použijeme uvedenú rovnicu, bude transkonduktancia určená vzťahom

$$g_m = g_{m0} \left(1 - \frac{u_{GS}}{U_P} \right) \quad (6.4)$$

Iný tvar rovnice (6.4) nájdeme definovaním

$$k_n = \frac{I_{DSS}}{U_P^2}$$

v rovnici (6.1) a následným usporiadaním jej členov:

$$i_D = I_{DSS} \left(1 - \frac{u_{GS}}{U_P} \right)^2 = \frac{I_{DSS}}{U_P^2} (U_P - u_{GS})^2 = k_n (U_P - u_{GS})^2$$

Zvoľme P bod tak, aby $i_D = I_{DP}$ a $u_{GS} = U_{GSP}$. Potom môžeme napísať

$$U_P - U_{GSP} = -\sqrt{\frac{I_{DP}}{k_n}} \quad (6.5)$$

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

Z rovnice (6.3) dostávame

$$g_m = -\frac{2I_{DSS}}{U_P} \left(1 - \frac{U_{GSP}}{U_P}\right) = -\frac{2I_{DSS}}{U_P^2} (U_P - U_{GSP})$$

Použitím rovnice (6.5) a dosadením za $U_P - U_{GSP}$ dostaneme

$$g_m = \frac{2I_{DSS}}{U_P^2} \sqrt{\frac{I_{DP}}{k_n}} = 2\sqrt{k_n I_{DP}} \quad (6.6)$$

Inverzný dynamický odpor r_{DS} je definovaný ako prevrátená hodnota smernice charakteristickej krivky $i_D - u_{DS}$ v aktívnej oblasti

$$\frac{1}{r_{DS}} = \frac{\partial i_D}{\partial u_{DS}} \approx \frac{\Delta i_D}{\Delta u_{DS}} \Big|_{\Delta u_{GS} = \text{konšt.}} \quad (6.7)$$

Pretože je smernica charakteristiky malá v aktívnej oblasti, je r_{DS} veľké.

6.3 Princíp činnosti a konštrukcia tranzistora JFET

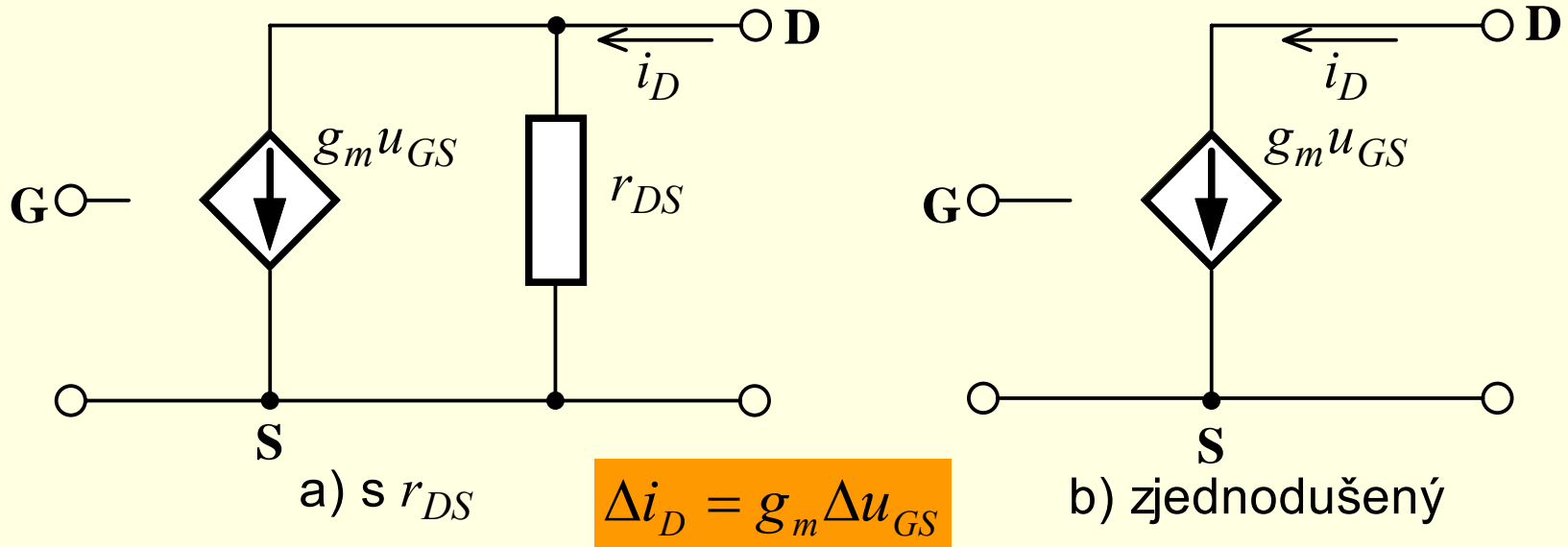
6.3.3 Náhradný obvod, g_m a r_{DS}

V ďalšom odvodíme pre JFET st náhradný obvod z výrazu

$$\Delta i_D = \frac{\partial i_D}{\partial u_{GS}} \Delta u_{GS} + \frac{\partial i_D}{\partial u_{DS}} \Delta u_{DS} \quad (6.8)$$

Rovnicu (6.8) môžeme prepísať pomocou rovníc (6.2) a (6.7) na

$$\Delta i_D = g_m \Delta u_{GS} + \frac{1}{r_{DS}} \Delta u_{DS} \quad (6.9)$$



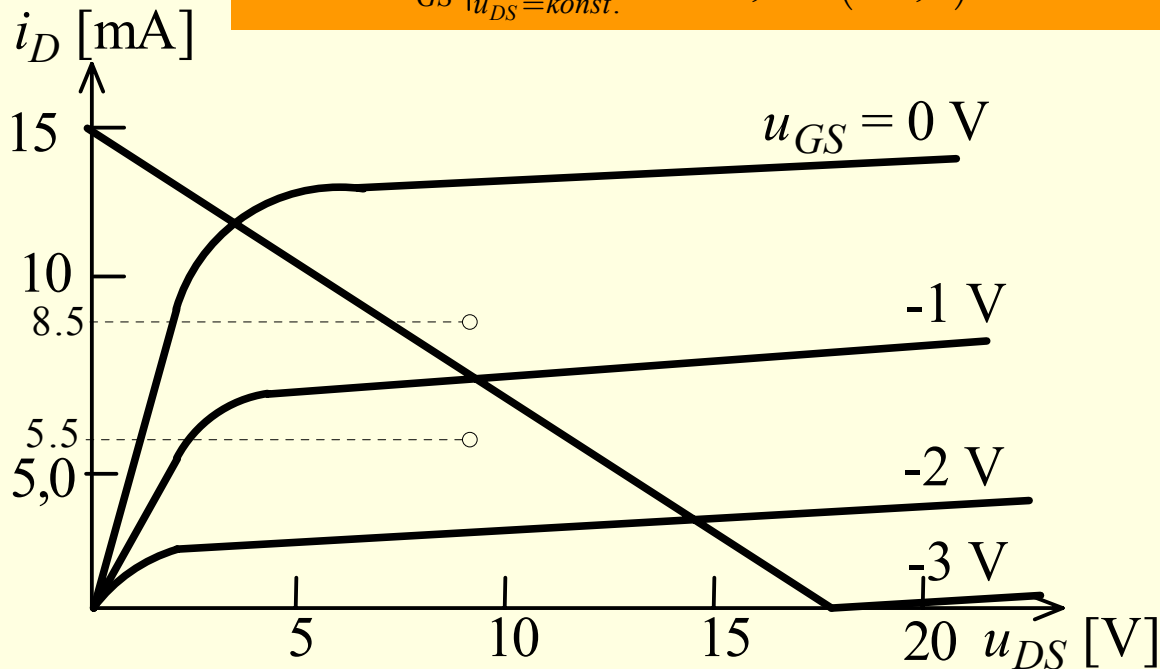
6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

Činnosť JFETu je určená hodnotami g_m a r_{DS} . Tieto parametre určíme pre JFET s kanálom N pomocou charakteristických kriviek nasledovne.

Vyberieme pracovnú oblasť, ktorá je približne v strede charakteristických kriviek, t.j. medzi $u_{GS} = -0,8 \text{ V}$ a $u_{GS} = -1,2 \text{ V}$ a $i_D = 8,5 \text{ mA}$ a $i_D = 5,5 \text{ mA}$. Z rovnice (6.2) určíme

$$g_m = \left. \frac{\Delta i_D}{\Delta u_{GS}} \right|_{u_{DS}=\text{konšt.}} = \frac{(5,5 - 8,5) \text{ mA}}{-1,2 - (-0,8)} = 75 \text{ mS}$$



6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

Ak nie sú dostupné charakteristiky JFETu, dá sa g_m a u_{GS} určiť matematicky za predpokladu, že I_{DSS} a U_P sú známe. Uvedené parametre sa dajú nájsť v katalógových listoch výrobcu. Pokojový kolektorový prúd I_{DP} umiestňujeme medzi $0,3I_{DSS}$ a $0,7I_{DSS}$, čím dosiahneme umiestnenie P bodu do najlineárnejšej oblasti charakteristík. Z rovnice (6.1) pre pracovný bod dostávame

$$g_m = g_{m0} \left(1 - \frac{u_{GS}}{U_P} \right),$$

kde

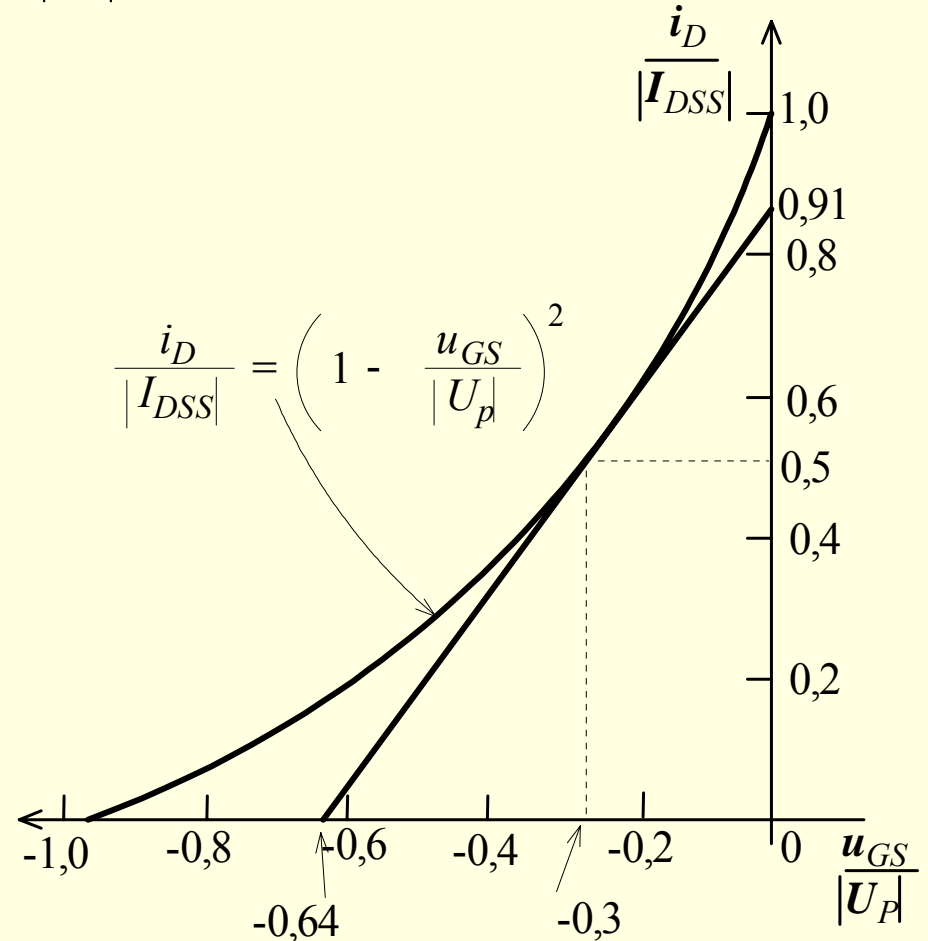
$$g_{m0} = \frac{2I_{DSS}}{-U_P}$$

6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

Vzťah medzi i_D a u_{GS} sa dá zakresliť v normovanom grafe (Obr.). Vertikálna (y-ová) os

grafu je $i_D / |I_{DSS}|$ a horizontálna (x-ová) os je $u_{GS} / |U_P|$. Smernica charakteristiky je g_m .



6.3 Princíp činnosti a konštrukcia tranzistora JFET

6.3.3 Náhradný obvod, g_m a r_{DS}

Jednoduchý postup na umiestnenie pracovného bodu do stredu lineárnej oblasti je nasledovný:

- Vyberieme $I_D = I_{DSS} / 2$. Z charakteristiky na predchádzajúcom Obr. vychádza

$$U_{GSP} = 0,3U_P .$$

- Vyberieme $U_{DSP} = U_{DD} / 2$

Zo smernice krivky na predchádzajúcom Obr. určíme transkonduktanciu v pracovnom bode P.

$$g_m = \frac{0,91I_{DSS}}{0,64U_P} = \frac{1,42I_{DSS}}{U_P} = -0,71g_{m0}$$

Uvedené vzťahy obyčajne reprezentujú dobrý odhad hodnôt pracovného bodu JFETu.

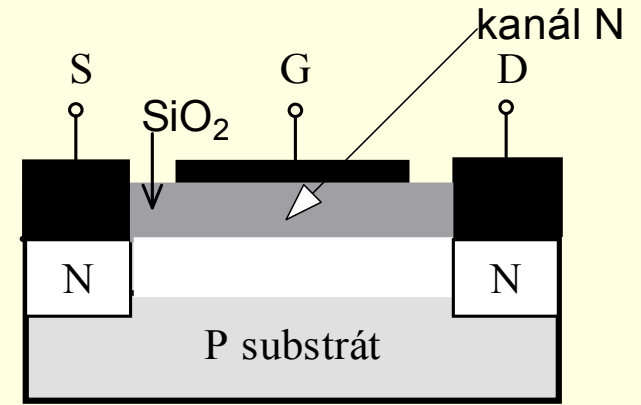
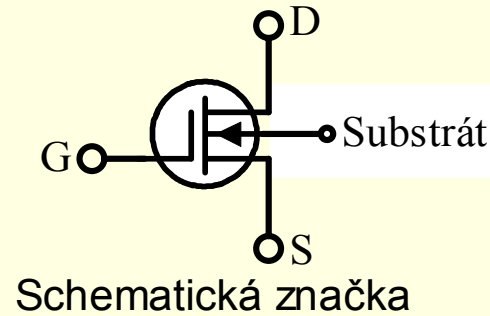
6.4 Princíp činnosti tranzistora MOSFET a jeho konštrukcia

V tejto časti sa budeme zaoberať FETom so štruktúrou *kov-oxid-polovodič* (MOSFET). Tento typ FETu je konštrukčne riešený tak, že hradlo je izolované od kanála dielektrikom kysličníka kremičitého (SiO_2). Môže pracovať v:

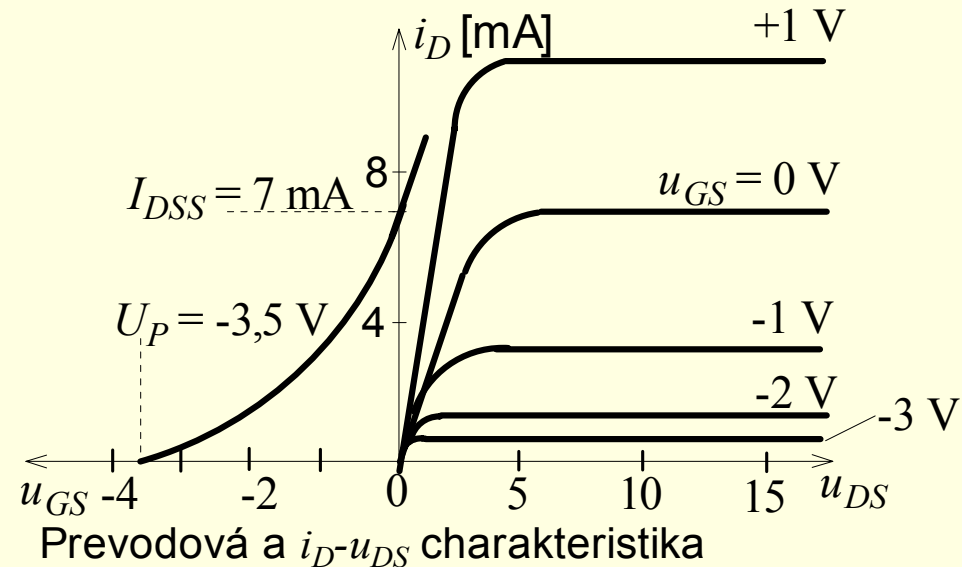
- *obohacovacom* (enhancement)
- *ochudobňovacom* (depletion) móde.

6.4 Princíp činnosti tranzistora MOSFET a jeho konštrukcia

6.4.1 MOSFET pracujúci v ochudobňovacom móde



Na obrázku je náčrt konštrukcie MOSFETu s kanálom N, schematická značka, prevodová charakteristika a charakteristika $i_D - u_{GS}$. MOSFET v ochudobňovacom móde má kanál fyzicky realizovaný medzi emitorom a kolektorom. Výsledkom je, že po pripojení napätia u_{DS} tečie kanálom (medzi kolektorom a emitorom) prúd i_D . MOSFET v ochudobňovacom móde s kanálom N je vytvorený na podložke P, ktorá je dotovaná ako polovodič typu P. Emitor a kolektor sú polovodiče typu N. Tvoria nízkooporové spojenie medzi koncami kanálu N a hliníkovými kontaktmi emitora (S) a kolektora (D). Vrstva SiO_2 , ktorá má úlohu hradlového izolantu je na povrchu kanálu N. Hliníkový kontakt umiestnený na izolátore SiO_2 tvorí vývod hradla (G).



6.4.1 MOSFET pracujúci v ochudobňovacom móde

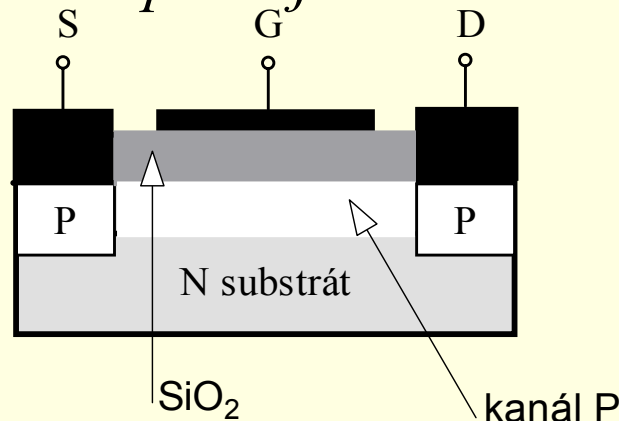
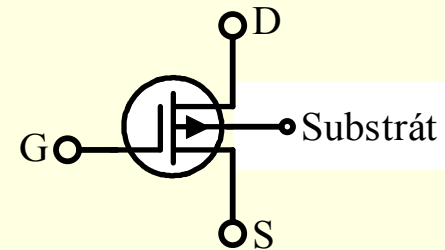


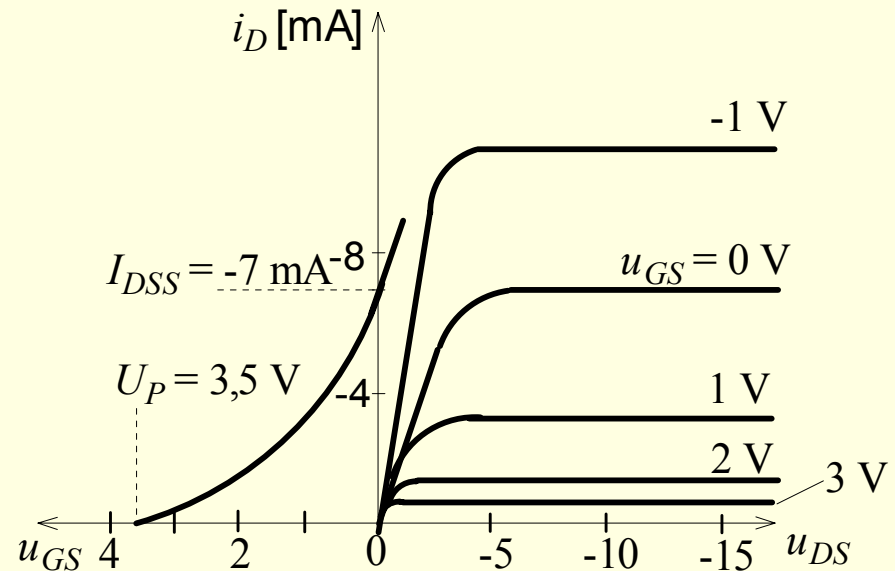
Schéma fyzikálnej štruktúry



Schematická značka

Na obrázku je náčrt konštrukcie MOSFETu s kanálom P, schematická značka, prevodová charakteristika a charakteristika $i_D - u_{GS}$.

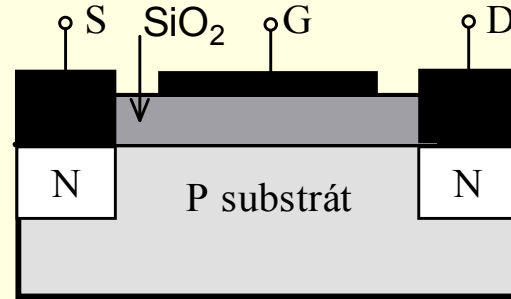
Ako vidieť z obrázkov je činnosť tranzistora MOSFET v ochudobňovacom móde podobná činnosti JFETu. Pri tranzistoroch MOSFET v ochudobňovacom móde však neexistuje PN prieschod medzi hradlom a kanálom - vrstva SiO_2 sa správa ako izolátor. Pretože záporné napätie (pri MOSFETE s kanálom N) bude vytláčať elektróny z oblasti kanála, používa sa tiež termín tranzistor s ochudobneným kanálom. Keď u_{GS} dosiahne hodnotu U_P , dôjde k zovretiu kanála. Pri kladných hodnotách u_{GS} sa bude rozmer kanála zväčšovať, čo sa prejaví zvýšením kolektorového prúdu.



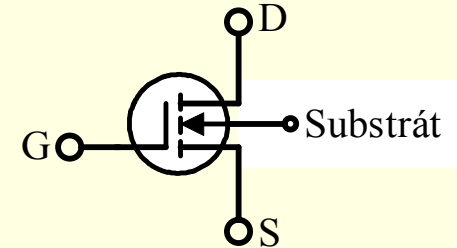
Prevodová a $i_D - u_{DS}$ charakteristika

6.4 Princíp činnosti tranzistora MOSFET a jeho konštrukcia

6.4.2 MOSFET pracujúci v obohacovacom móde-kanál N

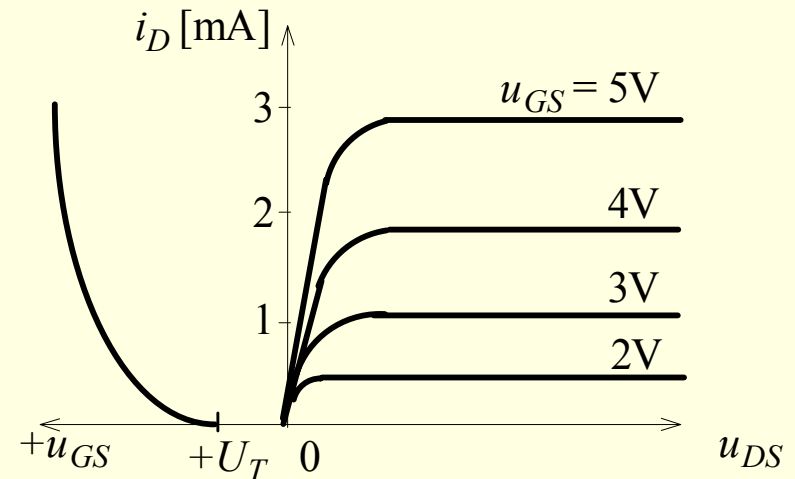


a) Schéma fyzikálnej štruktúry



b) Schematická značka

MOSFET pracujúci v obohacovacom móde je na Obr. Od MOSFETu pracujúceho v ochudobňovacom móde sa líši v tom, že nemá tenkú vrstvu (kanál) N a na vytvorenie kanálu potrebuje kladné napätie u_{GS} medzi hradlom a emitorom, ktoré z oblasti podložky priťahuje elektróny medzi N dotovaný kolektor a N dotovaný emitor. Kladné napätie u_{GS} spôsobí, že elektróny sa akumulujú pri povrchu pod kysličnikovou vrstvou. Keď napätie dosiahne prahovú hodnotu U_T , je pritiažených dostatok elektrónov na vytvorenie vodivého kanálu N. Pokiaľ napätie u_{GS} neprekročí U_T , bude tiecť kanálom nepatrný prúd.

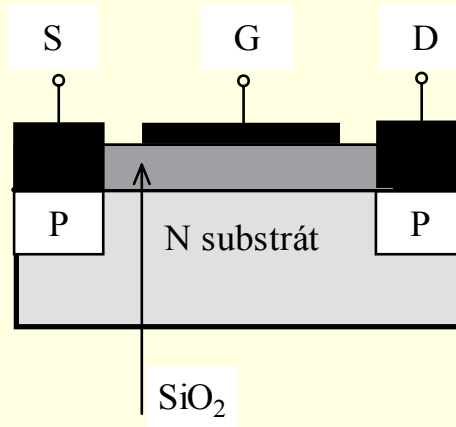


c) Prevodová a i_D - u_{DS} charakteristika

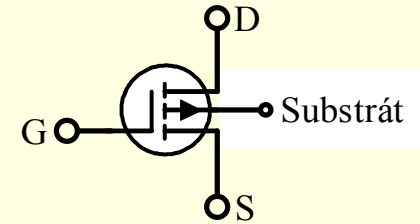
6.4 Princíp činnosti tranzistora MOSFET a jeho konštrukcia

6.4.2 MOSFET pracujúci v obohacovacom móde- kanál P

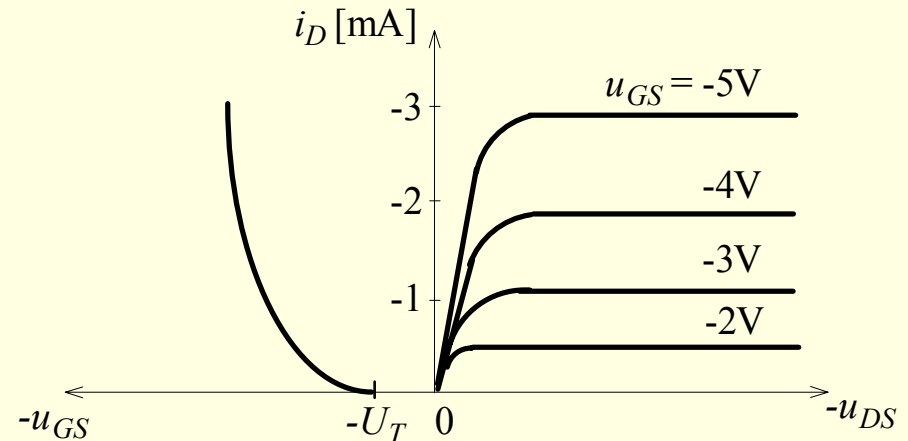
Napriek tomu, že sú viac obmedzené v pracovnej činnosti ako MOSFETy pracujúci v ochudobňovacom móde, nachádzajú tieto typy MOSFETov svoje využitie v aplikáciách integrovaných obvodov pre malé rozmery a jednoduchú konštrukciu. Hradlo pri MOSFEToch s kanálom N a P je reprezentované kovovou vrstvou umiestnenou na vrstve SiO_2 . Na vytvorenie emitora a kolektora je pri výrobe do materiálu podložky (P typ pre kanál N a N typ pre kanál P) nadifundovaný materiál s opačným typom vodivosti.



a) Schéma fyzikálnej štruktúry



b) Schematická značka



c) Prevodová a i_D - u_{DS} charakteristika

6.4 Princíp činnosti tranzistora MOSFET a jeho konštrukcia

6.4.2 MOSFET pracujúci v obohacovacom móde

Pre MOSFET v obohacovacom móde nedefinujeme hodnotu prúdu I_{DSS} , pretože kým sa nevytvorí kanál, kolektorový prúd je nulový. Pre $u_{GS} = 0$ je prúd I_{DSS} nulový. Pre hodnoty

$$u_{GS} > U_T$$

môžeme kolektorový prúd v saturácii vypočítať z rovnice

$$i_D = k(u_{GS} - U_T)^2 \quad (6.10)$$

Hodnota k závisí od konštrukcie MOSFETu a je predovšetkým funkciou šírky a dĺžky kanála. Typická hodnota pre k je $0,3 \text{ mA/V}^2$. Prahové napätie je špecifikované výrobcom. Hodnotu g_m môžeme určiť derivovaním rovnice (6.10), podobne ako pri JFEToch a dostaneme

$$g_m = \frac{\partial i_D}{\partial u_{GS}} = 2k(u_{GS} - U_T) \quad (6.11)$$

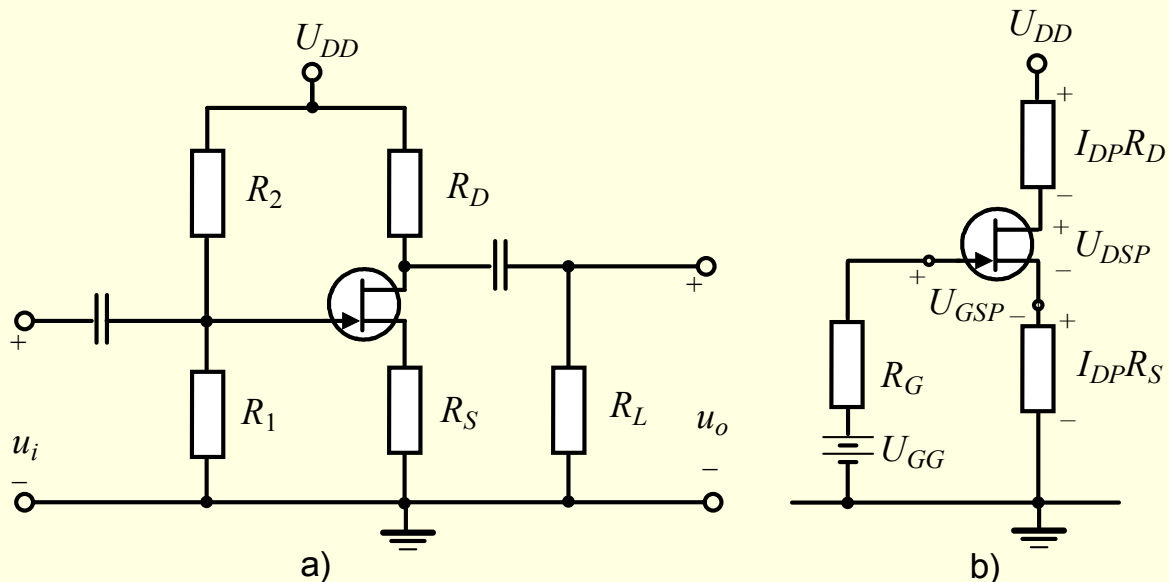
Ak $u_{GS} < U_T$, potom $i_D = 0$.

6.5 Nastavenie pracovného bodu FETu

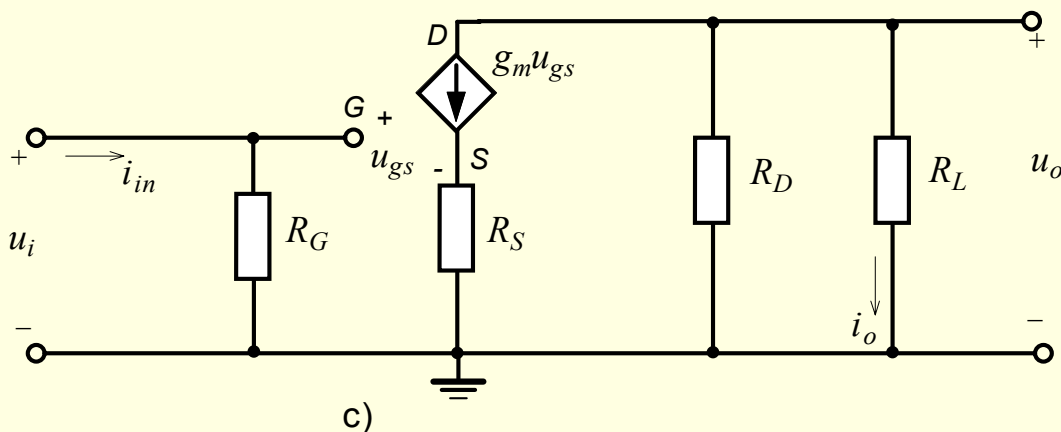
Tie isté základné obvody, ktoré boli použité na nastavenie pracovného bodu bipolárnych tranzistorov sa dajú použiť aj na nastavenie pracovného bodu JFETov a MOSFETov v ochudobňovacom móde. Pre aktívnu oblasť JFETu a MOSFETu v ochudobňovacom móde musí však byť polarita u_{GS} opačná ako je polarita napätového zdroja.

Pri voľbe pracovného bodu nie je k dispozícii napätie opačnej polarity, potrebné na splnenie uvedených obvodových požiadaviek. Aby sme získali napätia správnej polarity je niekedy potrebné vynechať rezistor R_2 (Obr.). Sú však prípady, že ani týmto spôsobom nie je vždy možné určiť hodnotu rezistora tak, aby sa dosiahol požadovaný P bod. V takých prípadoch môže výber nového P bodu poskytnúť riešenie spomínaného problému.

6.5 Nastavenie pracovného bodu FETu



Uvažujme rovnice na nastavenie pracovného bodu zosilňovača so spoločným emitorom (SS) s JFETom (Obr.). Metóda nastavenia pracovného bodu zosilňovača s MOSFETom v ochudobňovacom móde je podobná.



6.5 Nastavenie pracovného bodu FETu

Na predchádzajúcom Obr. je FET zosilňovač s jedným napájacím zdrojom na nastavenia predpätia tranzistora. Pomocou Théveninovej vety dostaneme pre obvod predpätia:

$$R_G = R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} \quad (6.12)$$

$$U_{GG} = \frac{U_{DD} R_1}{R_1 + R_2} \quad (6.13)$$

Pretože v obvode vystupujú tri neznáme premenné I_{DP} , U_{GSP} a U_{DSP} , potrebujeme tri rovnice.

- Prvú rovnicu dostaneme zo slučky hradlo-emitor na predchádzajúcom Obr.b).

$$U_{GG} = U_{GSP} + I_{DP} \cdot R_S \quad (6.14)$$

Pripomeňme, že prúd do hradla je nulový, a preto na rezistore R_G je nulové napätie.

- Druhú rovnicu dostaneme z II. K.Z. pre slučku kolektor-emitor v tvare

$$U_{DD} = U_{DSP} + I_{DP}(R_S + R_D) \quad (6.15)$$

- Tretiu rovnicu potrebnú na určenie pracovného bodu dostaneme z rovnice (6.1), ktorú uvedieme pre $i_D = I_{DP}$ a $u_{GS} = U_{GSP}$:

$$\frac{I_{DP}}{I_{DSS}} = \left(1 - \frac{U_{GSP}}{U_P} \right)^2 \quad (6.16)$$

6.5 Nastavenie pracovného bodu FETu

Uvedené rovnice postačujú pre stanovenie pracovného bodu JFETu a MOSFETu v ochudobňovacom móde, pracujúce ako lineárne zosilňovače.

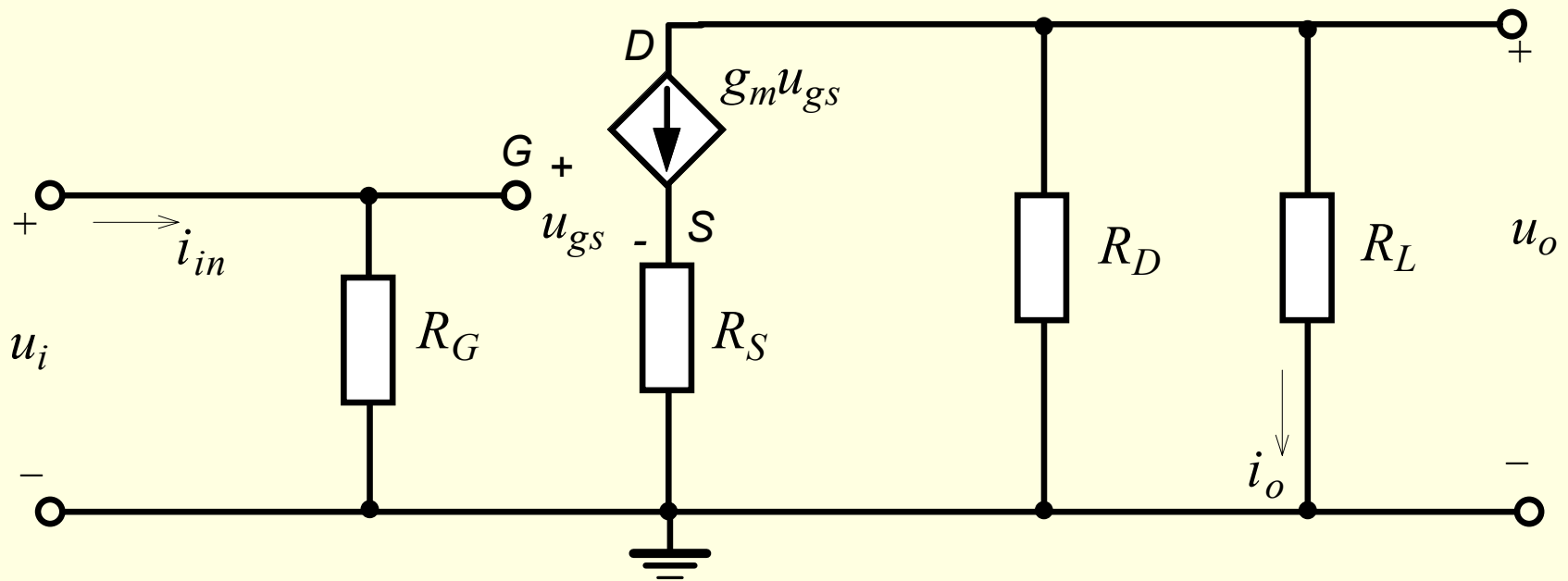
MOSFET v obohacovacom móde sa využíva v číslicových integrovaných obvodoch.

V zapojeniach zosilňovačov s FETmi nepotrebujeme umiestniť P bod do stredu st zaťažovacej priamky, ako to bolo pri nastavení pracovného bodu bipolárnych tranzistorov.

FET zosilňovače používame na vstupe viacstupňových zosilňovačov, aby sa využil ich vysoký vstupný odpor. V tejto časti obvodu sú napäťové úrovne také malé, že zosilňovač nemusí byť navrhovaný z hľadiska maximálneho rozkmitu výstupného napätia. Okrem toho sú charakteristiky FETu nelineárne a veľkým vstupným rozkmitom by sme mohli generovať skreslený výstupný signál.

6.6 Analýza zesilňovača v zapojení SS

Na Obr. je st náhradný obvod FET zesilňovača. Pretože predpokladáme, že r_{DS} je veľký v porovnaní s $R_D \parallel R_L$, môžeme ho zanedbať. Z II. K.Z. pre obvod hradlo-emitor dostaneme



6.6 Analýza zosilňovača v zapojení SS

$$u_{gs} = u_i - R_S i_D = u_i - R_S g_m u_{gs}$$

Riešením pre u_{gs} dostaneme

$$u_{gs} = \frac{u_i}{1 + R_S g_m}$$

Výstupné napätie u_o určíme zo vzťahu

$$u_o = -i_d (R_D \parallel R_L) = \frac{-(R_D \parallel R_L) u_i g_m}{1 + R_S g_m}$$

Napät'ový zisk A_u potom bude

$$A_u = \frac{u_o}{u_i} = \frac{-g_m (R_D \parallel R_L)}{1 + R_S g_m} = -\frac{R_D \parallel R_L}{R_S + 1/g_m} \quad (6.17)$$

Rezistor R_S je niekedy premostený kondenzátorom. V takom prípade napät'ový zisk vzrastie podľa vzťahu

$$A_u = -(R_D \parallel R_L) g_m \quad (6.18)$$

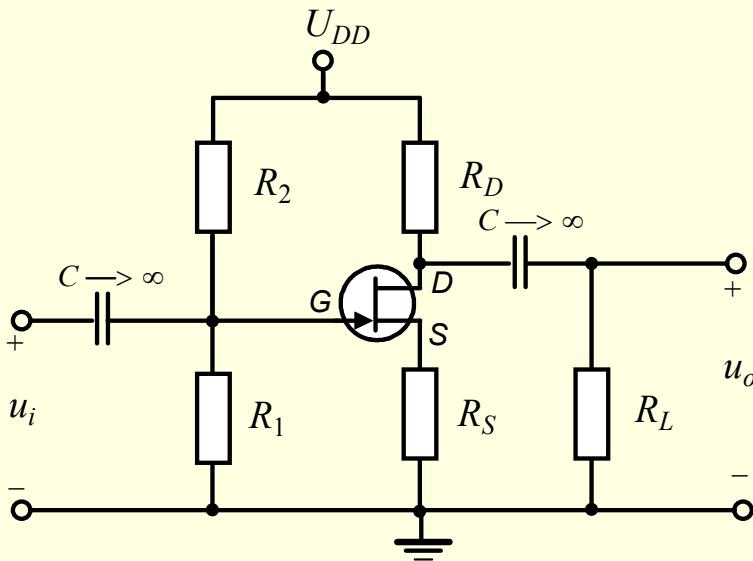
Vstupný odpor a prúdový zisk sú dané nasledujúcimi vzťahmi

$$R_{in} = R_G = R_1 \parallel R_2 \quad (6.19)$$

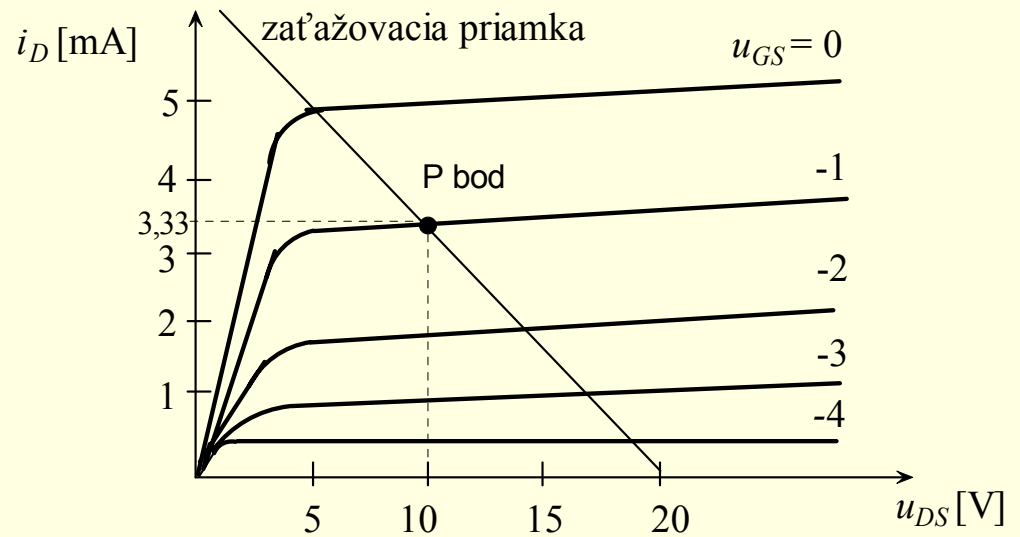
$$A_i = \frac{i_o}{i_{in}} = \frac{A_u R_{in}}{R_L} = \frac{-(R_D \parallel R_L) R_{in}}{1/g_m + R_S} \frac{R_{in}}{R_L} = \frac{-R_G}{1/g_m + R_S} \frac{R_D}{R_L + R_D} \quad (6.20)$$

6.7 Návrh zosilňovača v zapojení SS

Zosilňovače sú navrhované tak, aby realizovali požadovaný zisk v rámci pracovnej oblasti tranzistora. Obyčajne je určené napájacie napätie, zaťažovací odpor, napät'ový zisk a vstupný odpor (alebo prúdový zisk). Našou úlohou je vybrať hodnoty odporov R_1 , R_2 , R_D a R_S . Nasledujúce kroky postupu budeme vzťahovať na obvod na Obr. Tento postup predpokladá, že bol vybraný tranzistor, a že sú známe jeho charakteristiky alebo prinajmenšom parametre U_P a I_{DSS} .



a)



b)

6.7 Návrh zosilňovača v zapojení SS

1.krok Zvolíme P bod v najlineárnejšej časti charakteristík JFETu. Uvažujeme napríklad charakteristiky na predchádzajúcom Obr.b). Tým je určené U_{DSP} , U_{GSP} , I_{DP} a g_m . Ak nie je známa charakteristika $i_D - u_{GS}$, použijeme normovanú charakteristiku s hodnotami I_{DSS} a U_P určenými pre použitý typ tranzistora.

2.krok Na základe II. KZ (rovnic (6.15)) napíšeme pre slučku kolektor-emitor rovnicu

$$U_{DD} = U_{DSP} + I_{DP}(R_S + R_D)$$

Riešenie pre súčet dvoch rezistorov je

$$R_S + R_D = \frac{U_{DD} - U_{DSP}}{I_{DP}} = K_1 \quad (6.21)$$

Rovnica (6.21) predstavuje jednu rovnicu o dvoch neznámych R_S a R_D .

3.krok Ako druhú rovnicu pre neznáme R_S a R_D použijeme rovnicu pre napät'ový zisk (6.17). Rovnicu (6.21) dosadíme do (6.17):

$$A_u = \frac{-(R_D \parallel R_L)}{1/g_m + R_S} = \frac{-(R_D \parallel R_L)}{1/g_m + (K_1 - R_D)} \quad (6.22)$$

Jedinou neznámou je tu odpor R_D . Riešenie pre R_D vedie na kvadratickú rovnicu, ktorá má dve riešenia (jedno záporné a jedno kladné). Ak pre kladné riešenie platí $R_D > K_1$, potom R_S vychádza záporné a musíme vybrať nový P bod (začíname celý návrh odznova). Ak pre kladné riešenie platí $R_D < K_1$, môžeme pokračovať 4. krokom.

6.7 Návrh zosilňovača v zapojení SS

4.krok Na výpočet R_S použijeme rovnicu (6.21), t.j. rovnicu slučky kolektor-emitor, ktorá bola odvodená v kroku č. 2:

$$R_S = \frac{U_{DD} - U_{DSP}}{I_{DP}} - R_D$$

So známym R_D a R_S potrebujeme už len určiť R_1 a R_2 .

5.krok Napíšeme II. K.Z. pre slučku hradlo-emitor (rovnicu (6.14)):

$$U_{GG} = U_{GSP} + I_{DP}R_S$$

Napätie U_{GSP} má opačnú polaritu ako U_{DD} . Teda člen $I_{DP}R_S$ musí mať väčšiu hodnotu ako U_{GSP} . Inak U_{GG} bude mať opačnú polaritu ako U_{DD} , čo na základe rovnice (6.13) nie je možné.

6.krok Pri hľadaní hodnôt R_1 a R_2 predpokladáme, že U_{GG} , ktoré sme vypočítali v 5. kroku má *tú istú polaritu* ako U_{DD} . Hodnoty rezistorov potom určíme nájdením hodnoty R_G z rovnice pre prúdový zisk (rovnicu (6.20)) alebo zo vstupného odporu. Riešením rovnice (6.12) a (6.13) nájdeme R_1 a R_2 :

$$R_1 = \frac{R_G}{1 - U_{GG}/U_{DD}}$$

$$R_2 = \frac{R_G U_{DD}}{U_{GG}}$$

6.7 Návrh zosilňovača v zapojení SS

7.krok

Ak U_{GG} má opačnú polaritu ako U_{DD} , nie je možné nájsť riešenie pre R_1 a R_2 . Môžeme postupovať tak, že budeme predpokladať $U_{GG} = 0$ V, teda $R_2 \rightarrow \infty$. Keďže U_{GG} je určené rovnicou (6.14), musí byť na základe nového predpokladu pre U_{GG} predtým vypočítaná hodnota R_S modifikovaná. Na Obr. je použitý kondenzátor na premostenie časti R_S . Novú hodnotu R_S odvodíme nasledujúcim spôsobom

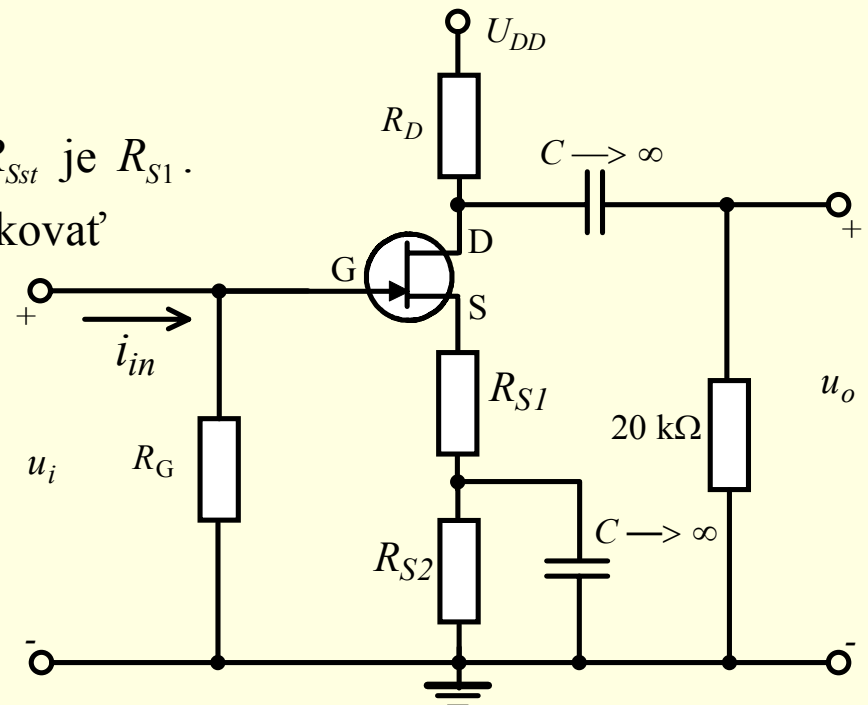
$$U_{GG} = 0 = U_{GSP} + I_{DP} \cdot R_{Sjs}$$

Riešenie pre R_{Sjs} je

$$R_{Sjs} = \frac{-U_{GSP}}{I_{DP}}$$

Hodnota R_{Sjs} je $R_{S1} + R_{S2}$ a hodnota R_{Sst} je R_{S1} .

Tým, že máme nové R_{Sjs} , musíme opakovať niekoľko krokov.



6.7 Návrh zosilňovača v zapojení SS

8.krok Použitím II. K.Z. pre slučku kolektor-emitor určíme R_D (opakujeme 2. krok)

$$R_D = K_1 - R_{Sjs}$$

Úlohou návrhu je v tomto prípade výpočet emitorových odporov R_{S1} a R_{S2} namiesto výpočtu iba jedného emitorového odporu.

Novú hodnotu R_D z rovnice $K_1 - R_{Sjs}$ použijeme v rovnici pre napäťový zisk (6.17). Keďže sa jedná o rovnicu pre st signály, namiesto R_S dosadíme R_{Sst} . V ďalšom návrhu musíme brať v úvahu dodatočné kroky.

6.7 Návrh zosilňovača v zapojení SS

9.krok Z rovnice pre napät'ový zisk (6.17) určíme R_{Sst} (ktorý je rovný odporu R_{S1}):

$$A_u = \frac{-(R_D \parallel R_L)}{1/g_m + R_{Sst}}$$

R_{Sst} je v tejto rovnici jedinou neznámou a preto

$$R_{Sst} = -\frac{R_D \parallel R_L}{A_u} - \frac{1}{g_m}$$

Predpokladajme, že R_{Sst} je kladné ale menšie ako R_{Sjs} , pretože

$$R_{Sjs} = R_{Sst} + R_{S2}$$

Tým je náš návrh dokončený a

$$R_1 = R_{in} = R_G$$

10.krok Predpokladajme, že nájdený R_{Sst} je kladný, ale väčší ako R_{Sjs} . Pre takto zvolený P bod sa nedá navrhnuť zosilňovač s požadovaným napät'ovým ziskom. Preto musíme zvoliť nový P bod a vrátiť sa na 1. krok. Ak je napät'ový zisk príliš vysoký, nemusí zmena polohy P bodu viesť k riešeniu. V tom prípade je potrebné použiť iný tranzistor alebo sú potrebné dva zosilňovacie stupne.

6.8 Tranzistor FET ako Analógový spínač

6.8.1 Princíp činnosti

Analógový spínač má v závislosti od vonkajšieho ovládacieho signálu *preniesť analógový signál* (napätie alebo prúd) podľa možnosti *bez zmeny veľkosti a tvaru* alebo *zadržať analógový signál*.

Spínanie analógových signálov s veľkou rýchlosťou a presnosťou možno realizovať podstatne ťažšie ako spínanie číslicových signálov.

Osobitné ťažkosti sú pri spínaní malých jednosmerných napätí a prúdov (v rozsahu mV, príp. μA a menej) vzhľadom na rušivé vplyvy ofsetových, driftových veličín a termonapätí.

Chyby pri spínaní spôsobujú najmä tieto veličiny spínača:

- ofsetové napätie,
- odpor v priamom smere,
- zvyškový prúd (prúd v spätnom smere),
- kapacita.

6.8 Tranzistor FET ako Analógový spínač

6.8.1 Princíp činnosti

Tranzistor FET ako analógový spínač má nasledujúce výhody:

- poskytuje takmer dokonalú izoláciu medzi ovládacou elektródou (G) a spínacou dráhou (t.j. analógovým kanálom),
- môže spínať kladné aj záporné napätia,
- vyznačuje sa nulovým ofsetovým napätím v zopnutom stave (môže spínať malé napätia),
- má veľmi malý ovládací výkon,
- vyznačuje sa veľkým spínacím pomerom (r_{vyp}, r_{zap}).

Prvú z uvedených podmienok spĺňa najmä MOSFET. Vzhľadom na ľahkú integrovateľnosť sa v integrovaných obvodoch používa *ochudobňovací typ tranzistora* MOSFET častejšie ako JFET.

6.8 Tranzistor FET ako Analógový spínač

6.8.1 Princíp činnosti

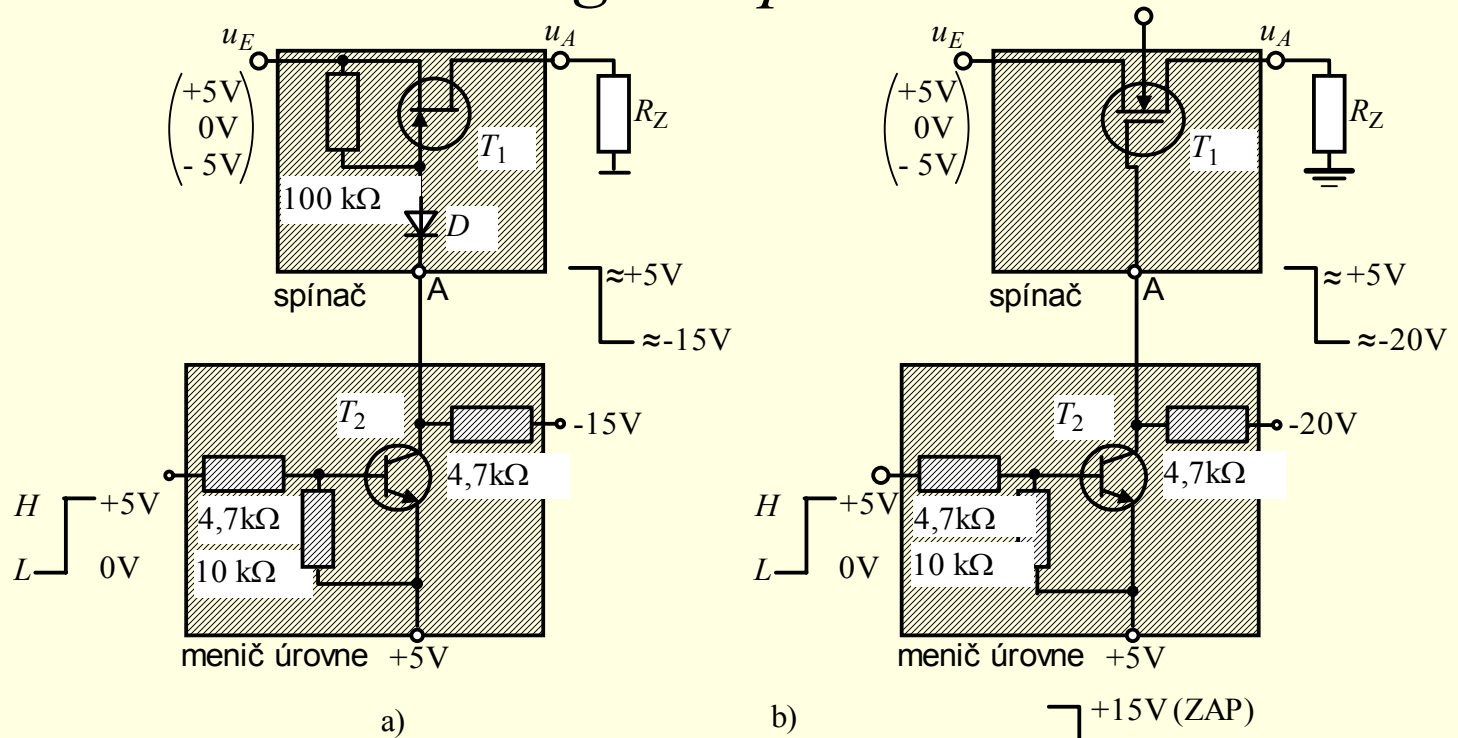
Pri voľbe potenciálov hradla pre zopnutý a rozopnutý stav treba brať do úvahy to, že vstupné napätie ovplyvňuje tieto hodnoty. Predpätie substrátu ovplyvňuje prahové napätie tranzistora FET. Čím väčší je rozsah vstupného napätia, tým väčšiu hodnotu musí mať aj ovládacie napätie. Pritom sa však nesmie prekročiť prierazné napätie tranzistora FET.

Potenciál substrátu tranzistora FET s kanálom P musí byť stále kladnejší ako najkladnejší potenciál emitora a kolektora. Potenciál substrátu tranzistora FET s kanálom N musí byť zase zápornejší ako potenciál emitora a kolektora.

Tranzistor FET s kanálom P je vhodný najmä na spínanie kladných signálov, pretože pri rastúcom vstupnom napätí sa FET dostáva ďalej do priepustnej oblasti. Tranzistor FET s kanálom N je z rovnakých dôvodov zase vhodnejší na spínanie záporných napätí.

6.8 Tranzistor FET ako Analógový spínač

6.8.2 Analógové spínače

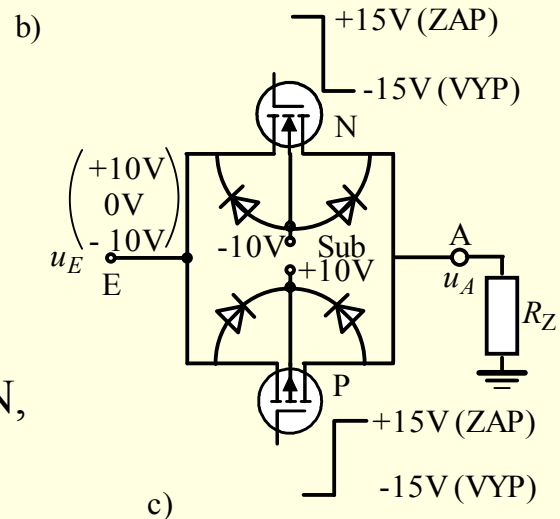


Analógové spínače s meničmi úrovně

a) s tranzistorom JFET s kanálom N,

b) s ochudobňovacím typom MOSFET s kanálom N,

c) spínač CMOS

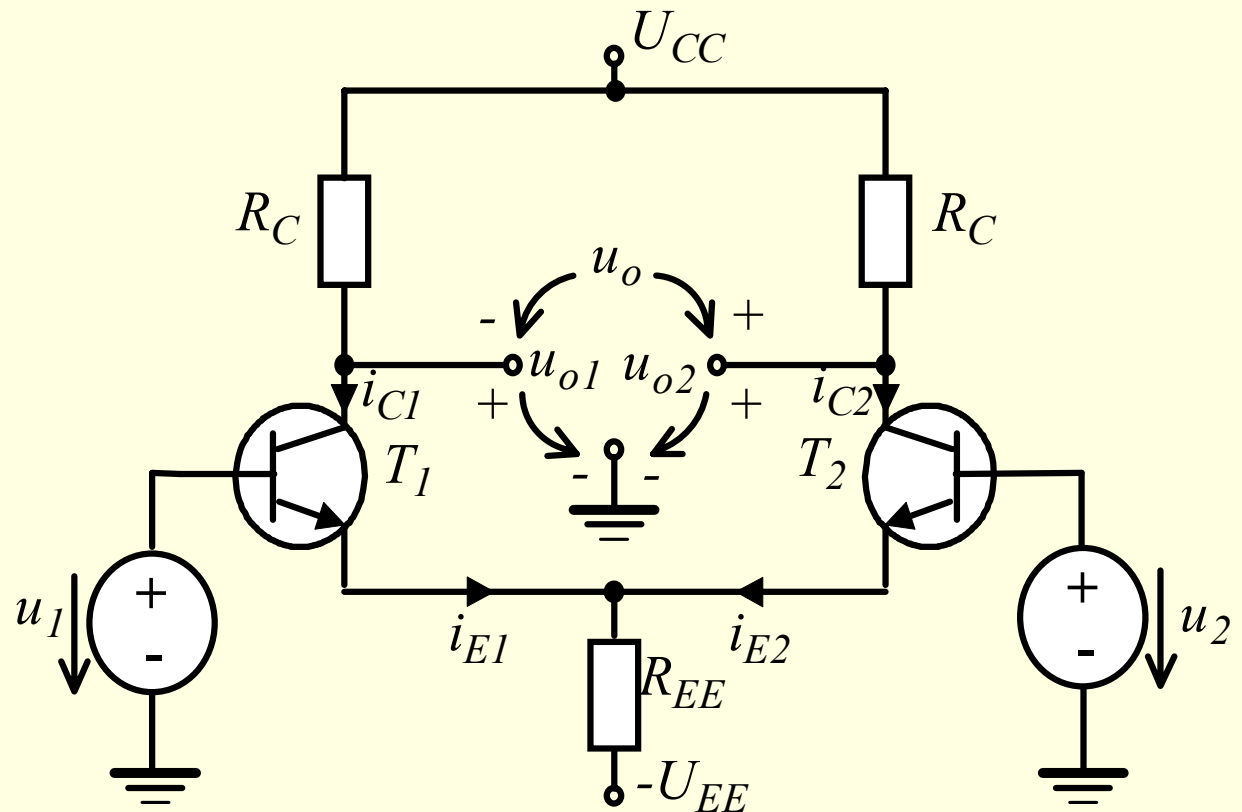


1 Diferenčný zosilňovač

- **1.1 Jednosmerné prenosové charakteristiky**
- **1.2 Súhlasné a diferenčné zosilnenie**
- **1.3 Diferenčný zosilňovač s konštantným zdrojom prúdu**
- **1.4 Diferenčný zosilňovač s nesymetrickým vstupom**

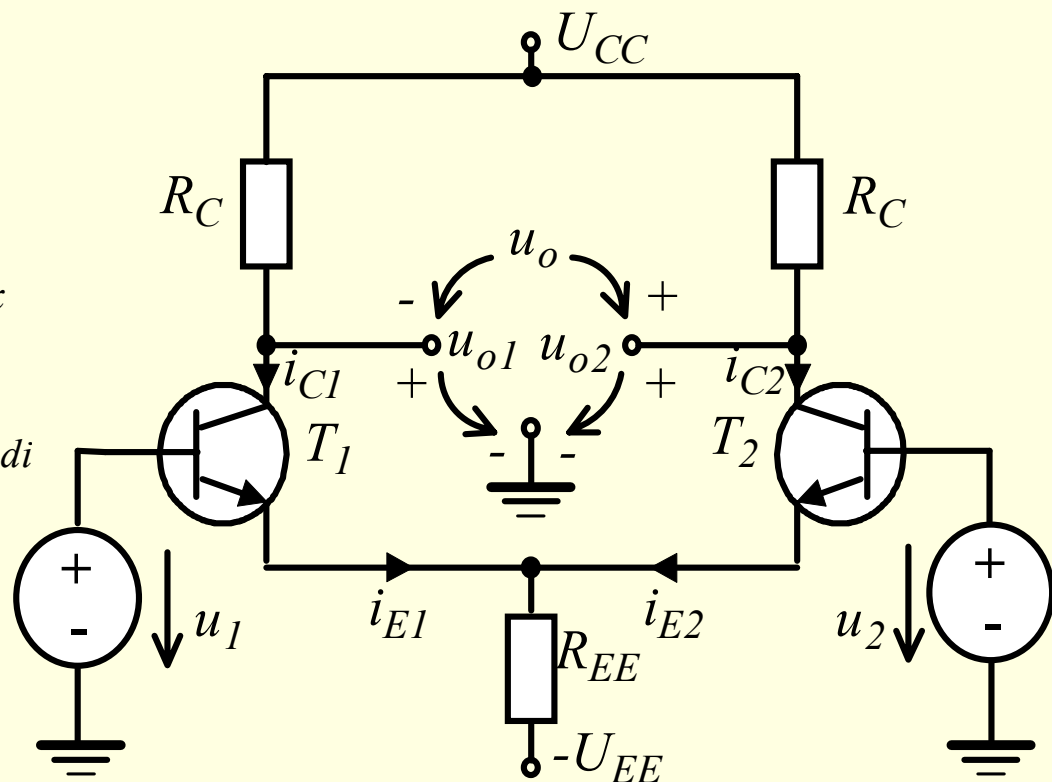
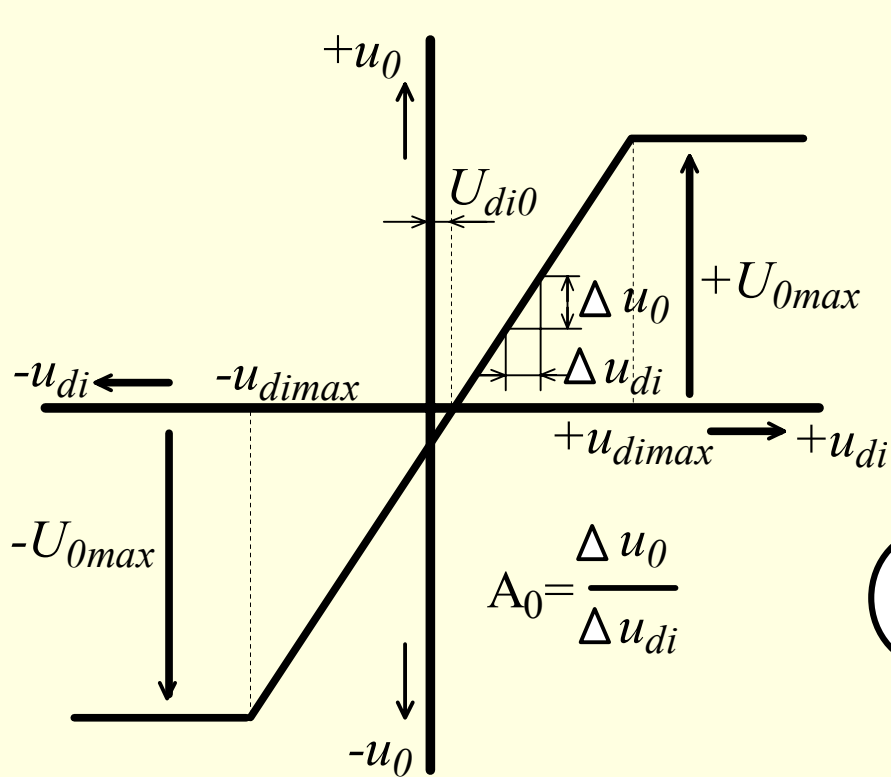
1 Diferenčný zosilňovač

Väčšina *operačných zosilňovačov* (OZ) pozostáva zo skupiny tranzistorov, odporov a kondenzátorov, ktoré vytvárajú úplný systém na jednom čipe. Zosilňovače dostupné v súčasnosti sú vysoko spoľahlivé, majú malé rozmery a spotrebujú malé množstvo energie (nízko príkonové).



1 Diferenčný zosilňovač

Vstupným stupňom väčšiny OZ je *diferenčný zosilňovač* (DZ). Jeho najjednoduchšia forma je na Obr. Rozdielový (diferenčný) zosilňovač je zložený z dvoch emitorovo viazaných js zosilňovačov so spoločným emitorom (SE) s dvoma vstupmi u_1 a u_2 a troma výstupmi u_{o1} , u_{o2} a u_o . Tretí výstup u_o je rozdiel medzi u_{o1} a u_{o2} .



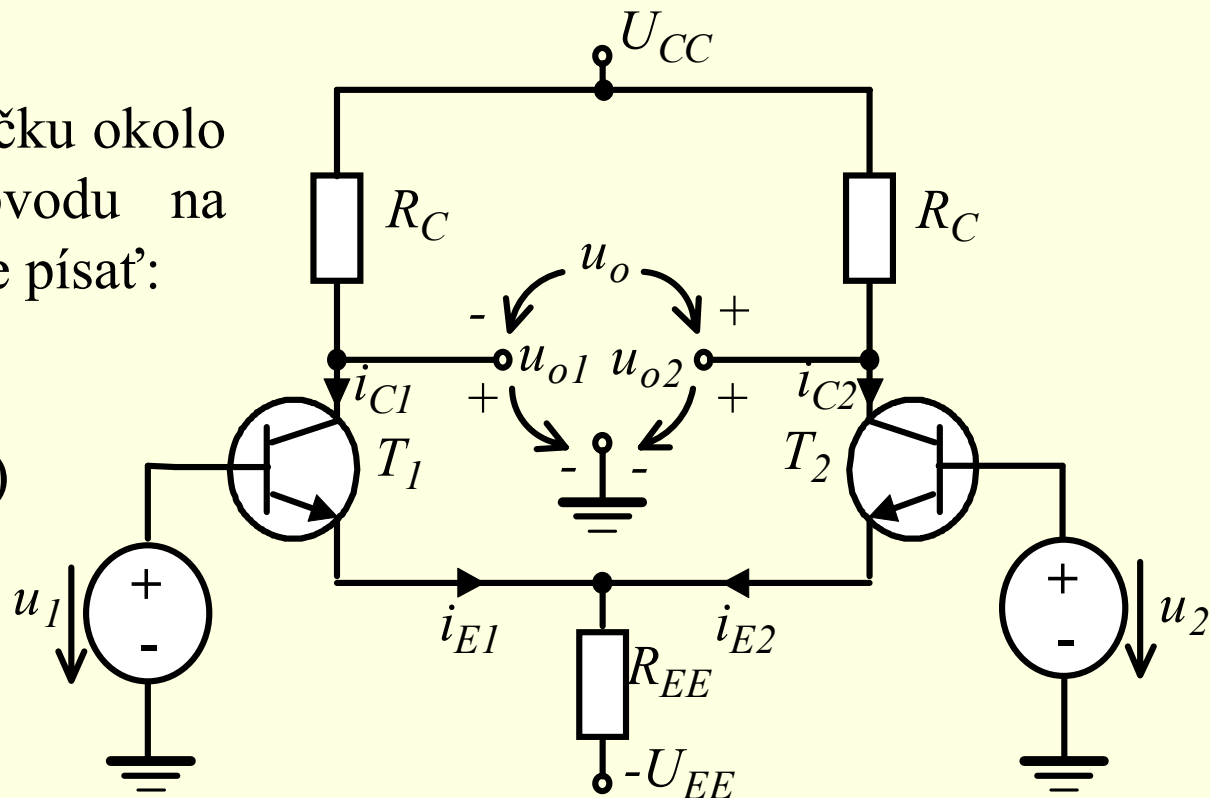
1 Diferenčný zosilňovač

1.1 Jednosmerné prenosové charakteristiky

Diferenčný zosilňovač nepracuje lineárne pre veľký vstupný signál. Aby sme zjednodušili analýzu, uvažujeme, že odpor R_E je veľký, bázový odpor tranzistorov je zanedbateľný a výstupný odpor tranzistorov je veľký. Veľká hodnota R_E zabezpečuje konštantný napäťový úbytok na tomto emitorovom odpore.

Na základe II. K.Z. pre slučku okolo bázových priechodov obvodu na Obr. pre st pomery môžeme písať:

$$u_1 = u_{BE1} - u_{BE2} + u_2 \quad (1.1)$$



1 Diferenčný zosilňovač

1.1 Jednosmerné prenosové charakteristiky

V ďalšom vyjadríme vzťahy pre kolektorové prúdy i_{c1} a i_{c2} . Napätie medzi bázou a emitorom je

$$u_{BE1} = U_T \ln \left(\frac{i_{C1}}{\beta I_{o1}} \right) \quad (1.2)$$

$$u_{BE2} = U_T \ln \left(\frac{i_{C2}}{\beta I_{o2}} \right) \quad (1.3)$$

Pretože uvažujeme, že tranzistory sú identické je

$$I_{o1} = I_{o2}$$

Združením rovníc (1.1), (1.2), (1.3) dostávame

$$u_1 - U_T \ln \left(\frac{i_{C1}}{\beta I_{o1}} \right) + U_T \ln \left(\frac{i_{C2}}{\beta I_{o2}} \right) - u_2 = 0$$
$$\frac{i_{C1}}{i_{C2}} = \exp \left[\frac{u_1 - u_2}{U_T} \right] \quad (1.4)$$

1 Diferenčný zosilňovač

1.1 Jednosmerné prenosové charakteristiky

Uvažujme, že i_C je približne rovné i_E , potom

$$i_{EE} = i_{C1} + i_{C2} \quad (1.5)$$

Pomocou rovníc (1.4) a (1.5) dostávame

$$i_{C1} = \frac{i_{EE}}{1 + \exp\left[-(u_1 - u_2)/U_T\right]} \quad (1.6)$$

$$i_{C2} = \frac{i_{EE}}{1 + \exp\left[(u_1 - u_2)/U_T\right]} \quad (1.7)$$

Poznamenajme, že

$$u_o = (i_{c1} - i_{c2})R_C$$

1 Diferenčný zosilňovač

1.1 Jednosmerné prenosové charakteristiky

Z rovníc (1.6) a (1.7) vyplýva nasledujúca vlastnosť diferenčného zosilňovača: ak $u_1 - u_2$ je väčšie ako niekoľko stoviek mV, kolektorový prúd v tranzistore T_2 je extrémne malý a tranzistor je v podstate zavretý. Kolektorový prúd v tranzistore T_1 je približne rovný i_{EE} a tento tranzistor je v saturácii. Kolektorové prúdy a teda aj výstupné napätie u_o je nezávislé od rozdielu medzi oboma vstupnými napätiami. Lineárne zosilnenie nastáva len pre rozdiel vstupných napätí menší ako 100 mV.

Aby sme zvýšili lineárny rozsah vstupného napätia, môžeme pripojiť malé emitorové rezistory. Tieto rezistory zavádzajú zápornú spätnú väzbu, čo má za následok zníženie napätového zosilnenia.

1 Diferenčný zosilňovač

1.2 Súhlasné a diferenčné zosilnenie

Diferenčný zosilňovač je navrhnutý tak, aby reagoval len na rozdiel medzi dvoma vstupnými napätiami u_1 a u_2 . Výstup reálnych OZ však do určitej miery závisí aj od súčtu týchto dvoch vstupov. Ak sú teda oba vstupy rovnaké, výstupné napätie reálnych zosilňovačov nie je nulové.

Označme prípad, kedy obvod reaguje na rozdiel vstupných napätí ako *diferenčný režim* (budenie). Ak sú oba vstupy rovnaké, budeme hovoriť, že obvod je v *súhlasnom režime* (budení). V ideálnom prípade budeme očakávať, že obvod generuje výstupný signál iba pri diferenčnom budení.

Akékoľvek dve vstupné napätia môžeme rozložiť na dve zložky:

- rozdielová alebo diferenčná zložka (u_{di})
- súhlasná zložka (u_{ci}).

1 Diferenčný zosilňovač

1.2 Súhlasné a diferenčné zosilnenie

Na základe tohto definujeme dve nové vstupné napätia takto:

$$\begin{aligned} u_{di} &= u_1 - u_2 && \text{rozdiel dvoch vstupných napätí} \\ u_{ci} &= \frac{(u_1 + u_2)}{2} && \text{priemer dvoch vstupných napätí} \end{aligned} \quad (1.8)$$

Pôvodné vstupné napätia môžeme vyjadriť pomocou týchto nových veličín nasledovne:

$$\begin{aligned} u_1 &= \frac{u_{di} + 2u_{ci}}{2} \\ u_2 &= \frac{-u_{di} + 2u_{ci}}{2} \end{aligned} \quad (1.9)$$

Ak budú oba vstupy rovnaké, dostaneme

$$u_1 = u_2 = u_{ci}$$

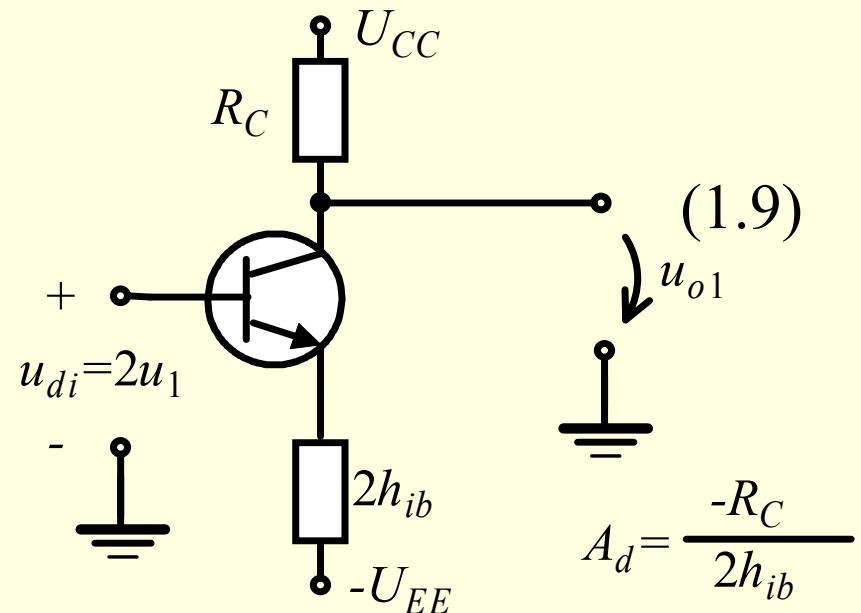
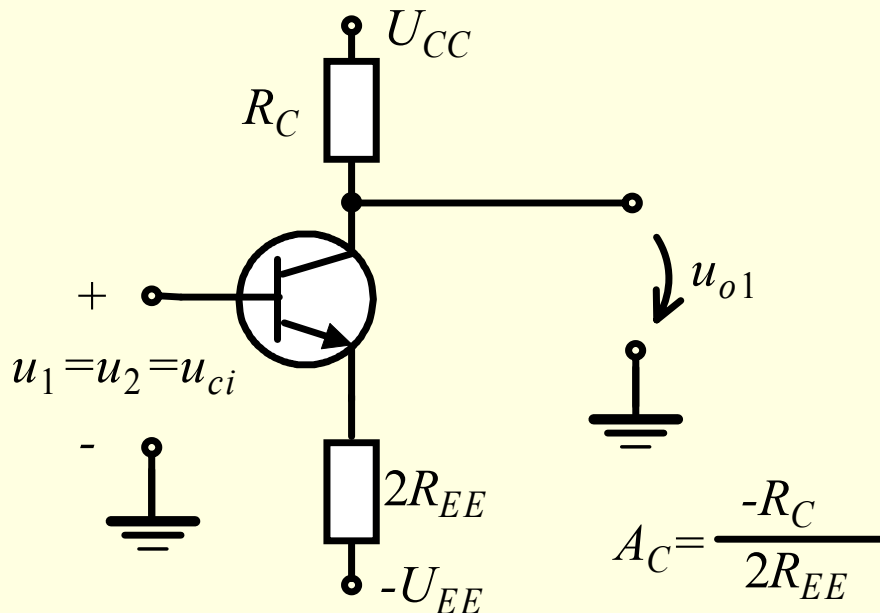
a

$$u_{di} = 0$$

1 Diferenčný zosilňovač

1.2 Súhlasné a diferenčné zosilnenie

Pretože sú oba vstupy rovnaké a tranzistory sú identické, budú rovnaké aj napätia na priedehode emitor- báza oboch tranzistorov. Na základe toho musia byť rovnaké aj emitorové prúdy, čím dospejeme k dokonale súmernej schéme a v ďalšom budeme vyšetřovať *pol-obvod* štruktúry z predchádzajúceho Obr. Poznamenajme, že emitorový odpor je dvojnásobný, pretože pôvodný prúd cez tento odpor je dvakrát väčší, než prúd tečúci ekvivalentným pol-obvodom.



1 Diferenčný zosilňovač

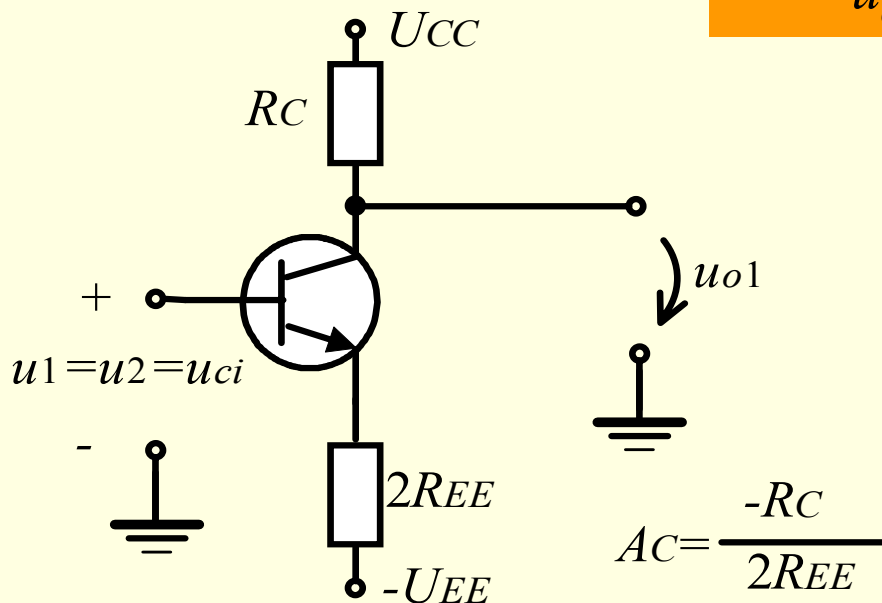
1.2 Súhlasné a diferenčné zosilnenie

Rozložením výstupu na dve zložky môžeme definovať súhlasné a diferenčné zosilnenie nasledovne:

$$u_{o1} = A_d u_{di} + A_c u_{ci}$$

Súhlasný zisk nájdeme, ak budú oba vstupy rovnaké, pretože u_{di} bude nulové.

$$A_C = \frac{u_{o1}}{u_{ci}} = -\frac{R_C}{2R_{EE}} \quad (1.10)$$



1 Diferenčný zosilňovač

1.2 Súhlasné a diferenčné zosilnenie

Aby sme našli diferenčný zisk budeme predpokladať:

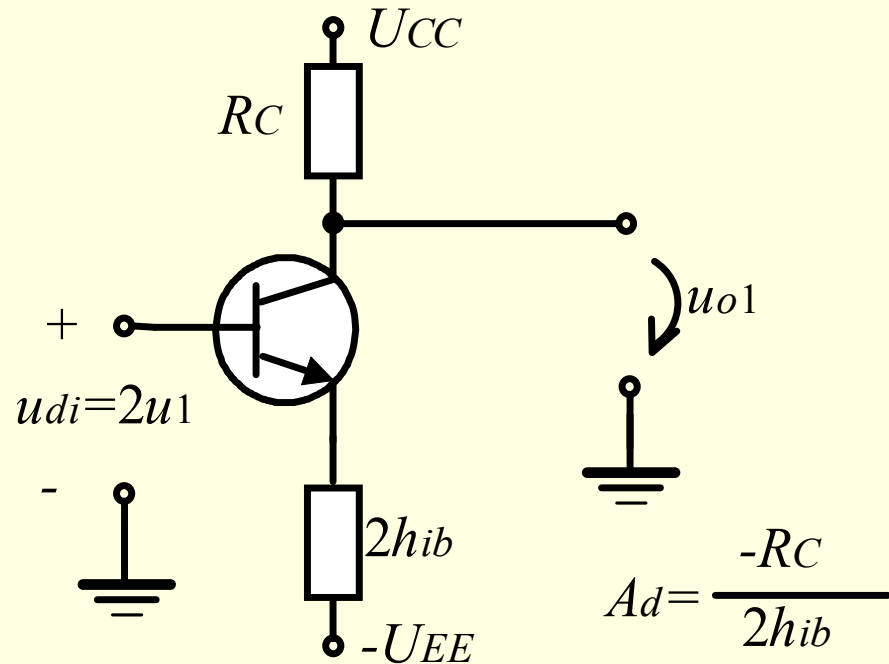
$$u_1 = -u_2$$

Potom platí, že:

$$u_{di} = 2u_1 = -2u_2$$

V tomto prípade už musíme v slučke báza-emitor uvažovať vstupný odpor tranzistora h_{ib} , pretože je emitorový odpor v ekvivalentnom striedavom obvode skratovaný (striedavý prúd z jedného emitora tečie priamo do druhého emitora teda napätie st signálu na emitorovom odpore je nulové). Diferenčný zisk je potom daný vzťahom:

$$A_d = \frac{u_{o1}}{u_{di}} = -\frac{R_C}{2h_{ib}}$$



$$(1.11)$$

1 Diferenčný zosilňovač

1.2 Súhlasné a diferenčné zosilnenie

Je žiadúce, aby diferenčný zisk bol omnoho väčší ako súhlasný zisk. Preto definujeme parameter *potlačenie súhlasného napätia* (CMRR) ako pomer diferenčného zisku a súhlasného zosilnenia (zvyčajne vyjadrované v dB).

$$CMRR = 20 \log \frac{|-R_C / 2h_{ib}|}{|-R_C / 2R_{EE}|} \text{ dB}$$

a po úprave

$$CMRR = 20 \log \left(\frac{R_{EE}}{h_{ib}} \right) \text{ dB} \quad (1.10)$$

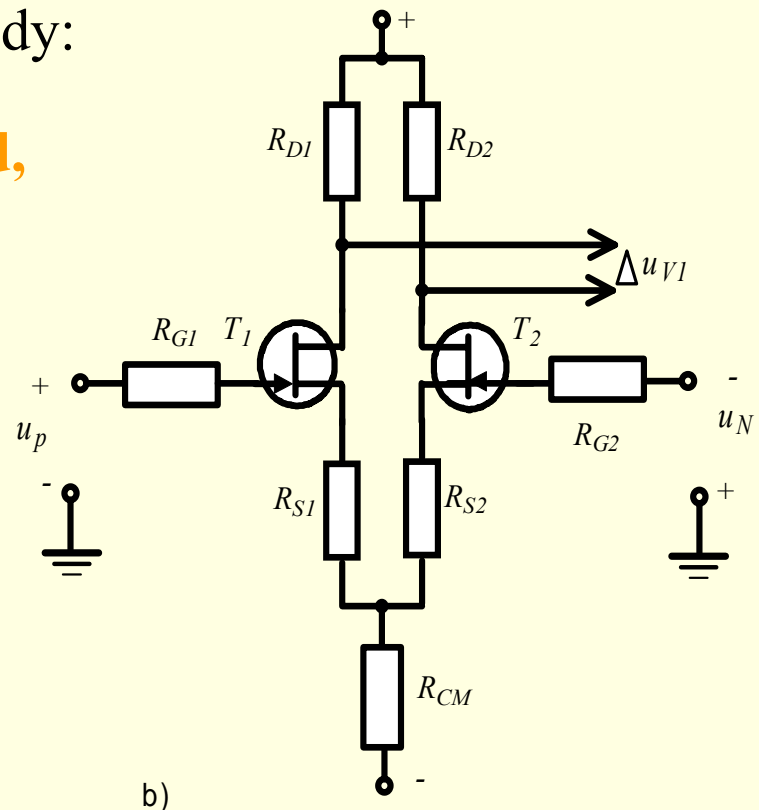
Požadujeme, aby CMRR bolo čo najväčšie, teda aby zosilňovač reagoval iba na rozdiel medzi vstupnými napätiami. Z rovnice (1.12) je zrejmé, že veľké CMRR dosiahneme pri veľkej hodnote R_{EE} . Pretože veľké odpory je ťažko vyrobiť v integrovanej forme, hľadáme iné riešenie, a to v náhrade veľkého R_{EE} zdrojom konštantného prúdu.

1 Diferenčný zosilňovač

1.2 Súhlasné a diferenčné zosilnenie

Diferenčný zosilňovač, ktorý sme doposiaľ analyzovali, bol vytvorený z bipolárnych tranzistorov. Na realizáciu DZ môžeme tiež použiť *JFET tranzistor*. Diferenčný zosilňovač s JFET tranzistormi má v porovnaní s bipolárnymi tranzistormi nasledujúce výhody:

- **menší vstupný pracovný prúd,**
- **väčšia vstupná impedancia.**



Analýza DZ s JFET je rovnaká ako analýza s bipolárnymi tranzistormi.

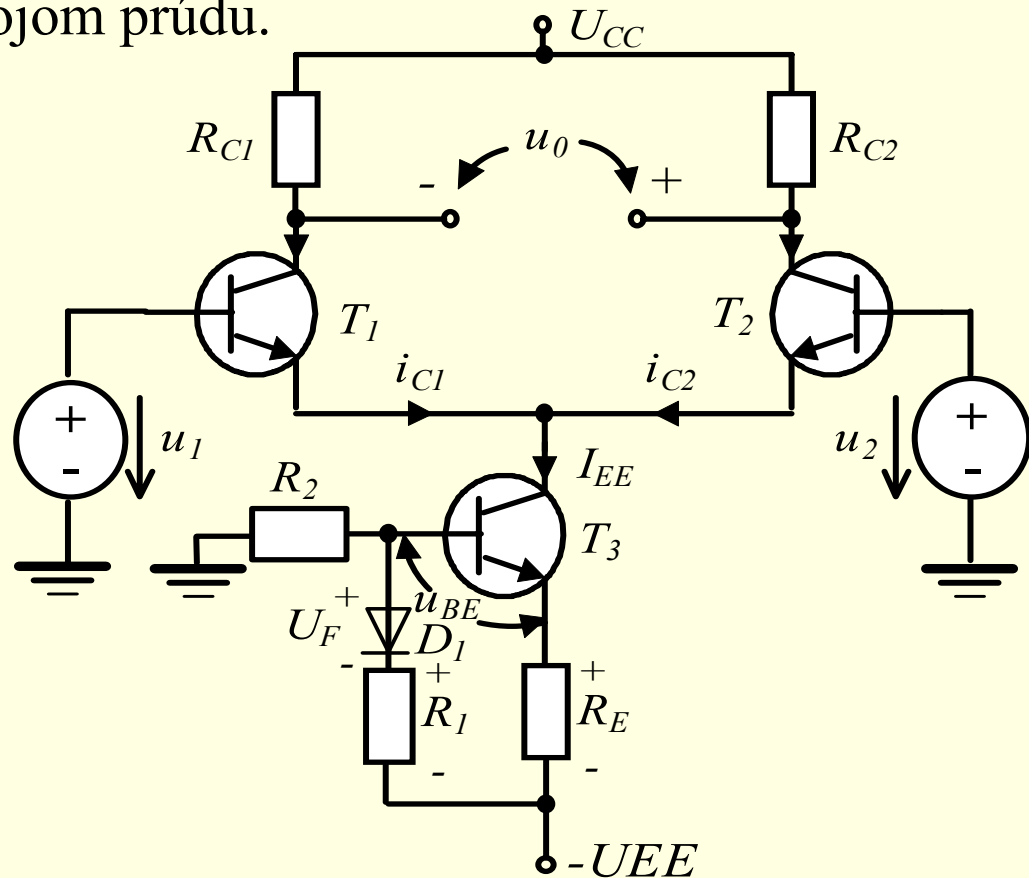
1 Diferenčný zosilňovač

1.3 Diferenčný zosilňovač s konštantným zdrojom prúdu

V predchádzajúcej časti sme uviedli, že na potlačenie súhlasného výstupu požadujeme aby R_{EE} bolo čo najväčšie. Keďže ideálny zdroj konštantného prúdu má nekonečnú impedanciu, vyšetříme možnosť nahradenia R_{EE} takýmto prúdovým zdrojom. Na Obr. je diferenčný zosilňovač, kde rezistor R_{EE} je nahradený konštantným zdrojom prúdu.

Čím viac sa uvažovaný zdroj blíži k ideálnemu zdroju konštantného prúdu, tým je CMRR väčšie. Budeme uvažovať prúdový zdroj kompenzovaný diódou.

Kompenzácia zabezpečuje, že obvod bude menej závislý od zmeny teploty. Dióda D_1 a tranzistor T_1 sú vybraté tak, aby mali takmer rovnaké char. v rozsahu pracovných teplôt.



1 Diferenčný zosilňovač

1.3 Diferenčný zosilňovač s konštantným zdrojom prúdu

Aby sme mohli analyzovať obvod na predchádzajúcom Obr. a nájsť CMRR, potrebujeme určiť ekvivalentný odpor R_{TH} (Théveninov ekvivalent obvodu s konštantným prúdovým zdrojom). S využitím ekvivalentného obvodu prúdového zdroja, ktorý je na Obr., dostávame

$$R_{TH} = \frac{u_1 + u_2}{i_{TH}}$$

I. KZ pre uzol 1: I. KZ pre uzol 2:

$$i_{TH} = \beta i_B + \frac{u_1}{r_o}$$

$$\beta i_B + \frac{u_1}{r_o} + i_B - \frac{u_2}{R_E} = 0$$

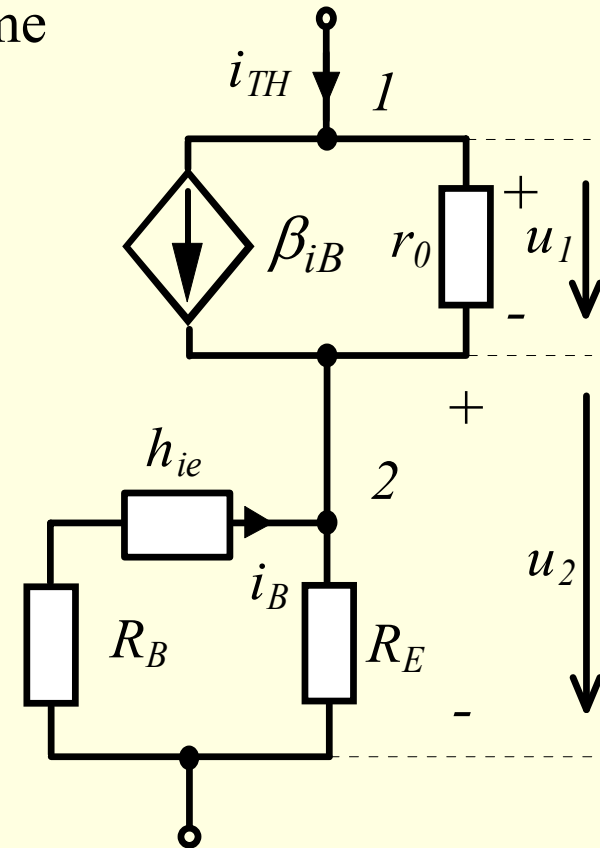
II. KZ pre napätie u_2

$$u_2 = -i_B (h_{ie} + R_B)$$

Théveninov odpor je rovný

$$R_{TH} = \frac{h_{ie} + R_B + r_o \left[1 + (h_{ie} + R_B) / R_E \right] + \beta r_o}{1 + (h_{ie} + R_B) / R_E}$$

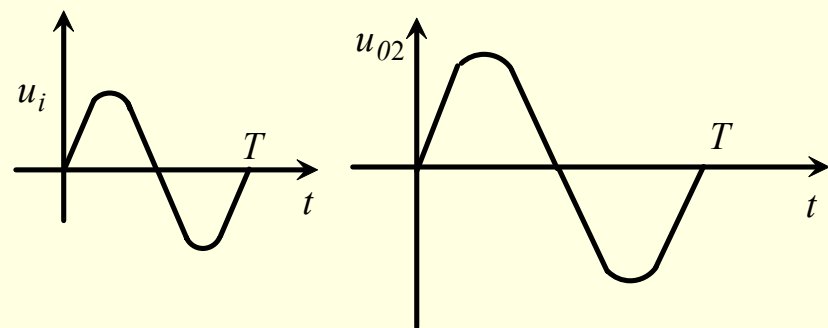
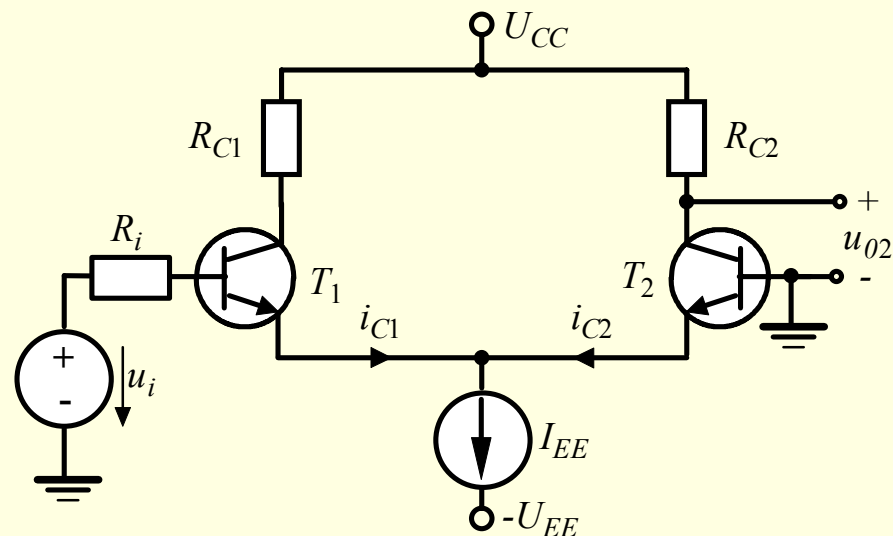
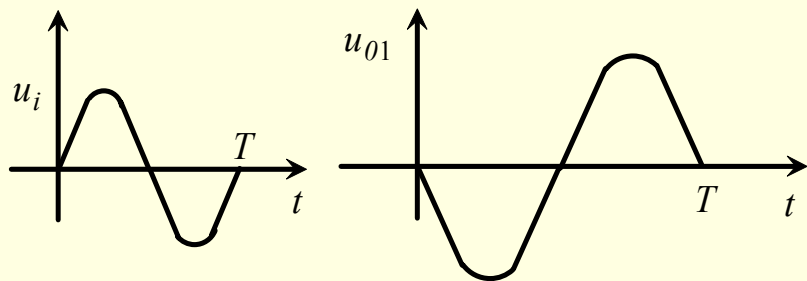
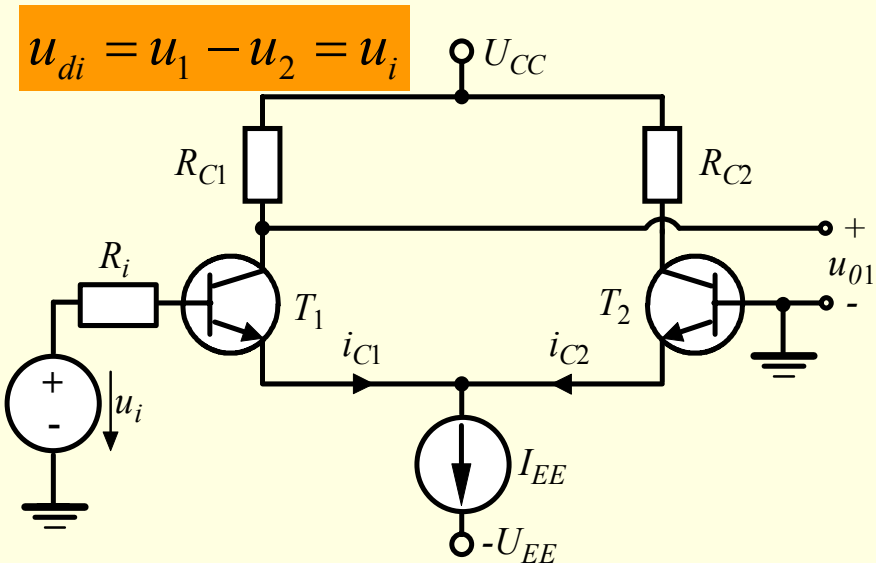
$$R_{TH} \approx 11 \cdot r_o$$



Ak platia **určité aproximácie**, R_{TH} nezávisí od β a jeho hodnota je dosť veľká.

1 Diferenčný zosilňovač

1.4 Diferenčný zosilňovač s nesymetrickým vstupom



$$u_o = u_{o1} = A_d u_{di} = -\frac{R_C}{2h_{ib}} u_i$$

DZ s nesym. vst. a s výst. s opačnou fázou

DZ s nesym. vst. a s výst. vo fáze so vst

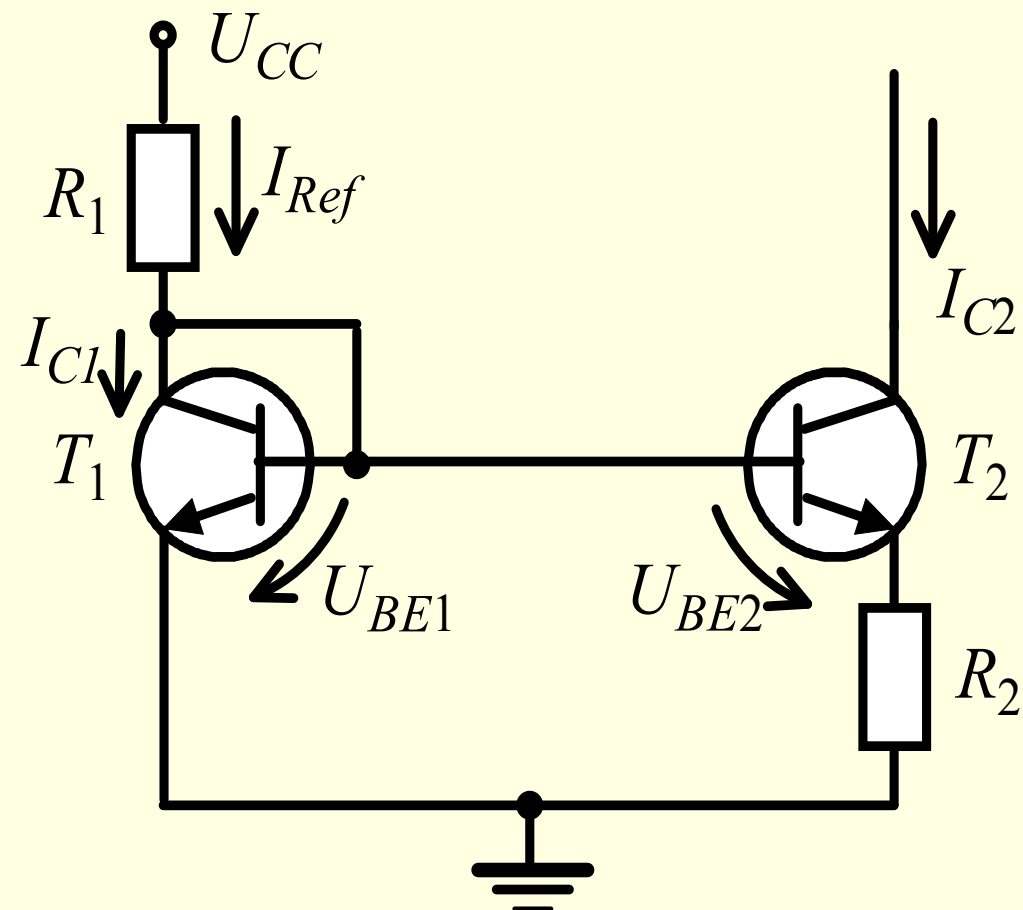
1 Diferenčný zosilňovač

- **1.5 Prúdové zdroje, aktívne záťaže a posúvače úrovne**
 - *1.5.1 Widlarov prúdový zdroj*
 - *1.5.2 Wilsonov prúdový zdroj*
 - *1.5.3 Prúdové zrkadlá*
 - *1.5.4 Prúdové zdroje ako aktívne záťaže*
 - *1.5.5 Posuv úrovne*

- **1.6 Ideálne operačné zosilňovače**
 - *1.6.1 Jednosmerné rozdielové a súhlasné zosilnenie*
 - *1.6.2 Frekvenčné vlastnosti operačného zosilňovača*
 - *1.6.3 Druhy operačných zosilňovačov*

1.5 Prúdové zdroje, aktívne zát'aže a posúvače úrovne

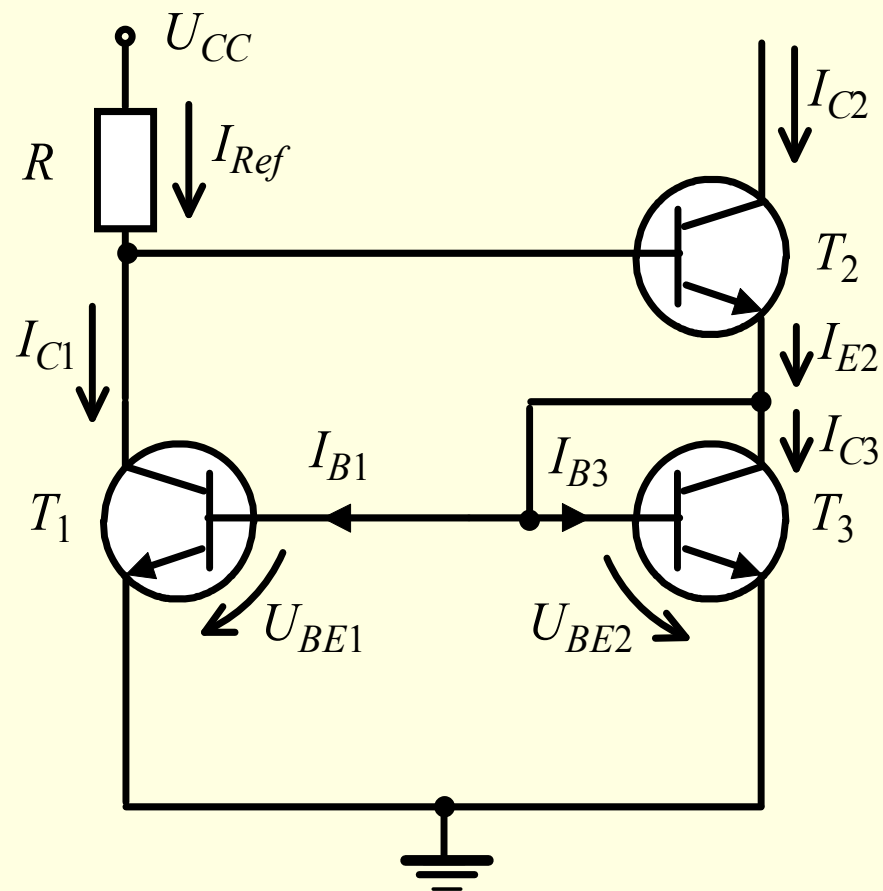
1.5.1 Widlarov prúdový zdroj



$$U_T \ln\left(\frac{I_{C1}}{I_{C2}}\right) = I_{C2} R_2 \quad (1.14)$$

1.5 Prúdové zdroje, aktívne záťaže a posúvače úrovne

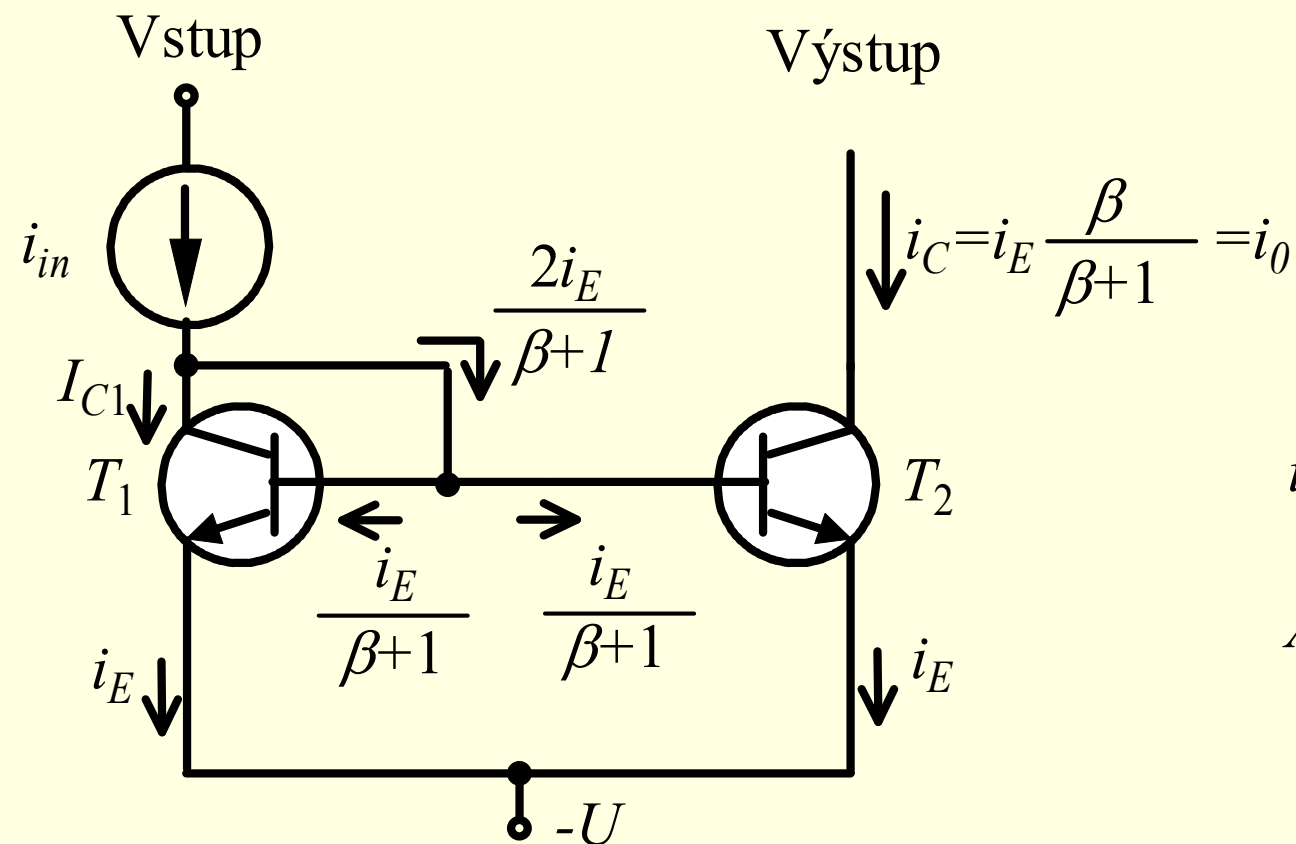
1.5.2 Wilsonov prúdový zdroj



$$I_{C2} = \left(1 - \frac{2}{\beta^2 + 2\beta + 2} \right) I_{Ref} \quad (1.15)$$
$$\frac{2}{\beta^2 + 2\beta + 2} \ll 1$$

1.5 Prúdové zdroje, aktívne zát'aže a posúvače úrovne

1.5.3 Prúdové zrkadlá

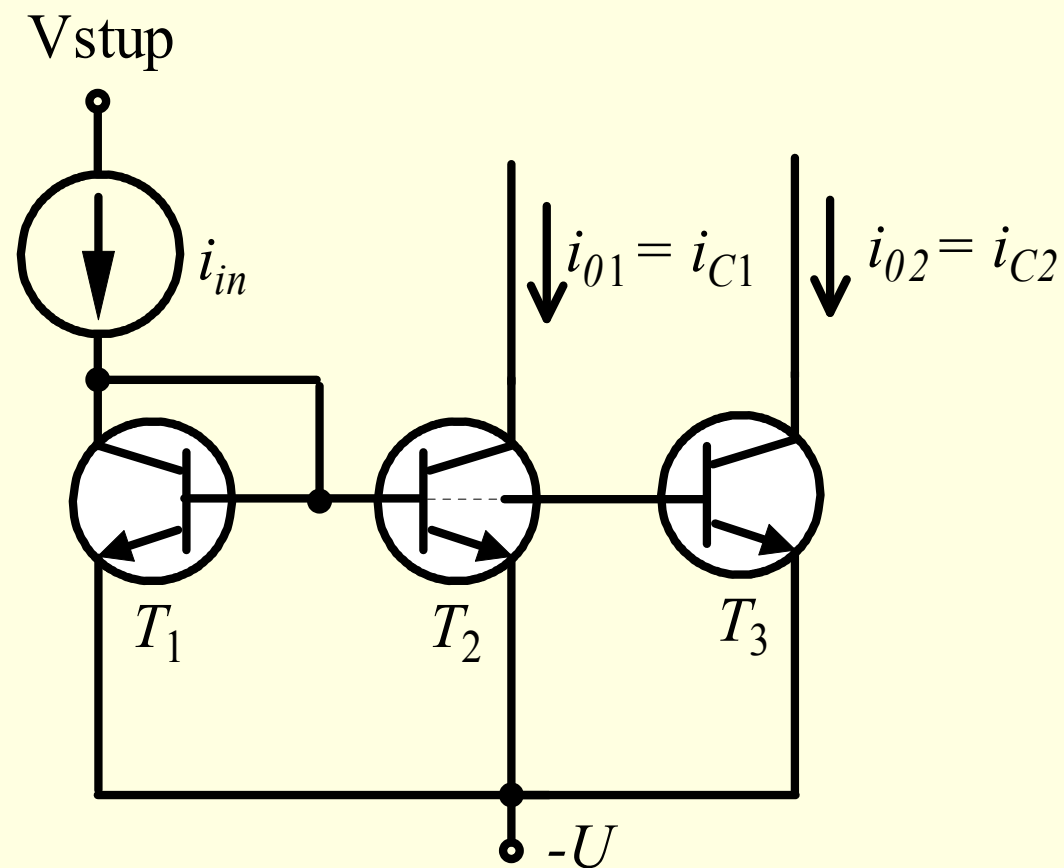


$$i_{in} = \frac{\beta+2}{\beta+1} i_E$$

$$A_i = \frac{i_0}{i_{in}} \approx 1$$

1.5 Prúdové zdroje, aktívne zát'aže a posúvače úrovne

1.5.3 Viacnásobné prúdové zrkadlo

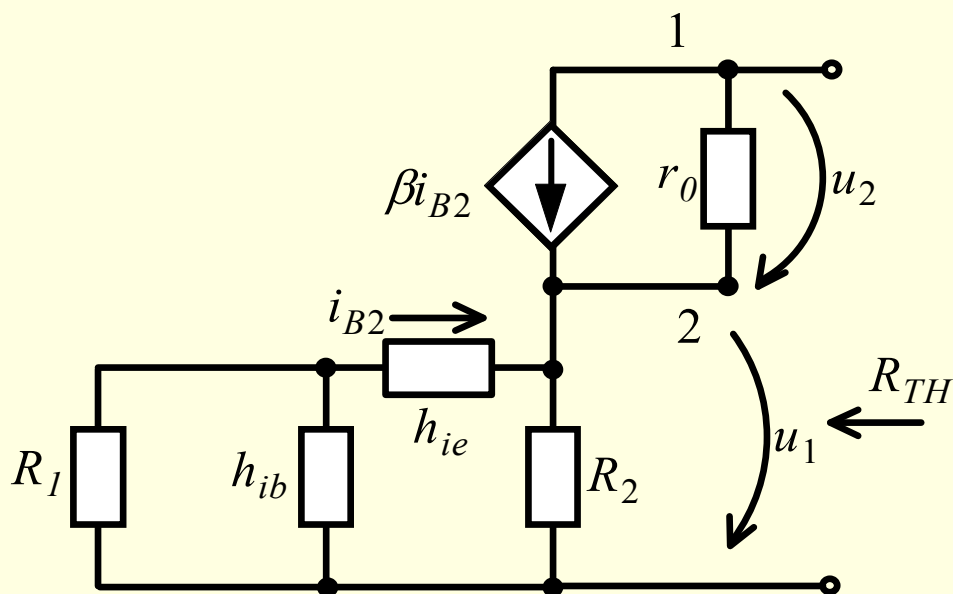


1.5 Prúdové zdroje, aktívne záťaže a posúvače úrovnne

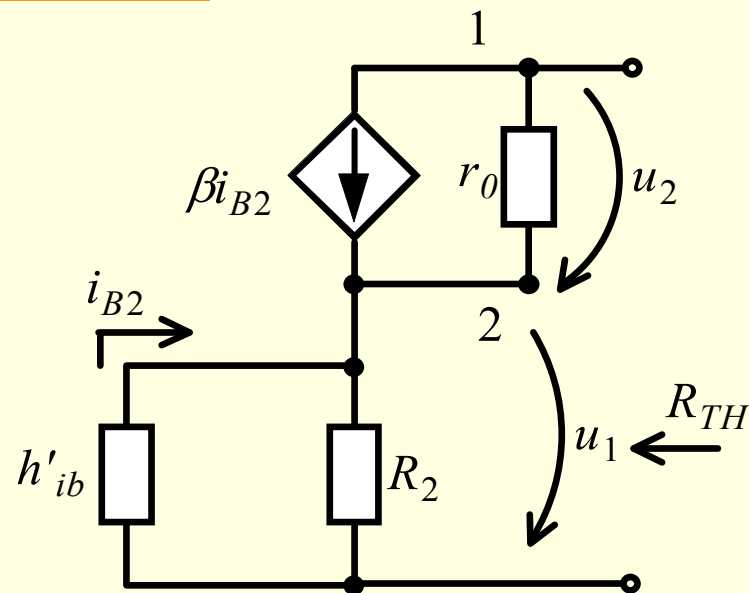
1.5.4 Prúdové zdroje ako aktívne záťaže

Diferenčný zisk je:

$$A_u = \frac{u_o}{u_i} = -\frac{R_C}{2h_{ib}} = -\frac{R_C I_{CP}}{2U_T}$$



a) Ekvivalentný obvod



b) Upravený ekvivalentný obvod

Widlarov prúdový zdroj:

$$R_{TH} = \frac{u_{TH}}{i_{TH}} = r_o \left(1 + \frac{I_{CP} R_2}{U_T} \right) \quad (1.16)$$

Wilsonov prúdový zdroj:

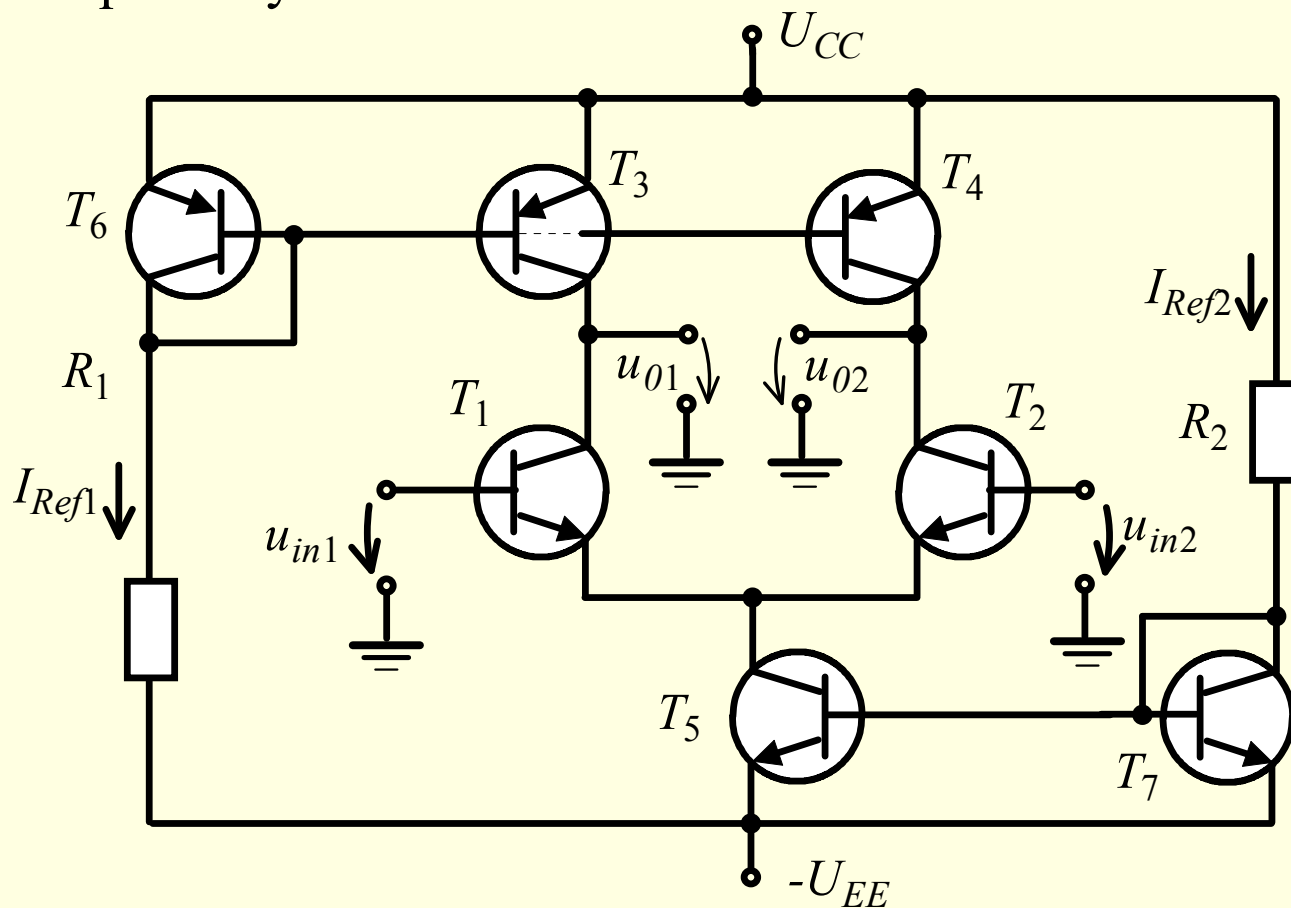
$$R_{TH} = \frac{\beta r_o}{2} \quad (1.17)$$

1.5 Prúdové zdroje, aktívne záťaže a posúvače úrovne

1.5.4 Prúdové zdroje ako aktívne záťaže

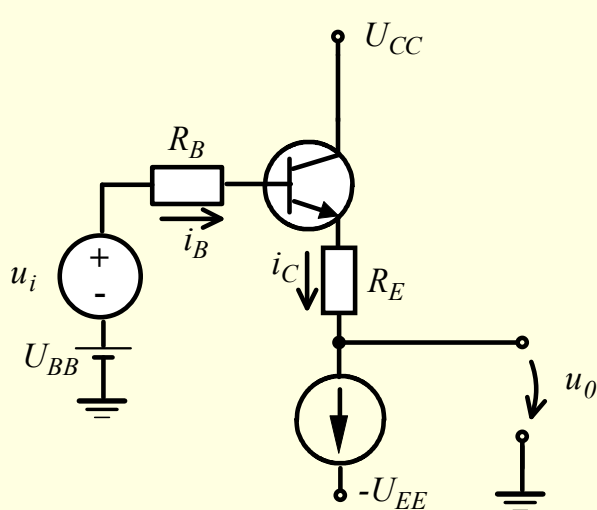
Diferenčný zosilňovač s aktívnymi záťažami:

- Widlarovým prúdovým zdrojom a
- prúdovými zrkadlami

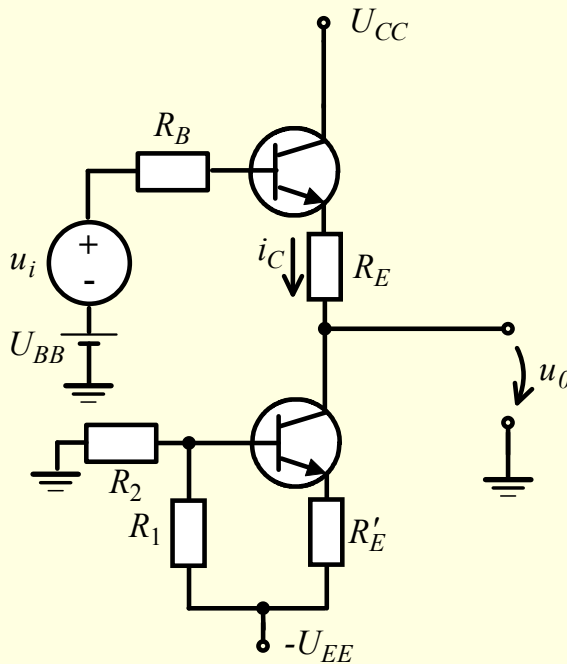


1.5 Prúdové zdroje, aktívne zát'aže a posúvače úrovne

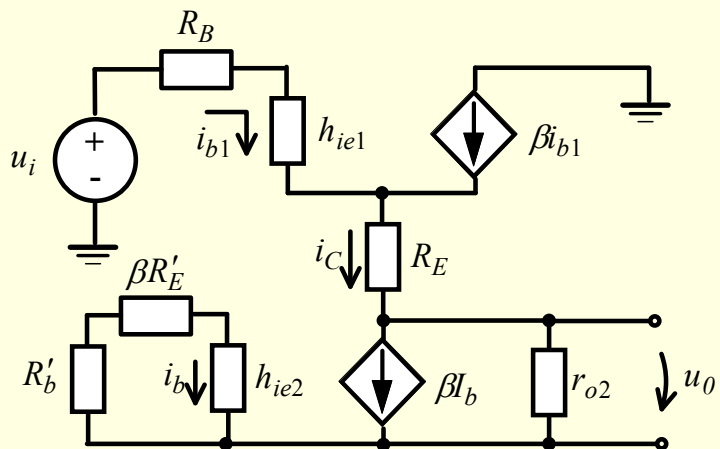
1.5.5 Posuv úrovne



a) Základný obvod na posuv úrovne



b) Skutočný obvod



c) Ekvivalentný obvod pre malé st signály

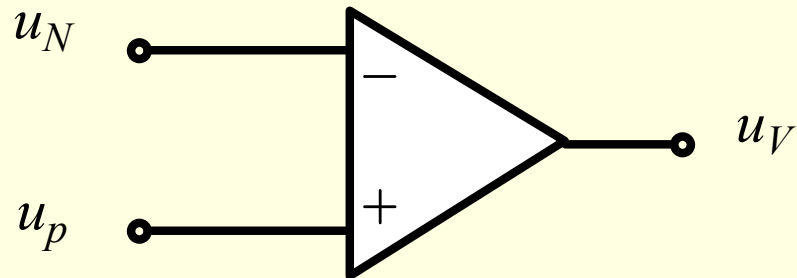
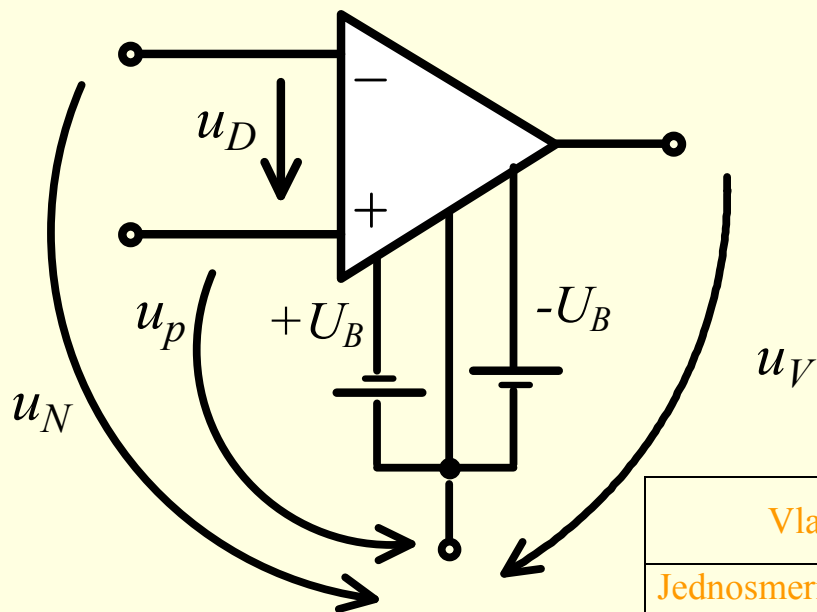
$$U_o = U_{BB} - \frac{R_B I_C}{\beta} - I_C R_E - U_{BE} \quad (1.18)$$

$$\frac{u_o}{u_i} = \frac{1}{1 + (R_B / \beta + h_{ie} / \beta + R_E) / r_{o2}} \quad (1.19)$$

1.6 Ideálne operačné zosilňovače

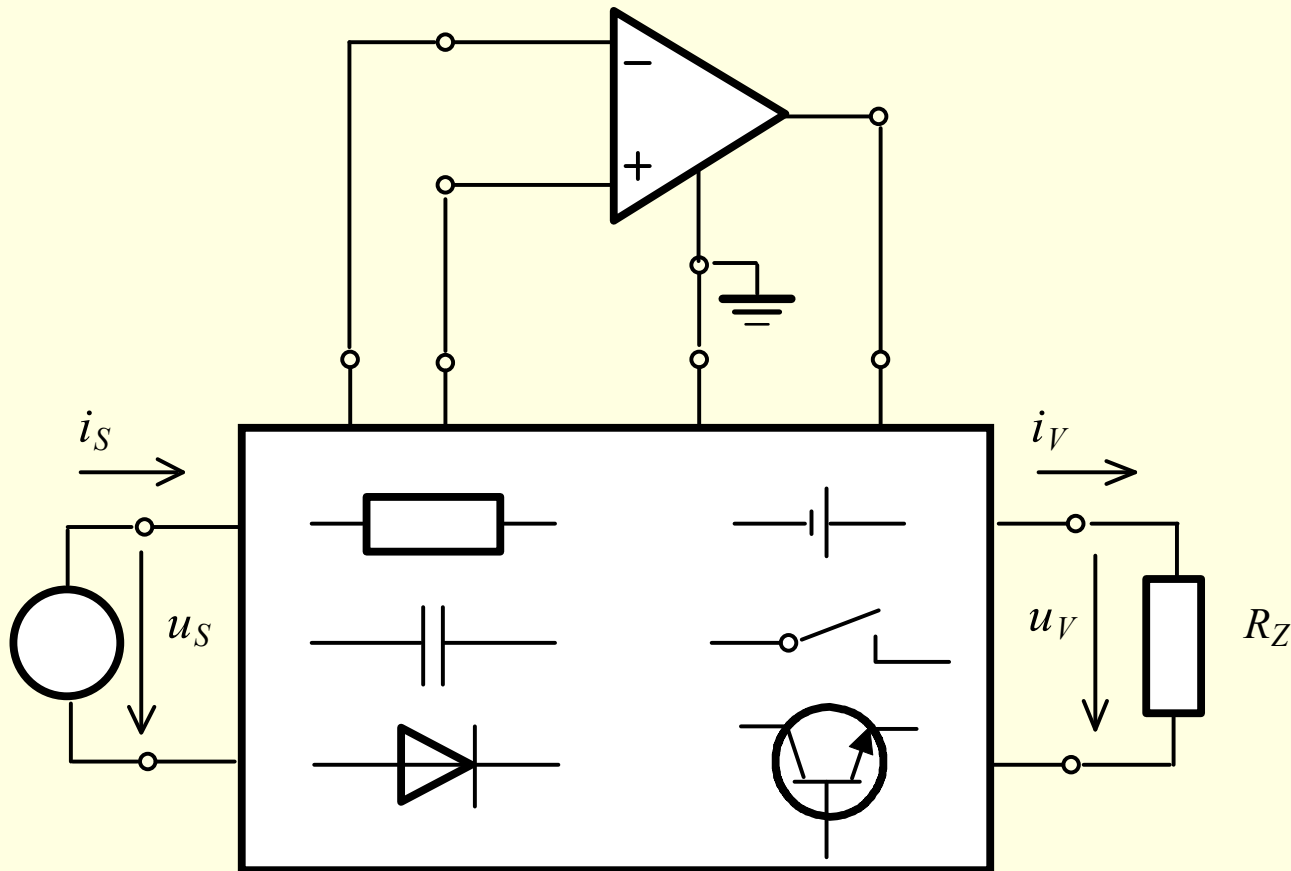
1947	Ragazzini, Randall a Russel popísali vlastnosti jednosmerného zosilňovača pri zavedení lineárnej a nelineárnej spätnej väzby a použili pre neho označenie operačný zosilňovač.
1948	G. A. Philbrick publikoval prvé praktické zapojenie elektrónkového operačného zosilňovača.
1950	Goldberg popísal zapojenie zosilňovača s automatickou kompenzáciou driftu.
1951	Boli vyrobené prvé komerčné elektrónkové operačné zosilňovače.
1960	Boli vyrobené prvé komerčné tranzistorové operačné zosilňovače.
1963	Bol ukončený vývoj prvého monolitického operačného zosilňovača – $\mu A702$.
1965	Firma Fairchild zaviedla výrobu monolitického operačného zosilňovača $\mu A709$.
1968	Bola zavedená výroba prvého operačného zosilňovača s vnútornou frekvenčnou korekciou - $\mu A741$.
1970	Bola zavedená výroba bipolárnych operačných zosilňovačov so vstupnými tranzistormi s veľkým prúdovým zosilnením (super beta).
1971	Boli vyrobené prvé monolitické operačné zosilňovače s unipolárnymi tranzistormi, bol objavený základ technológie BIFET.
1975	Firma National Semiconductor zaviedla technológiu BIFET.
1977	Firma Fairchild zaviedla do výroby prvý lacný monolitický prístrojový operačný zosilňovač - $\mu A714$.
1980	Firma Intersil zaviedla výrobu monolitických operačných zosilňovačov s automatickou kompenzáciou driftu.
...	Výroba operačných zosilňovačov rôznych typov sa prudko zvyšuje.

1.6 Ideálne operačné zosilňovače



Vlastnosť	Symbol	Ideálny operačný zosilňovač	Reálny operačný zosilňovač
Jednosmerné rozdielové zosilnenie naprázdno	A_0	∞	10^6 až 10^7
Činiteľ potlačenia súhlasného napätia	$CMRR$	∞	10^4 až 10^6
Vstupný kludový prúd	I_{N0}, I_{P0}	0	0,1 až 5 pA
Vstupné zbytkové napätie	U_{D0}	0	0,1 až $10\mu V$
Diferenčný vstupný odpor	R_D	∞	10^9 až $10^{13} \Omega$
Súhlasný vstupný odpor	R_{CM}	∞	10^9 až $10^{14} \Omega$
Výstupný odpor	R_V	0	10 až 100Ω

1.6 Ideálne operačné zosilňovače



System operačného zosilňovača, spätnoväzobného obvodu, zdroja signálu a záťaže tvorí tzv. operačnú sieť. Štruktúra spätnoväzobného obvodu určuje prenosovú funkciu operačnej siete:

$$u_v = f(u_s, i_s)$$

(1.19)

1.6 Ideálne operačné zosilňovače

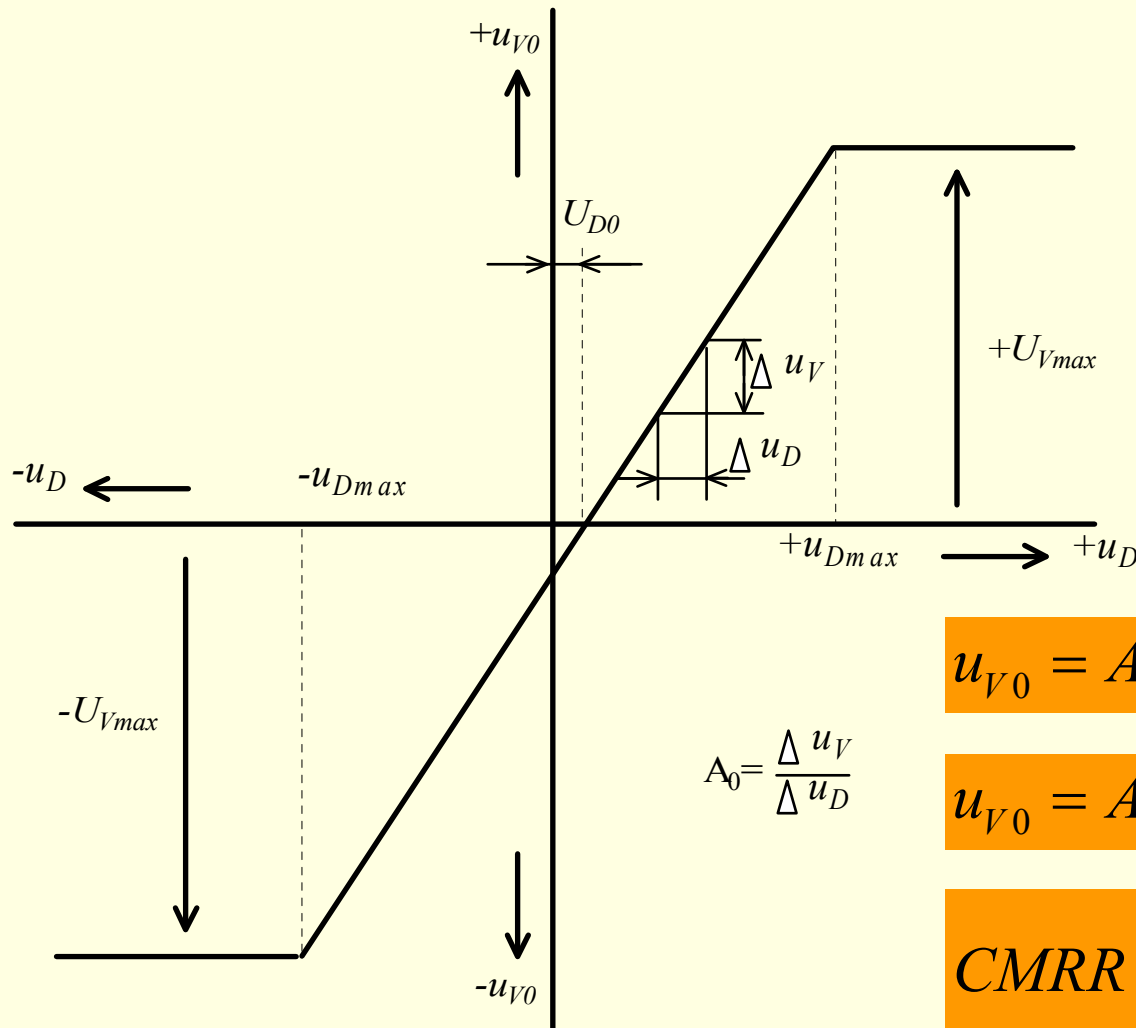
Operačné zosilňovače majú široké možnosti použitia pri spracovaní nielen analógových, ale i číslicových a impulzových signálov.

Uplatňujú sa predovšetkým v týchto oblastiach:

- v analógovej výpočtovej technike;
- v meracej technike;
- v elektronike v kvalitných nf zosilňovačoch;
- v lekárskej elektronike.

1.6 Ideálne operačné zosilňovače

1.6.1 Jednosmerné rozdielové a súhlasné zosilnenie



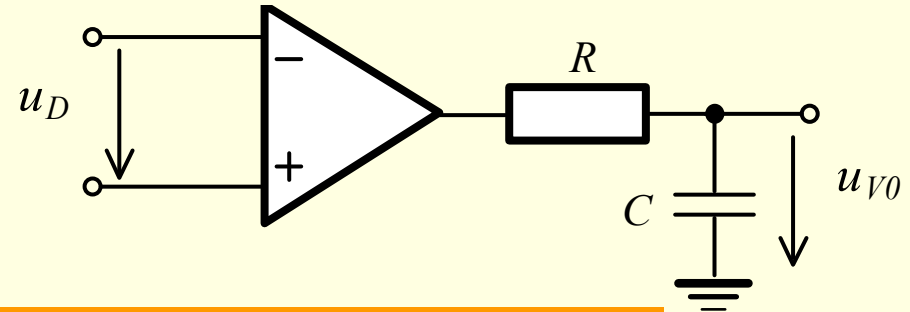
$$u_{V0} = A_0 u_D \quad (1.22)$$

$$u_{V0} = A_0 u_D + A_{CM} u_{CM} \quad (1.25)$$

$$CMRR = \frac{A_0}{A_{CM}} \quad (1.26)$$

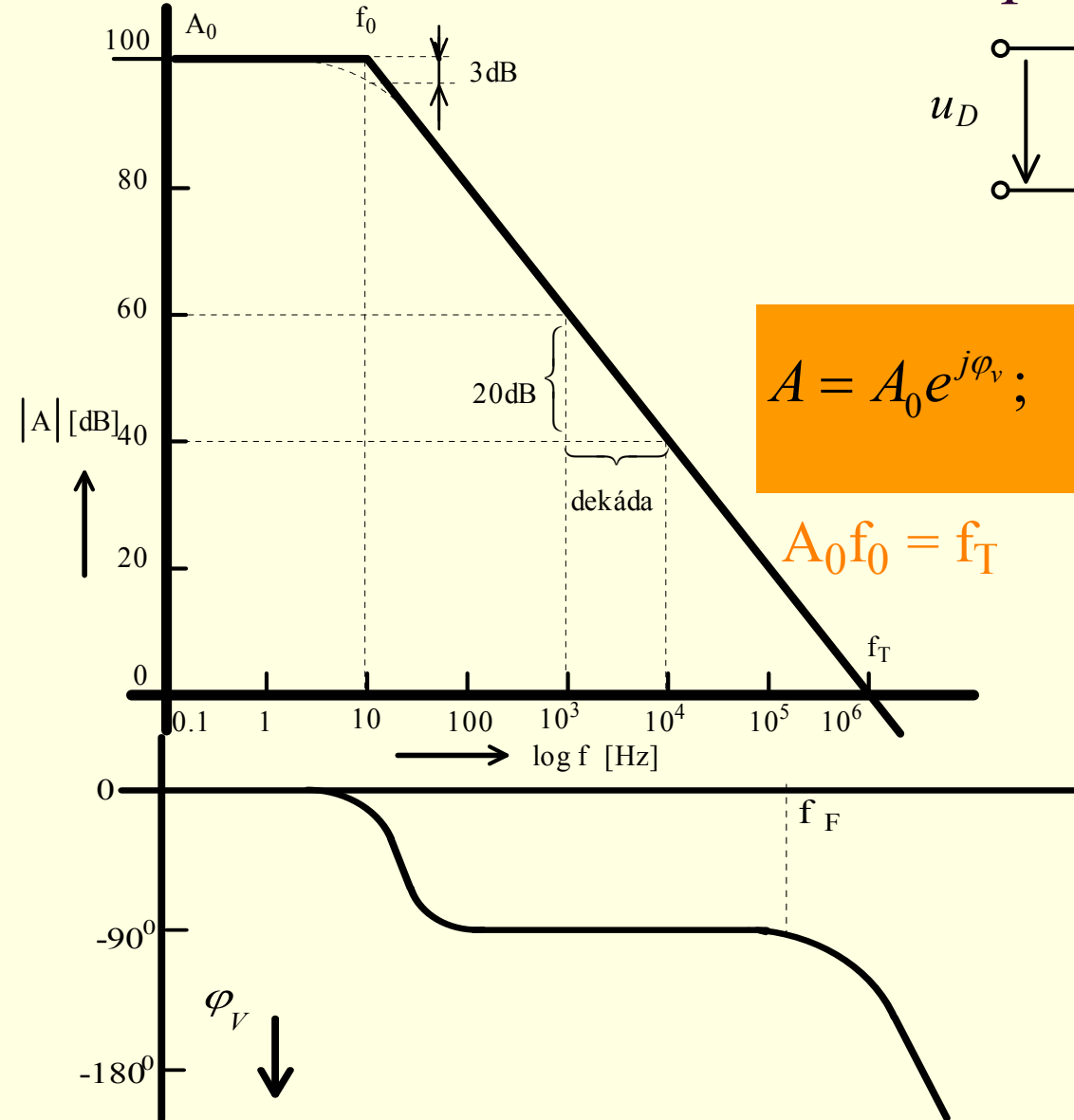
1.6 Ideálne operačné zosilňovače

1.6.2 Frekvenčné vlastnosti operačného zosilňovača



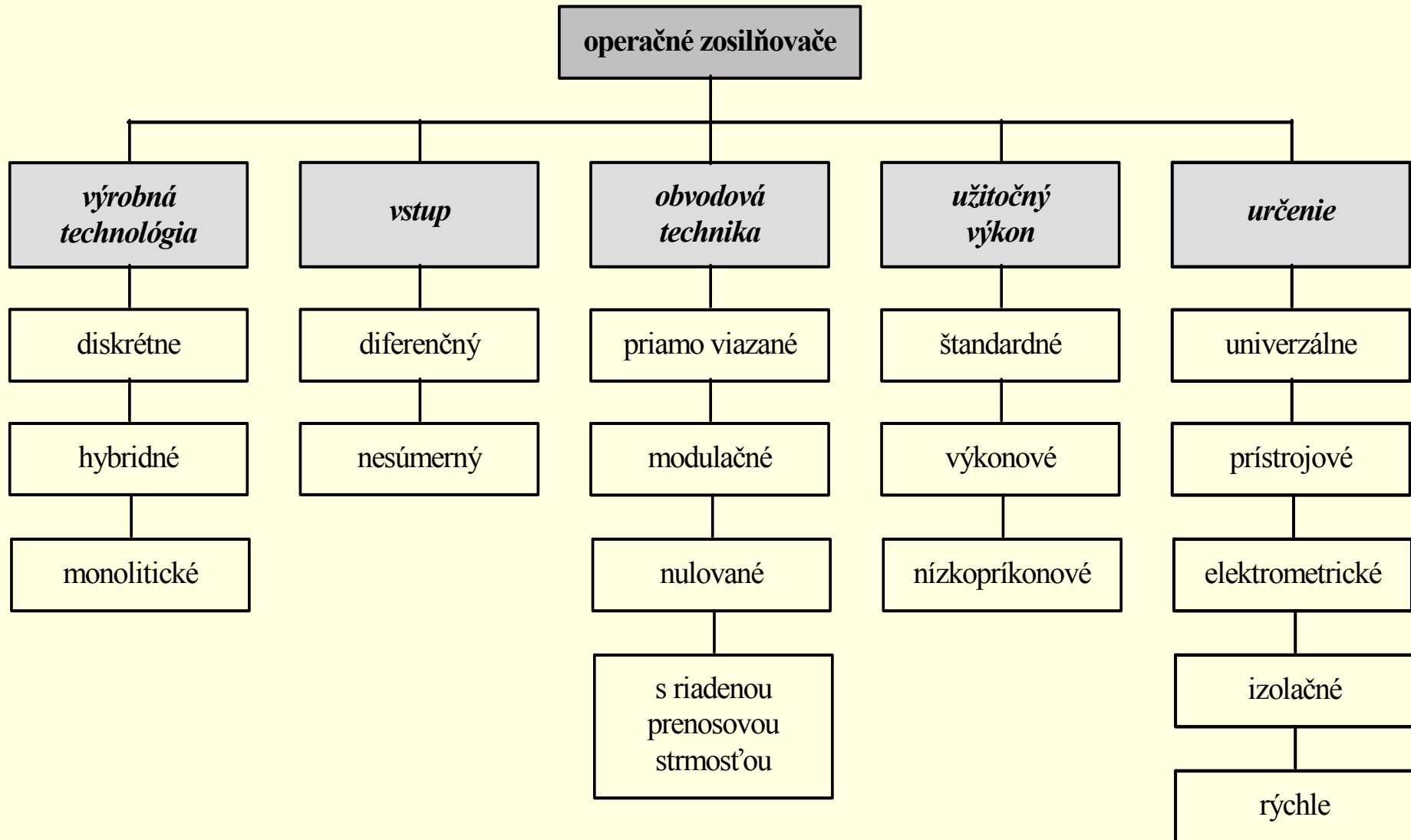
$$A = A_0 e^{j\varphi_v}; \quad |A| = \frac{A_0}{\sqrt{1 + (f / f_0)^2}} \quad (1.27)$$

$$A_0 f_0 = f_T \quad (1.28)$$



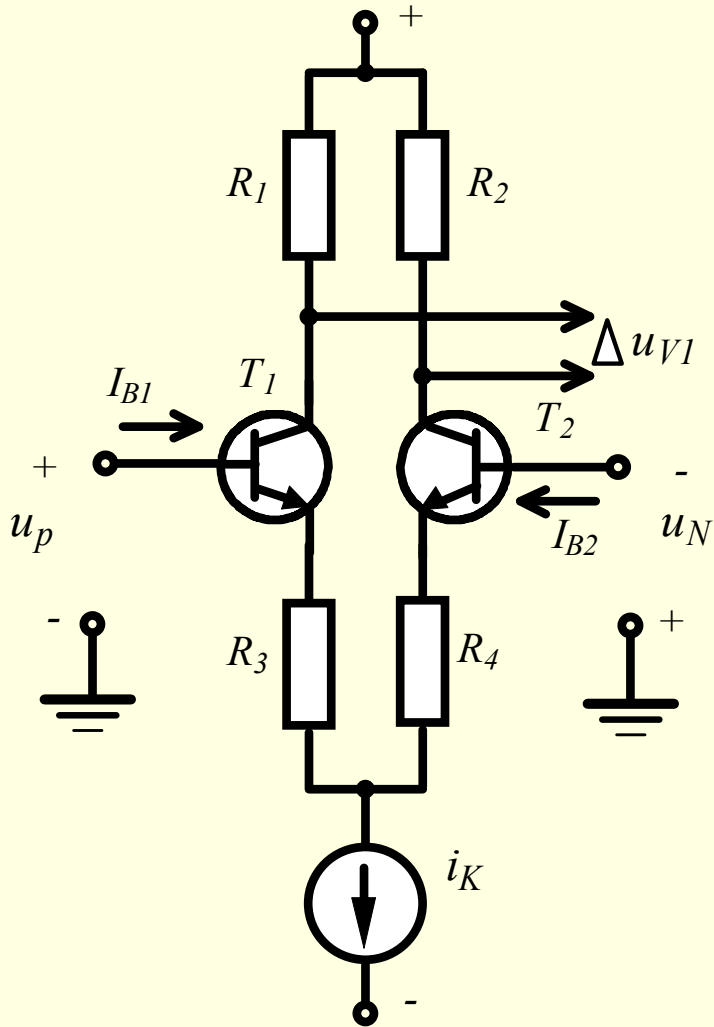
1.6 Ideálne operačné zosilňovače

1.6.3 Druhy operačných zosilňovačov

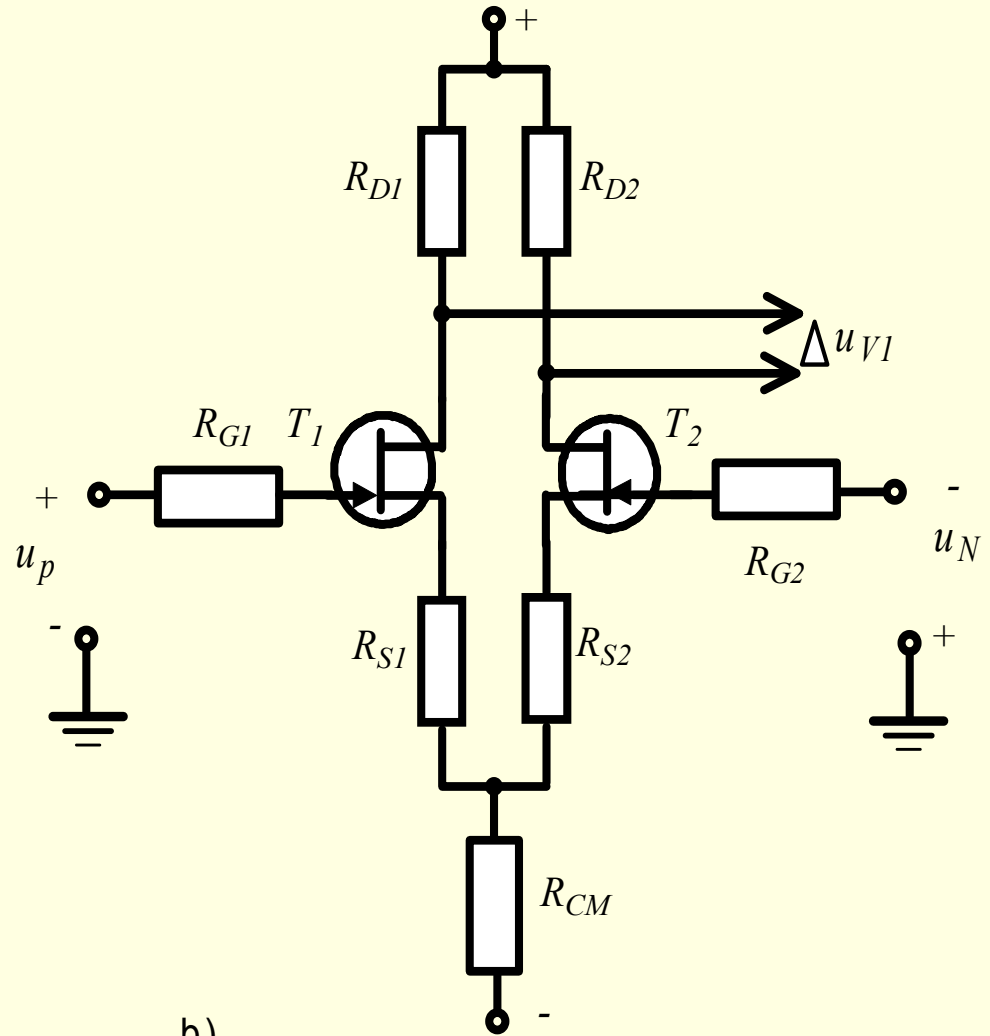


1.6 Ideálne operačné zosilňovače

1.6.3 Druhy operačných zosilňovačov



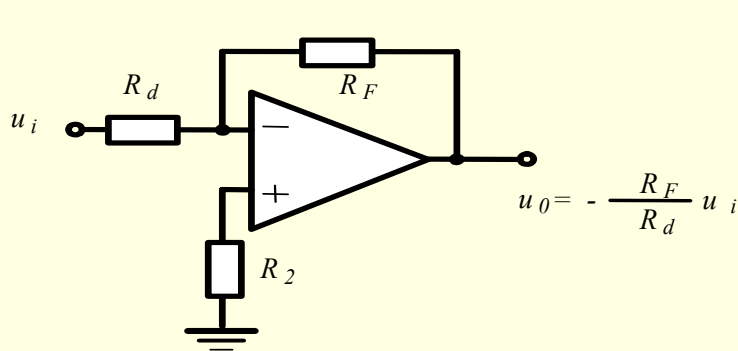
a)



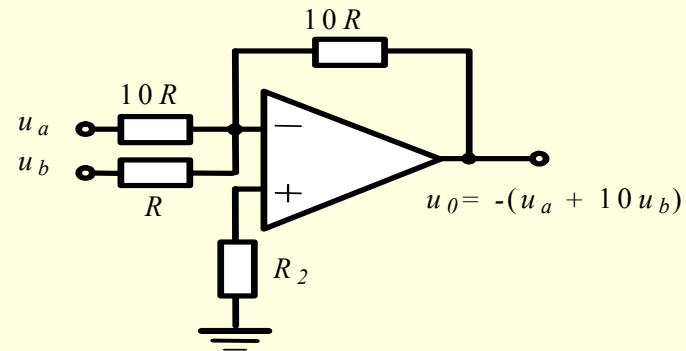
b)

1.6 Ideálne operačné zosilňovače

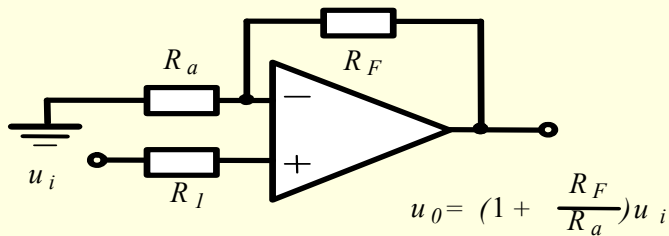
1.6.3 Druhy operačných zosilňovačov



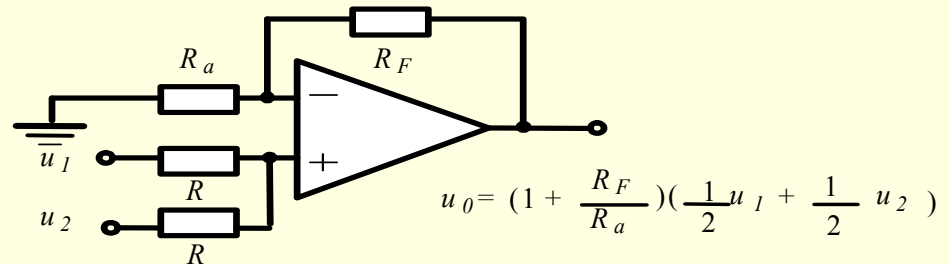
Invertujúce zapojenie



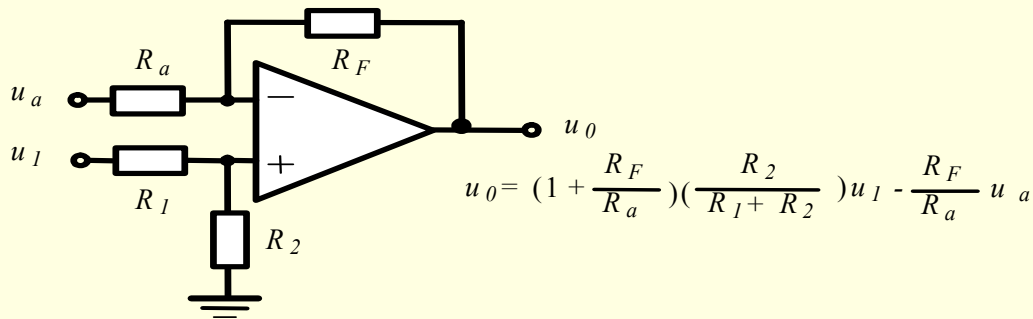
Invertujúce zapojenie s váhovou sumou



Neinvertujúce zapojenie



Neinvertujúce sčítanie so ziskom



Diferenčný zosilňovač

Príklady zapojení s ideálnym operačným zosilňovačom

2 Realizácia číslicových obvodov

- **2.1 Základné charakteristiky číslicových obvodov**
- **2.2 Základné obvodové riešenia číslicových obvodov**
 - *2.2.1 Priamo viazaná tranzistorová logika DCTL*
 - *2.2.2 Odporovo viazaná tranzistorová logika RTL*
 - *2.2.3 Logika RCTL*
 - *2.2.4 Logika DTL*

2 Realizácia číslicových obvodov

- **2.2.5 TTL logika**
 - 2.2.5.1 Modifikácie TTL logiky
 - 2.2.5.2 Základné charakteristiky TTL obvodov

- **2.2.6 ECL logika**
 - 2.2.6.1 Základné charakteristiky ECL obvodov
 - 2.2.6.2 Výhody ECL

- **2.2.7 I²L logika**

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

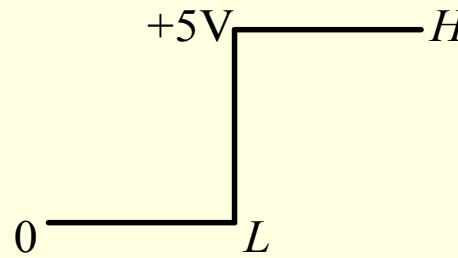
- *Logické úrovne,*
- *Statické parametre,*
- *Rozhodovacia úroveň,*
- *Logický zisk,*
- *Dynamické parametre,*
- *Odolnosť voči rušeniu,*
- *Stratový výkon,*
- *Tolerancia napájacieho napätia,*
- *Rozsah pracovných teplôt.*

2 Realizácia číslicových obvodov

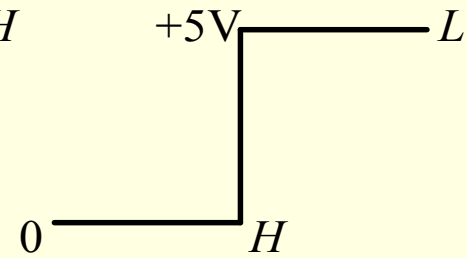
2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

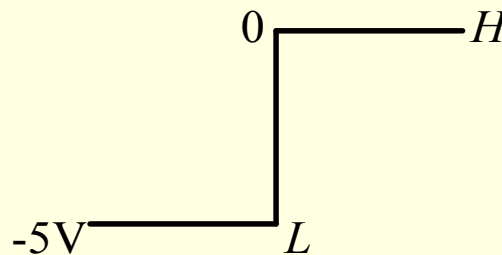
•Logické úrovne



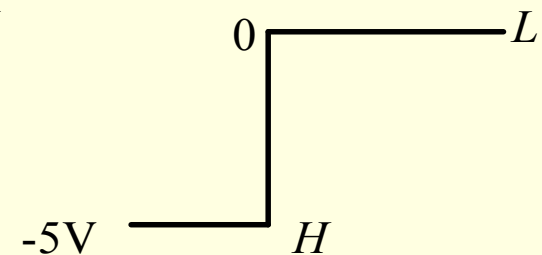
a)



b)



c)



d)

Príklady kladnej (a, c) a zápornej logiky (b, d)

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

- ***Statické parametre*** sú parametre, ktoré vyjadrujú jednosmerné podmienky práce číslicových obvodov. Preto sa im tiež hovorí ***jednosmerné parametre***.

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

- **Rozhodovacia úroveň** je napätie na vstupe obvodu, pri ktorom obvod prechádza z jedného stavu do druhého.

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

• **Logický zisk** (vetvitel'nosť) číslicových obvodov charakterizuje podmienky prepojenia jednotlivých obvodov. Definuje sa *logický zisk na vstupe*. Častejšie sa používa *logický zisk na výstupe*, vyjadrujúci maximálny počet vstupov nasledujúcich číslicových obvodov, ktorých možno pripojiť na výstup tak, aby boli zachované podmienky správnej činnosti.

$$N = \frac{I_H}{I_{IH}} \quad (2.1)$$

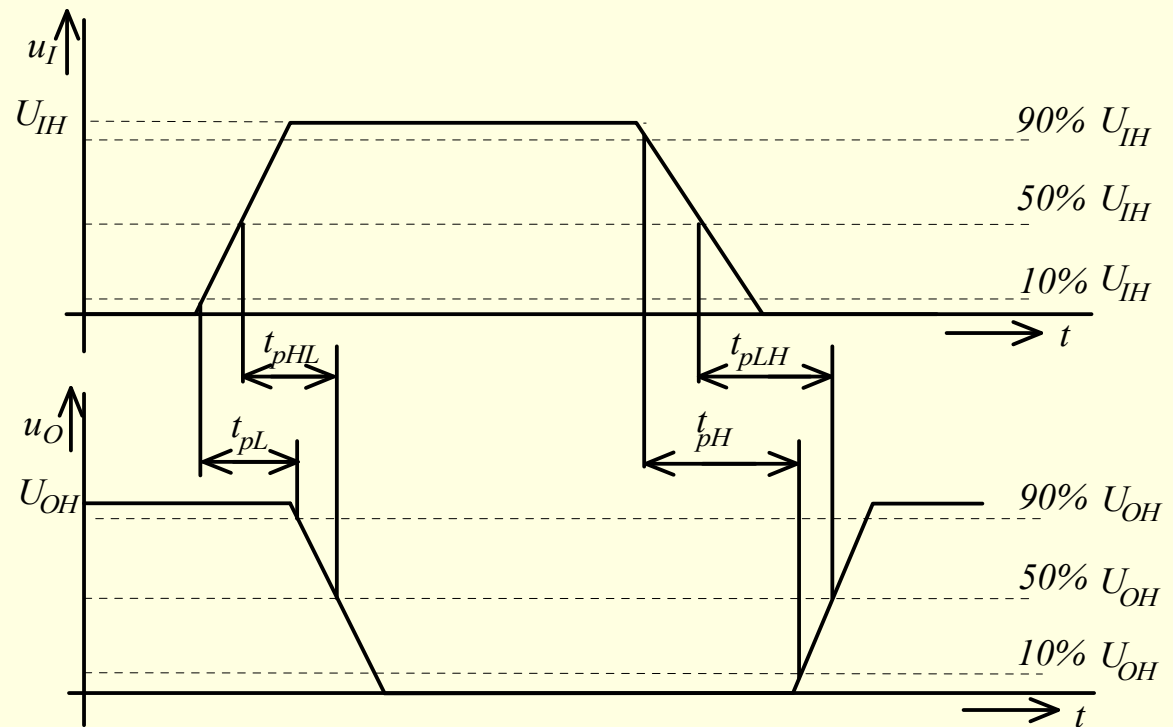
$$N = \frac{I_L}{I_{IL}} \quad (2.2)$$

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

•Dynamické parametre



$$t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

(2.3)

2 Realizácia číslicových obvodov

2.1 *Základné charakteristiky číslicových obvodov*

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

•***Odolnosť voči rušeniu*** nazývame maximálne poruchové napätie, ktoré neovplyvní stav číslicového obvodu. Poruchové napätie môže vzniknúť vplyvom náhodných zmien napájacieho napätia, alebo pri zvýšení potenciálu zemniaceho vodiča.

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

•**Stratový výkon** je výkon spotrebovaný jedným hradlom. Definuje sa pre určité podmienky, najčastejšie pri dynamickej činnosti hradla so striedaním 0 a 1 na vstupe s určitou frekvenciou.

2 Realizácia číslicových obvodov

2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

- ***Tolerancia napájacieho napätia*** je rozptyl napájacieho napätia, pri ktorom nie je porušená správna činnosť číslicového obvodu.

2 Realizácia číslicových obvodov

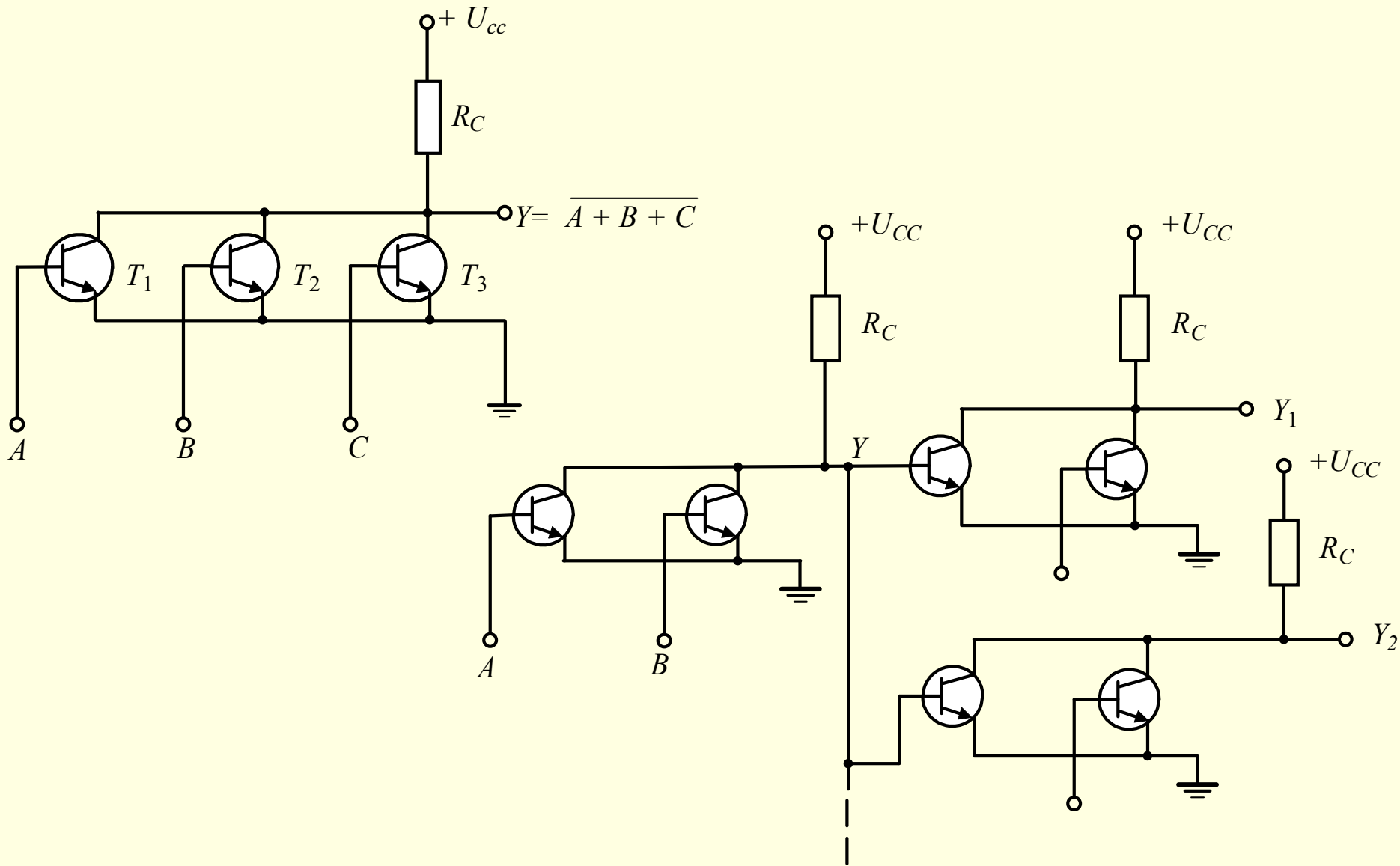
2.1 Základné charakteristiky číslicových obvodov

Pri porovnávaní obvodových riešení, ktoré realizujú logické funkcie, definujeme určité charakteristiky:

- **Rozsah pracovných teplôt** udáva rozsah teploty, v ktorom sú zaručené charakteristické parametre číslicového obvodu. Prekročením pracovných teplôt môže byť činnosť obvodu zhoršená, nemusí však dôjsť k jeho zničeniu.

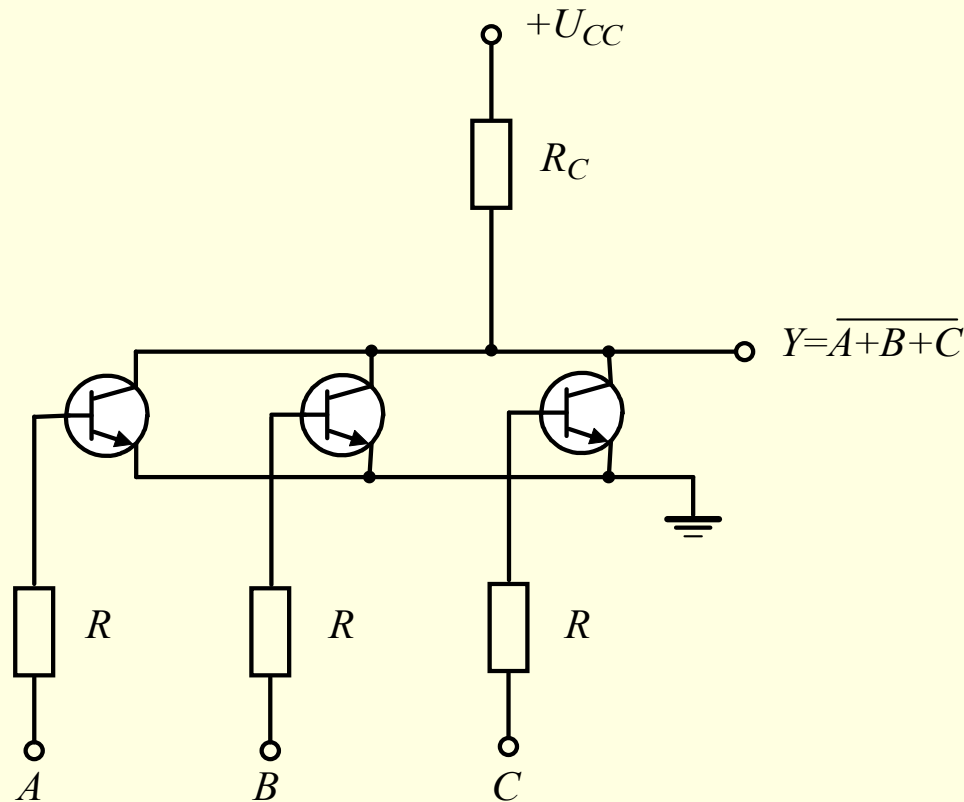
2.2 Základné obvody riešenia číslicových obvodov

2.2.1 Priamo viazaná tranzistorová logika DCTL



2.2 Základné obvody riešenia číslicových obvodov

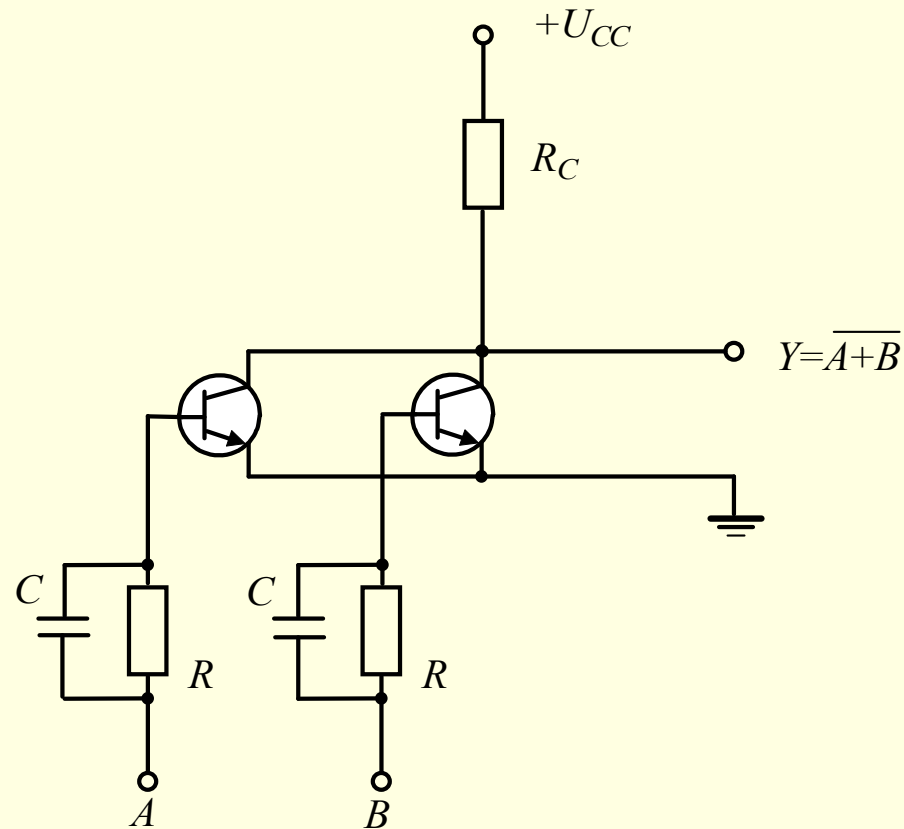
2.2.2 Odporovo viazaná tranzistorová logika RTL



Obvody RTL boli prvé obvody, ktoré sa objavili v integrovanej forme. Charakteristickými vlastnosťami RTL logiky sú relatívne malý stratový výkon, stredná spínacia rýchlosť, malý logický zisk, malá odolnosť voči rušeniu, nízka cena.

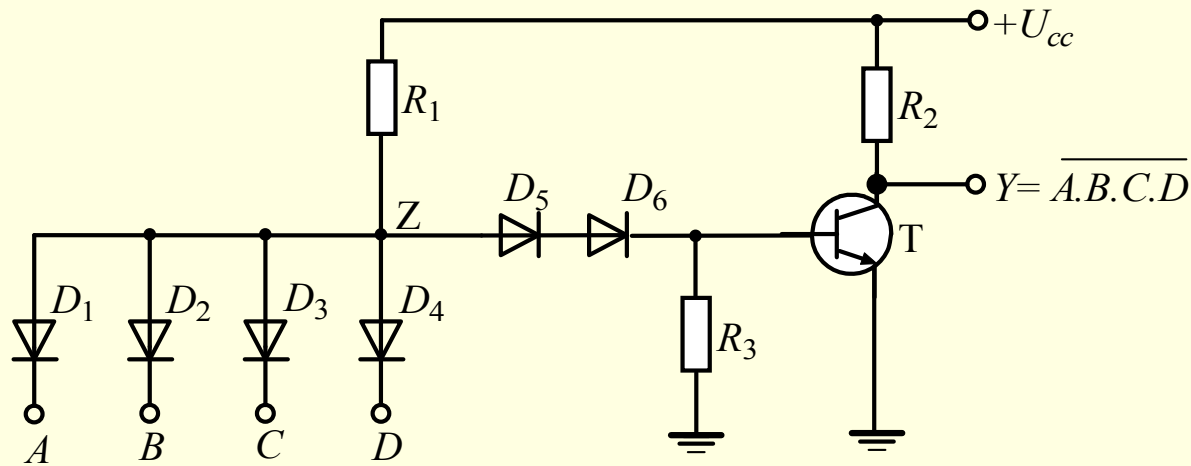
2.2 Základné obvody riešenia číslicových obvodov

2.2.3 Logika RCTL



2.2 Základné obvody riešenia číslicových obvodov

2.2.4 Logika DTL



Rozhodovacia úroveň je pri DTL obvodoch asi 1,4 V, pri RTL asi 0,7 V, t.j. DTL majú výrazne lepšiu šumovú imunitu.

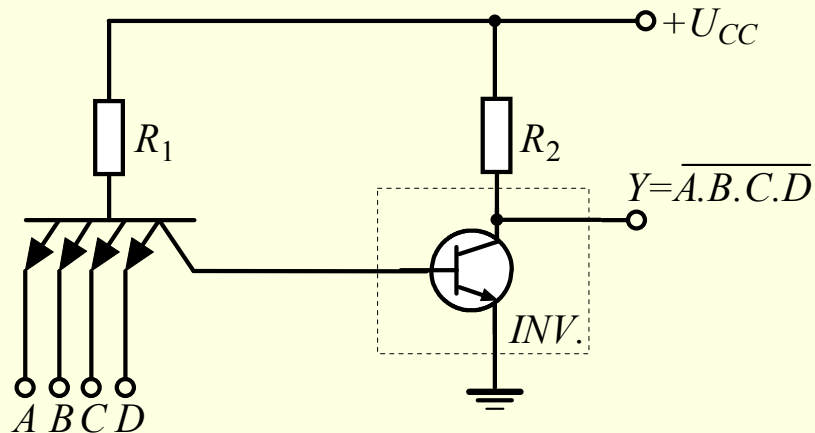
2.2 Základné obvodové riešenia číslicových obvodov

2.2.5 TTL logika

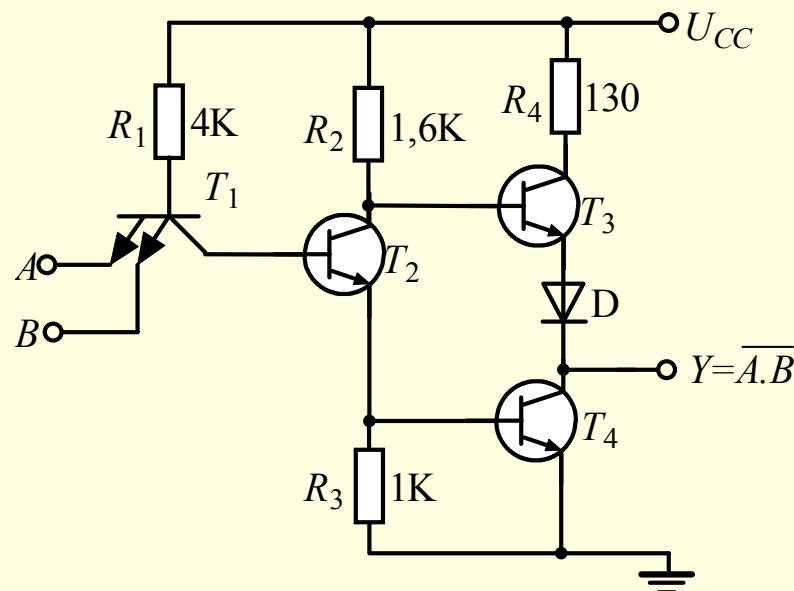
Zníženie vstupných kapacít v porovnaní s DTL sa prejaví skrátením nábežných a zostupných hrán, teda obvody TTL sú oproti DTL rýchlejšie.

Princíp činnosti je obdobný ako pri logike DTL. TTL obvody je možné rozdeliť podľa invertora na:

- obvody s jednoduchým invertorom
- obvody s dvojstupňovým invertorom
- obvody so zložitým invertorom.



Obvod TTL s *jednoduchým invertorom*

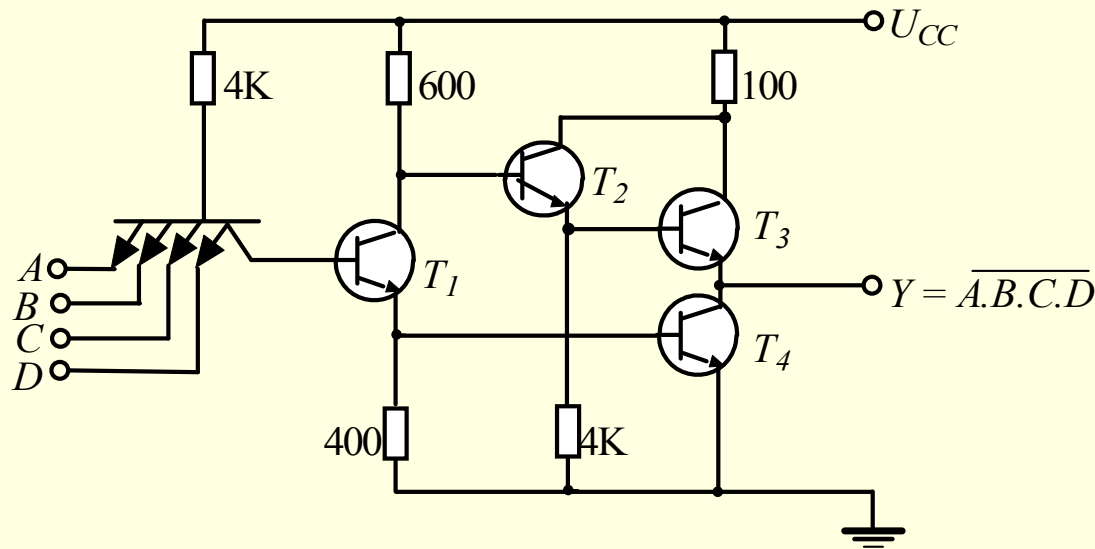


Obr.2.9 Obvody TTL s *dvojším invertorom*

2.2 Základné obvody riešenia číslicových obvodov

2.2.5 TTL logika

Ďalšou modifikáciou invertora je *zložitý invertor* umožňujúci väčší logický zisk. Dosahuje sa zaradením prúdového zosilňovača s dvoma tranzistormi do výstupného obvodu. Zapojenie takéhoto hradla, ktoré sa označuje ako *výkonové*



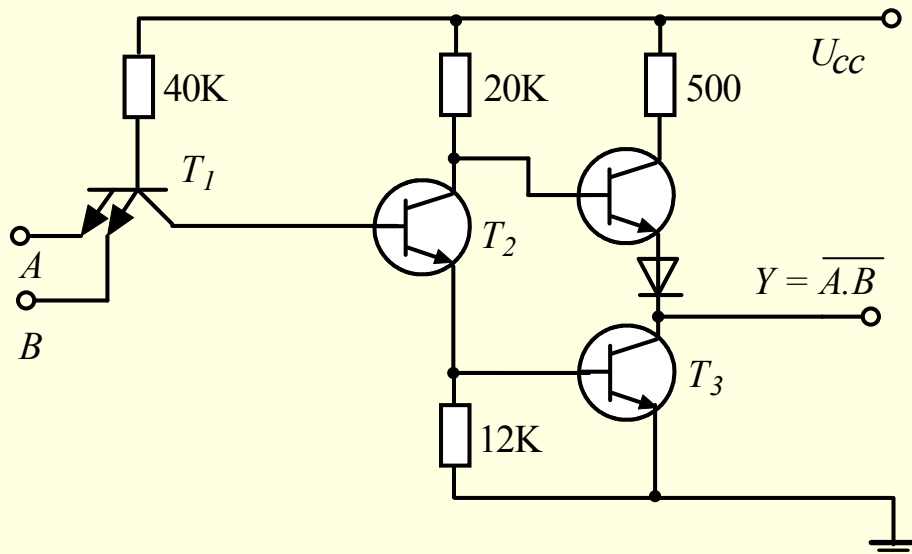
Obvod TTL so *zložitým invertorom*

2.2 Základné obvody riešenia číslicových obvodov

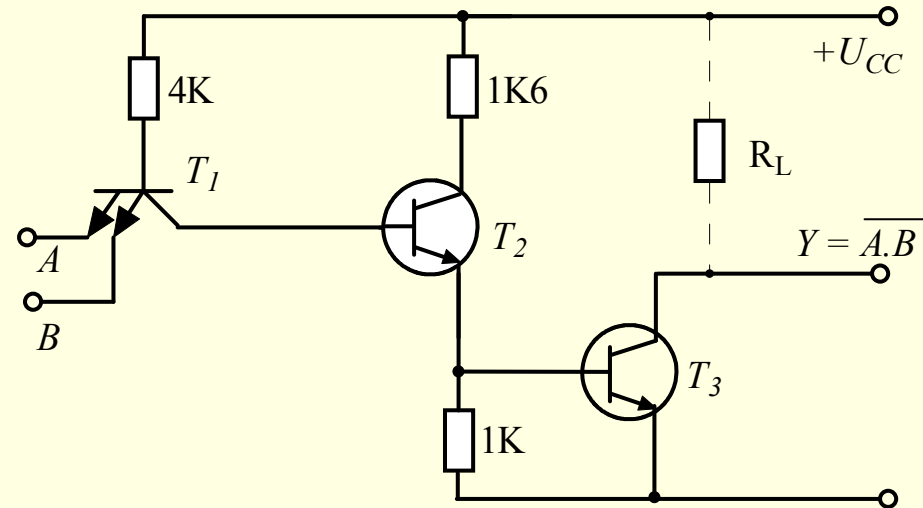
2.2.5 TTL logika

2.2.5.1 Modifikácie TTL logiky

Z dôvodu väčších rýchlostí bola vyvinutá TTL logika, ktorá používa tranzistory so *Schottkyho diódami*. Uvedená logika sa označuje ako logika TTLS.



TTL logika s *nízkym príkonom*



TTL logika s *otvoreným kolektorom*
realizácia WIRE OR.

2.2 Základné obvody riešenia číslicových obvodov

2.2.5 TTL logika

2.2.5.1 Modifikácie TTL logiky

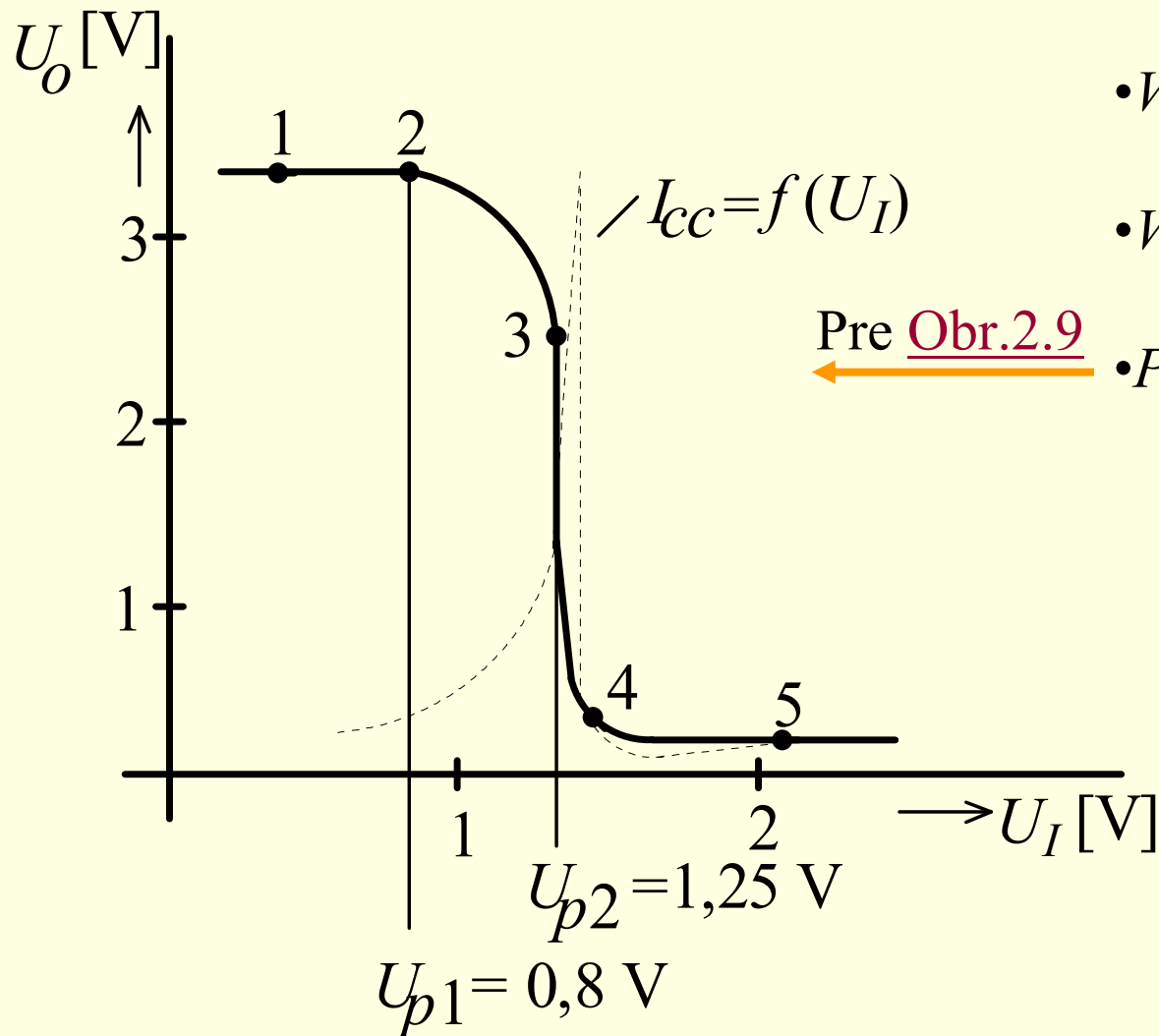
Tab.2.1 Typické hodnoty parametrov jednotlivých modifikácií TTL logiky.

Typ rady	Typové označenie	Oneskorenie [ns]	Logický zisk N	Výkon [mW/hradlo]
Štandardná	74	13-15	10	10-15
Nízko príkonová	74L	33	10	1,2
Schottkyho	74S	3	16	19

2.2 Základné obvodové riešenia číslicových obvodov

2.2.5 TTL logika

2.2.5.2 Základné charakteristiky TTL obvodov



• *Vstupná charakteristika*

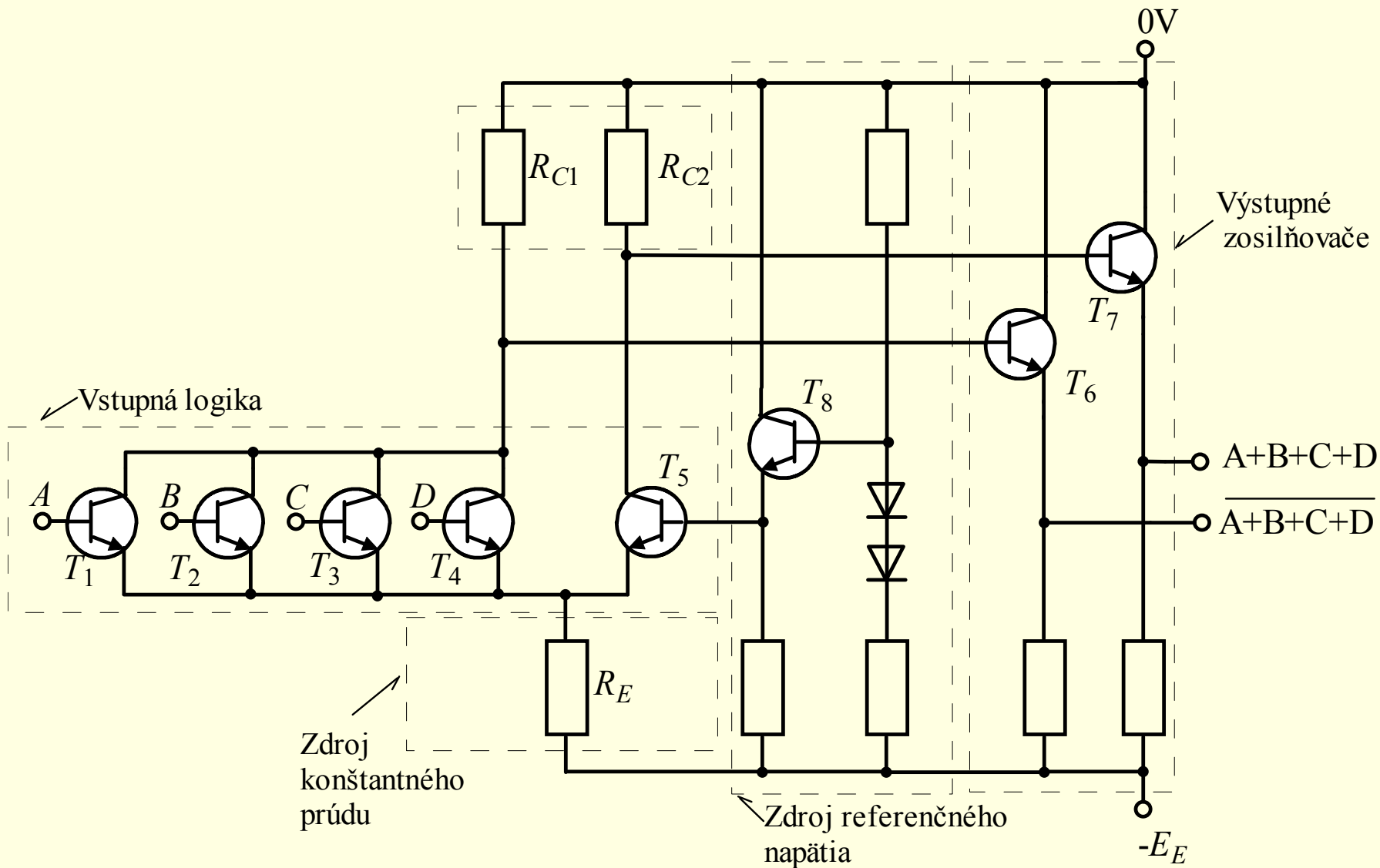
• *Výstupná charakteristika*

Pre [Obr.2.9](#)

• *Prenosová charakteristika*

2.2 Základné obvody riešenia číslicových obvodov

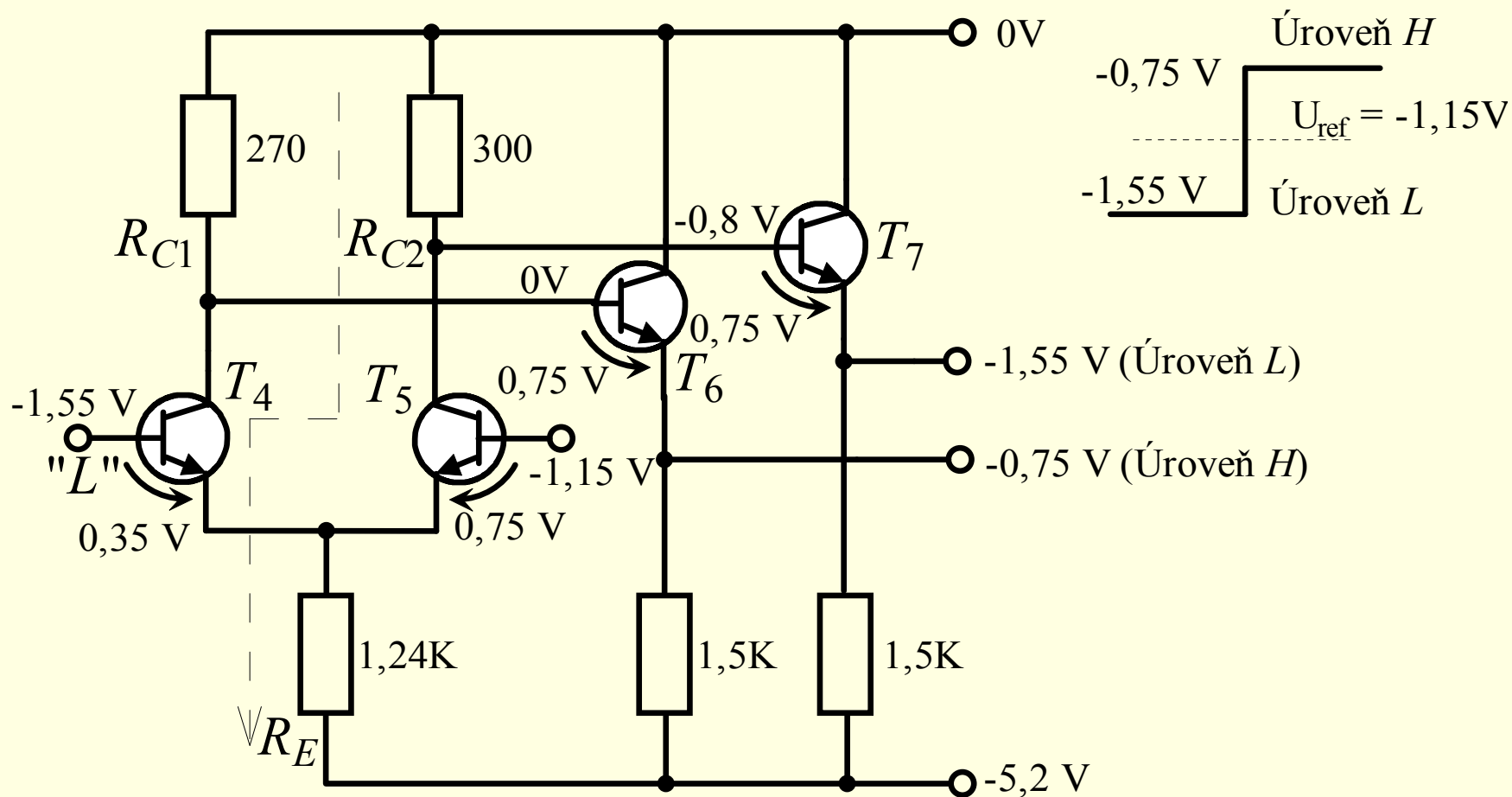
2.2.6 ECL logika



2.2 Základné obvody riešenia číslicových obvodov

2.2.6 ECL logika

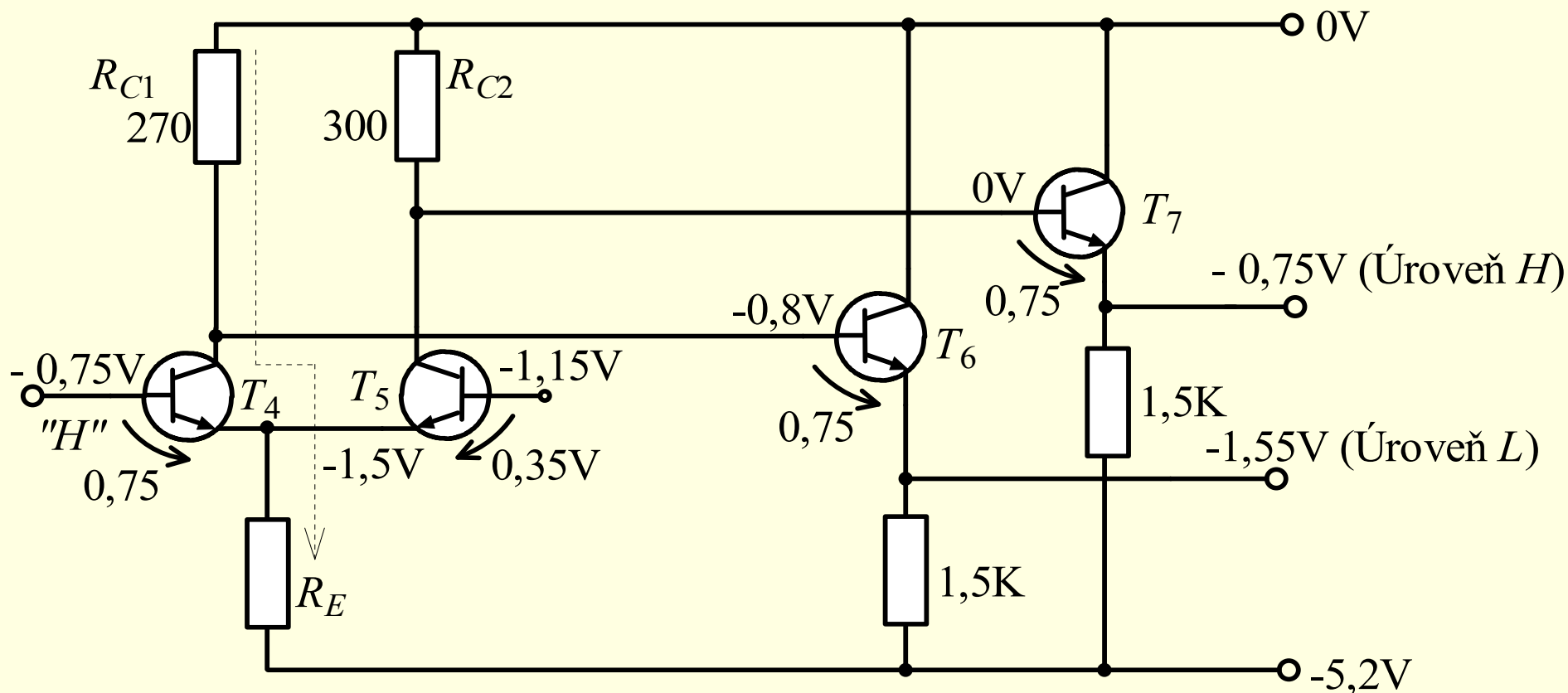
Príklad pracovných podmienok pre ECL obvody pri úrovni L na T_4



2.2 Základné obvody riešenia číslicových obvodov

2.2.6 ECL logika

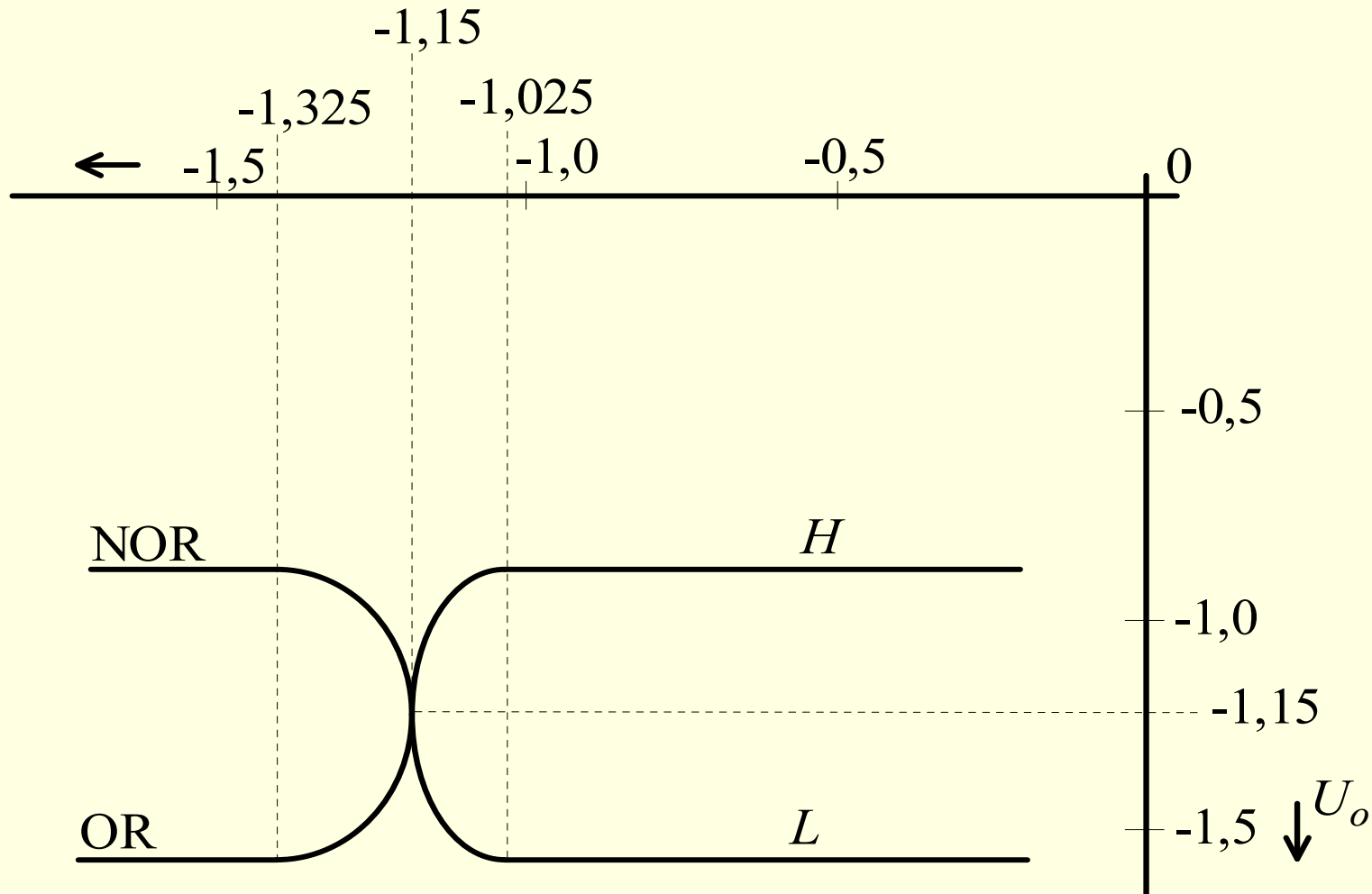
Príklad pracovných podmienok pre ECL obvody pri úrovni H na T_4



2.2 Základné obvody riešenia číslicových obvodov

2.2.6 ECL logika

2.2.6.1 Základné charakteristiky ECL obvodov



2.2 Základné obvody riešenia číslicových obvodov

2.2.6 ECL logika

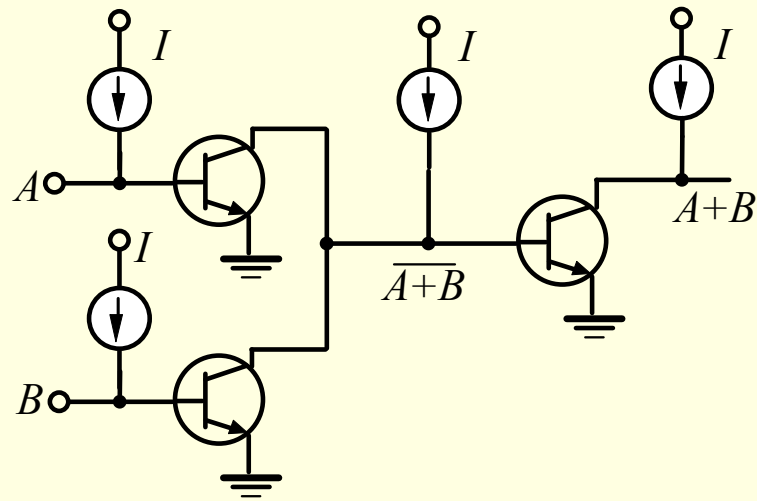
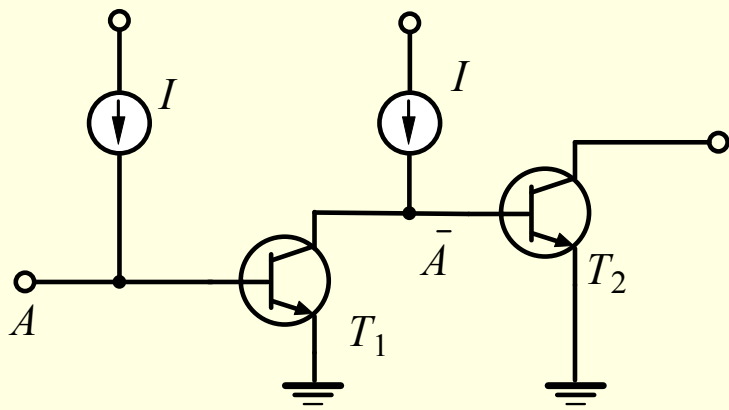
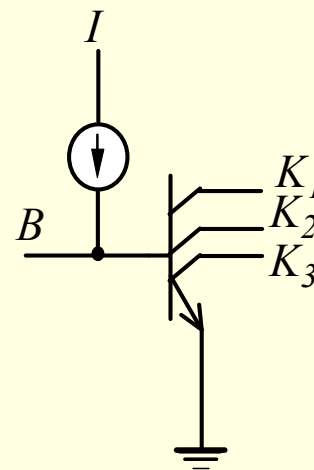
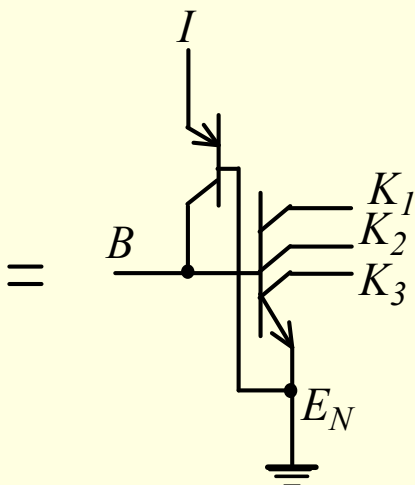
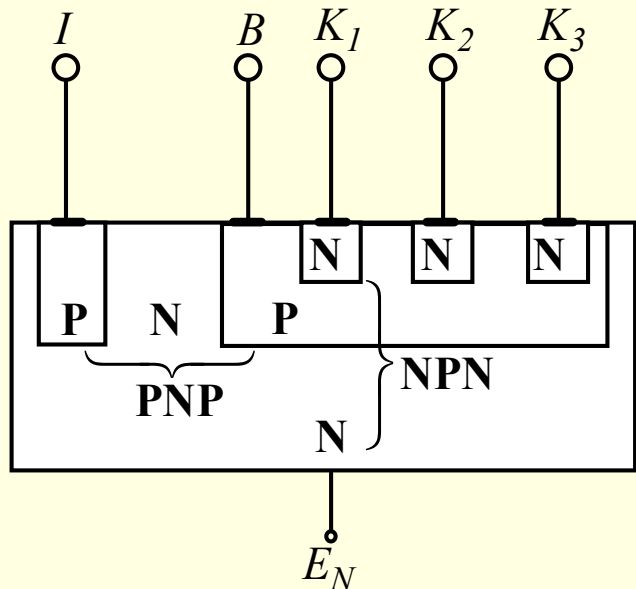
2.2.6.2 Výhody ECL

Základnou vlastnosťou obvodov ECL je ich *veľká rýchlosť*. V týchto obvodoch pracujú tranzistory v nenasýtenom stave, čím sa vylúči oneskorenie spôsobené nadbytočným nábojom tranzistora. K dosiahnutiu veľkých spínacích rýchlostí prispievajú aj malé rozkmity signálov a malé výstupné impedancie obvodov.

- Na napájanie postačuje *jeden zdroj* -5,2 V s pomerne veľkou toleranciou $\pm 20\%$.
- Vzhľadom k charakteru zapojenia obvodov ECL sa *veľkosti prúdov* zodpovedajúce jednotlivým stavom líšia iba *veľmi málo*.
- Malá výstupná impedancia obmedzuje vznik rušenia na spojovacích vodičoch a *zmenšuje vplyv záťaže* na výstupné úrovne.
- Malá výstupná a veľká vstupná impedancia umožňujú *veľký logický zisk* na vstupe a výstupe bez podstatného zhoršenia vlastností obvodu.
- Základné obvody ECL majú *komplementárne výstupy*, čo umožňuje zmenšiť potrebný počet obvodov až o 30%.

2.2 Základné obvody riešenia číslicových obvodov

2.2.7 I^2L logika



a)

b)

2.2 Základné obvody riešenia číslicových obvodov

2.2.7 I^2L logika

Vlastnosti obvodov I^2L možno zhrnúť do týchto bodov:

- Vzhľadom k jednoduchej realizácii základného obvodu - invertora, obvody I^2L umožňujú dosiahnuť vysoký stupeň integrácie.
- Obvody I^2L nevyžadujú podstatné zmeny v technologických postupoch oproti postupom používaným pri výrobe bipolárnych obvodov.
- Napájanie obvodov I^2L je 0,5 - 0,9V, čo je značne nižšie ako v iných obvodoch.
- Stratový výkon je pomerne malý a dosahuje hodnoty 1 pJ na jeden invertor.

Hlavným nedostatkom obvodov I^2L je rýchlosť, kt. je obmedzená režimom nasýtenia tranz., resp. potreba riešenia špeciálnych obvodov pre spoluprácu s obvodmi iných typov.

2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody

Základným delením pre MOS obvody je delenie podľa typu vodivosti kanála, a to:

- PMOS obvody s kanálom typu P,
- NMOS obvody s kanálom typu N,
- CMOS obvody s obidvoma typmi kanálov.

2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.1 Invertory MOS

Invertory MOS možno rozdeliť podľa nasledovných vlastností:

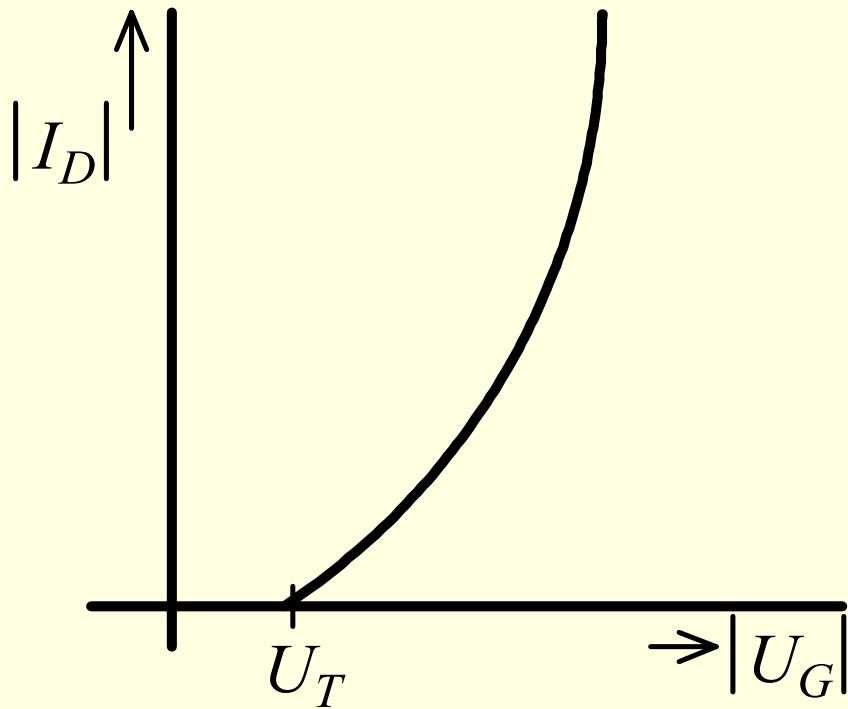
- typ kanála,
- dotovanie kanála,
- zvolený režim.

2.2 Základné obvodové riešenia číslicových obvodov

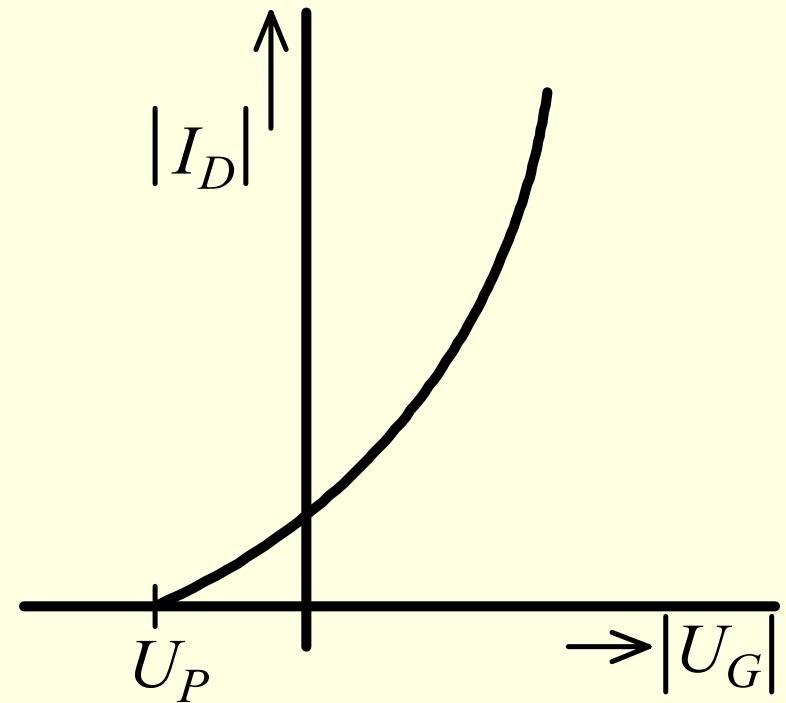
2.2.8 MOS obvody- 2.2.8.1 Invertory MOS

Invertory MOS možno rozdeliť podľa nasledovných vlastností:

- dotovanie kanála,



a)



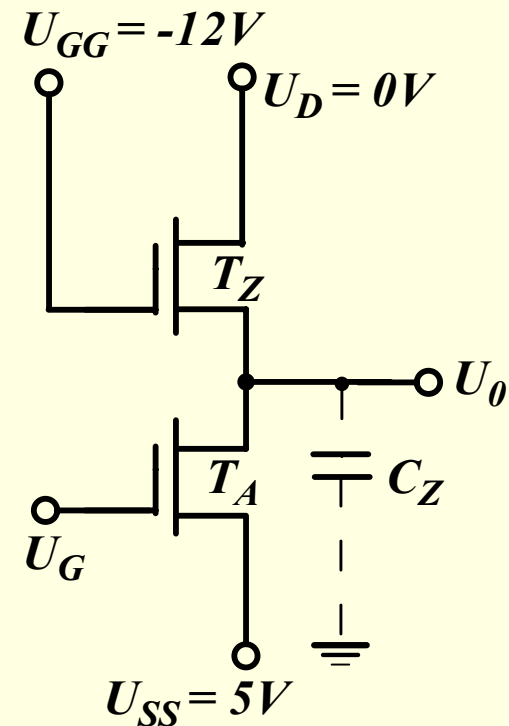
b)

2.2 Základné obvodové riešenia číslicových obvodov

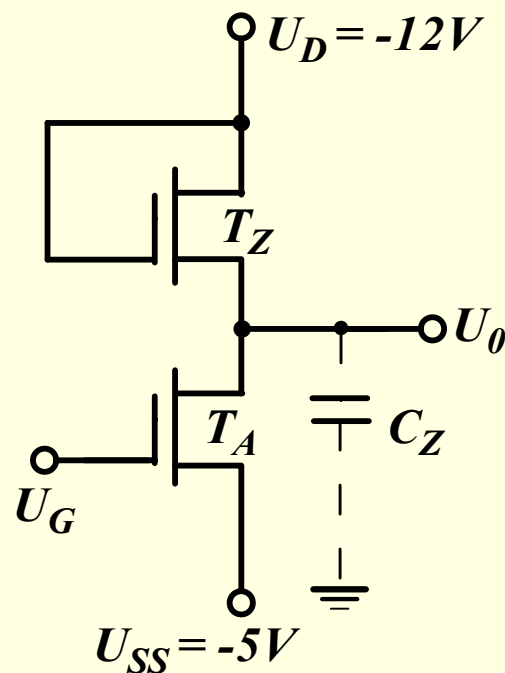
2.2.8 MOS obvody- 2.2.8.1 Invertory MOS

Invertory MOS možno rozdeliť podľa nasledovných vlastností:

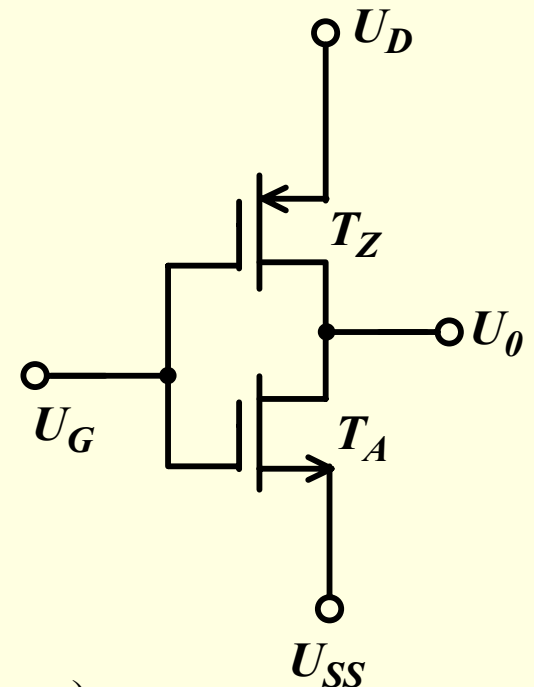
- zvolený režim.



a) T_Z v nenasýtenej oblasti-LT
 $|U_{GG} - U_T| > |U_D|$



b) T_Z v nasýtenej oblasti-LS
 $|U_{GG} - U_T| < |U_D|$

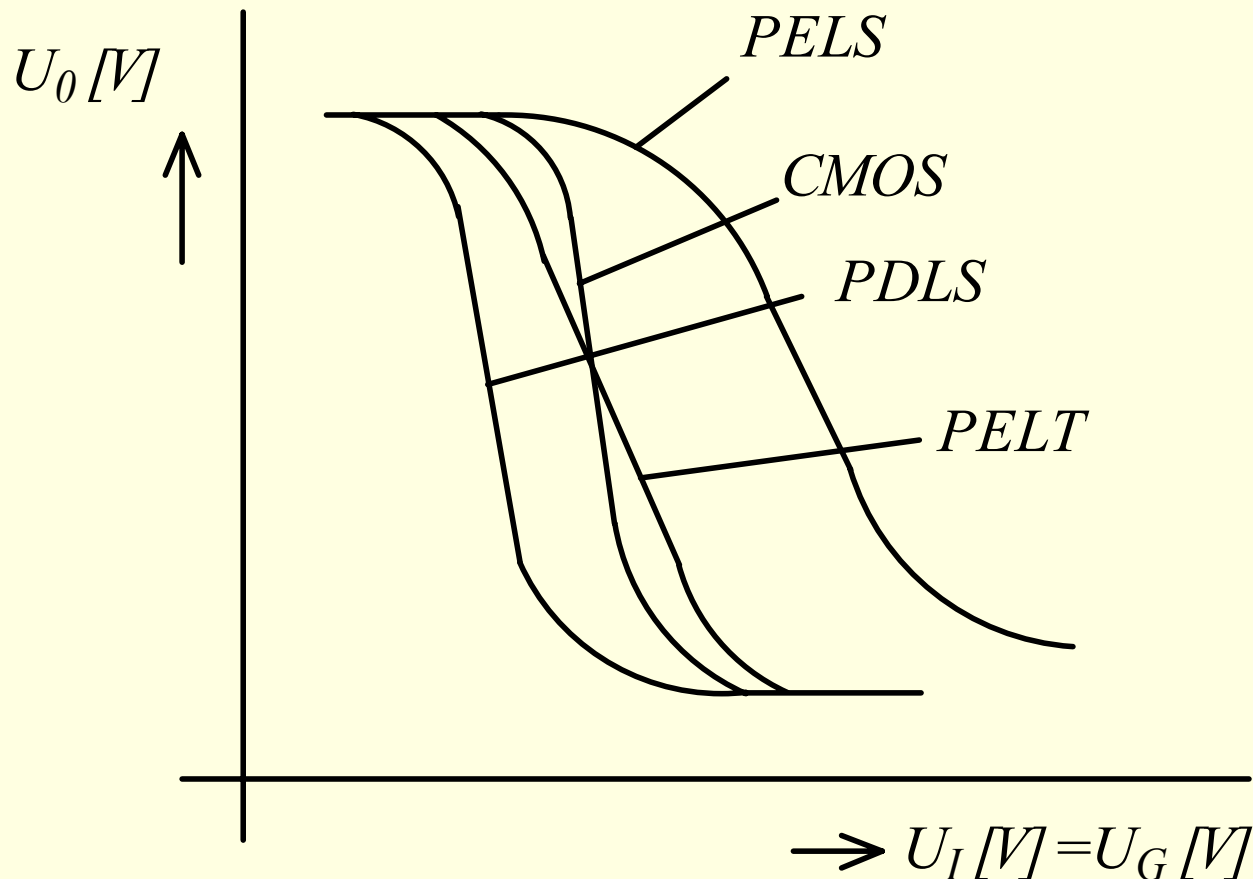


c)

2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.2 Základné charakt. invertora MOS

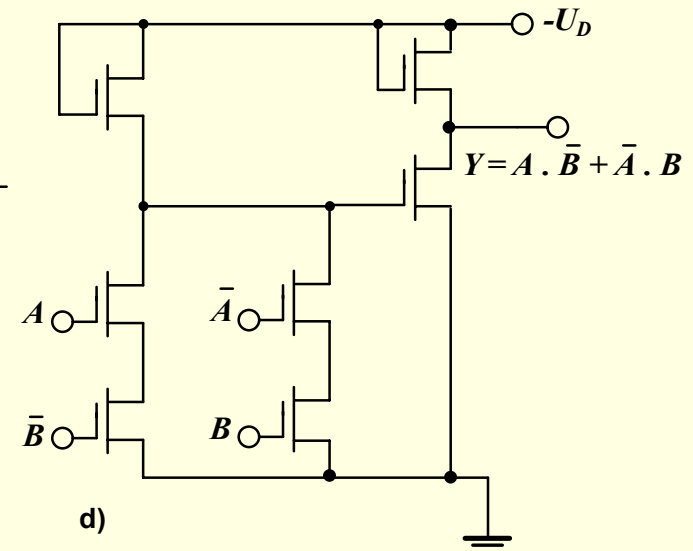
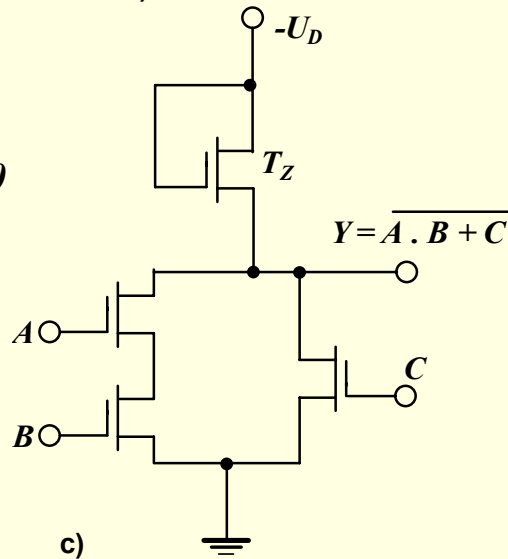
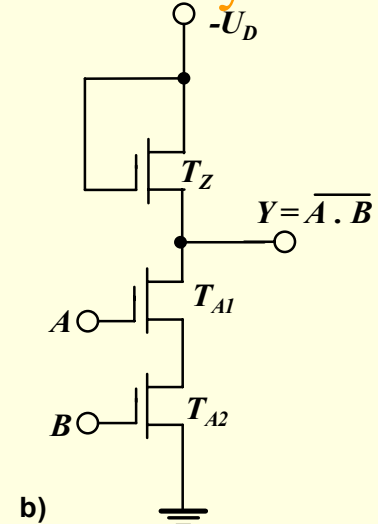
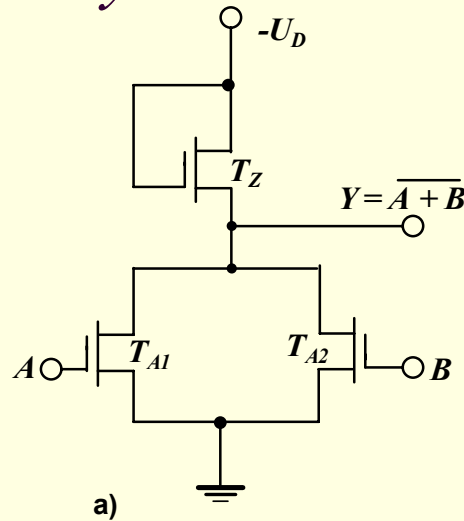
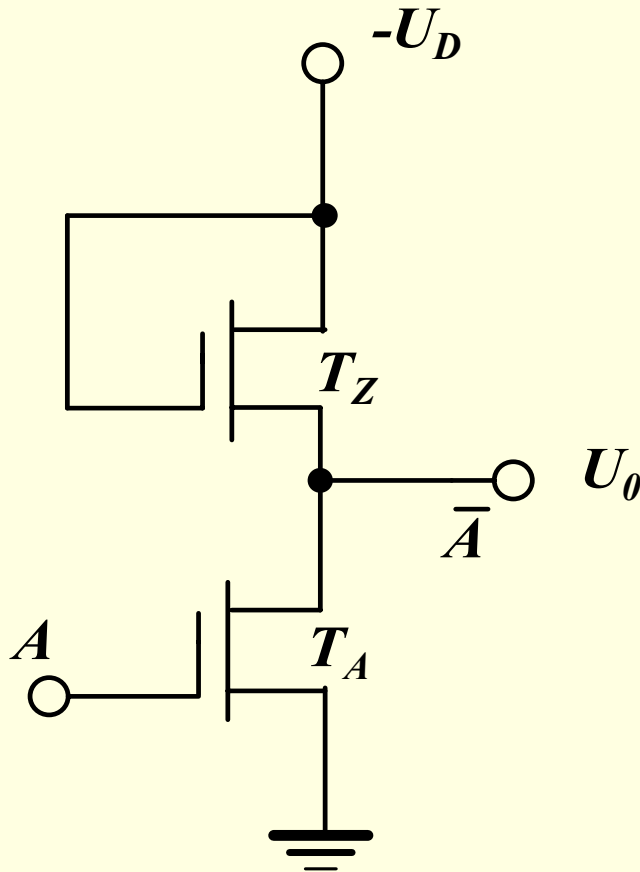
Základnou charakteristikou invertorov MOS je *prenosová charakteristika*.
Typické priebehy prenosových charakteristík MOS invertorov sú na Obr.



2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.4 Statické obvody MOS

Statický invertor MOS

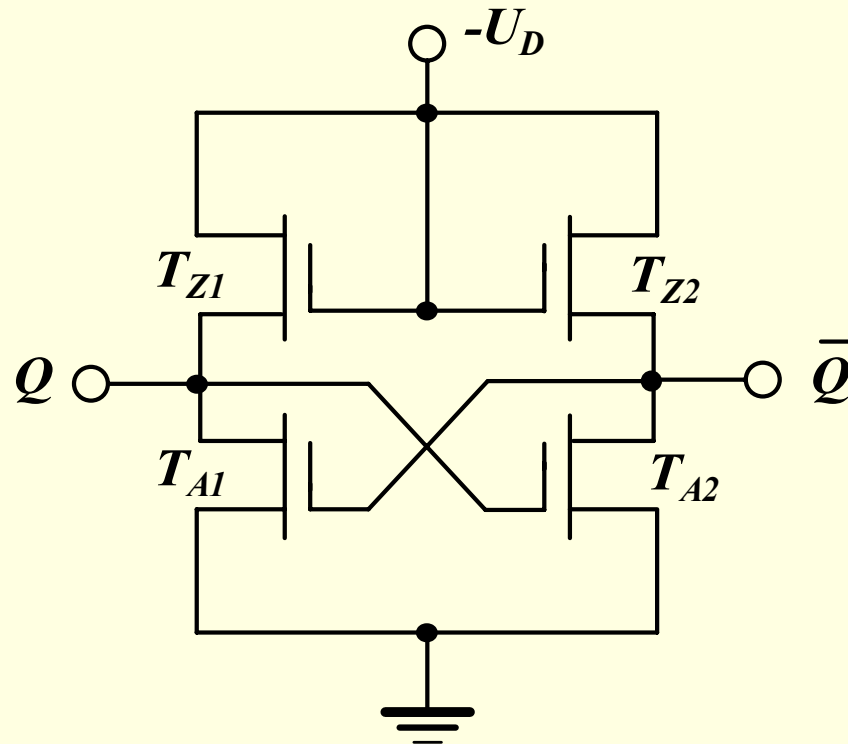


Príklady realizácie logických funkcií statických obvodov MOS

2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.4 Statické obvody MOS

Statický klopný obvod (má charakter bistabilného KO), ktorý tvorí najjednoduchšiu pamäťovú bunku



2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.4 Statické obvody MOS

Výhody statických obvodov MOS sú:

- Funkčne sú analogické bipolárnym obvodom, čo umožňuje využiť všetky logické princípy aj pri návrhu týchto obvodov.
- Logické úrovne 0 a 1 sa uchovávajú v jednotlivých uzloch obvodu neobmedzený čas (ak nedôjde k prerušeniu energie), preto tieto obvody môžu pracovať s taktovacími impulzmi o ľubovoľnej perióde, resp. asynchrónne.
- Nevyžadujú výkonné generátory hodinových impulzov.

2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.4 Statické obvody MOS

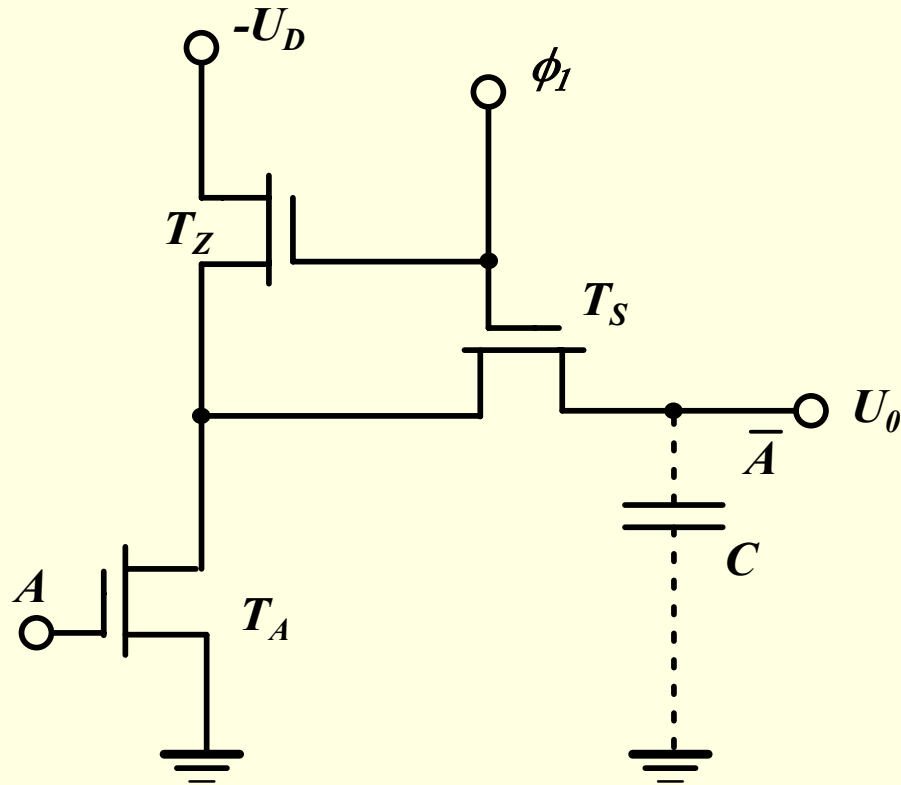
Nevýhody statických obvodov MOS sú:

- Väčšia spotreba v porovnaní s dynamickými MOS obvodmi, pretože vo vodivom stave aktívneho tranzistora sa čerpá energia zo zdroja.
- V statických obvodoch nemožno realizovať tzv. bezpomeroú logiku, čo znamená, že rozmery tranzistorov sú väčšie ako v dynamických bezpomeroých obvodoch (teda obvody zaberajú väčšiu plochu na čipe).
- Klopné obvody využívajú statické klopné obvody v bistabilnom režime, čo si vyžaduje viac tranzistorov.

2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

Dynamický invertor MOS

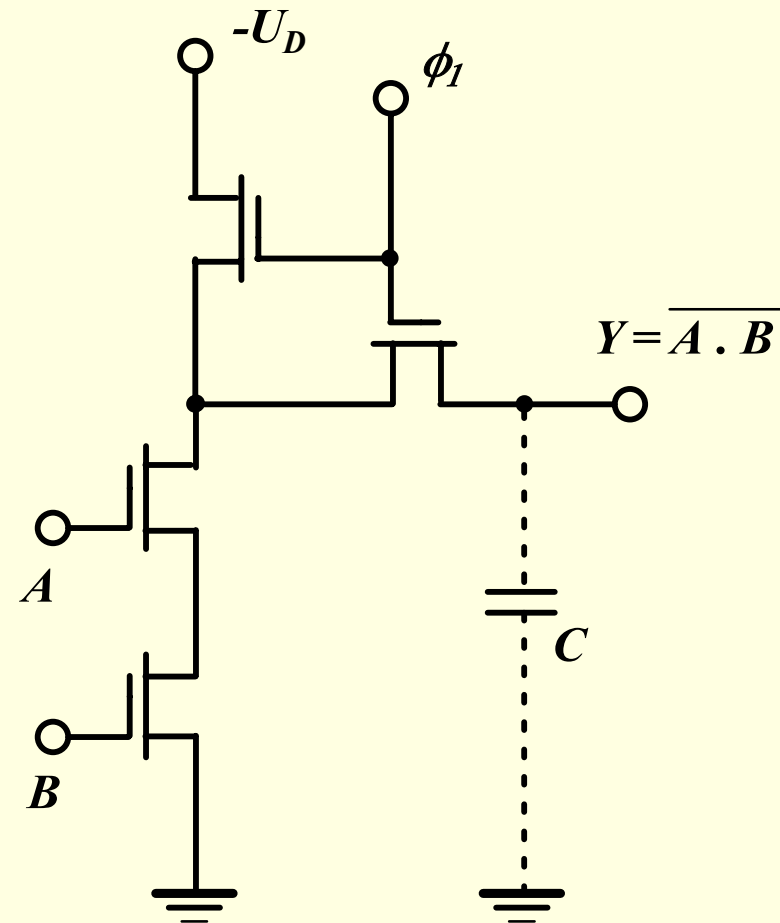
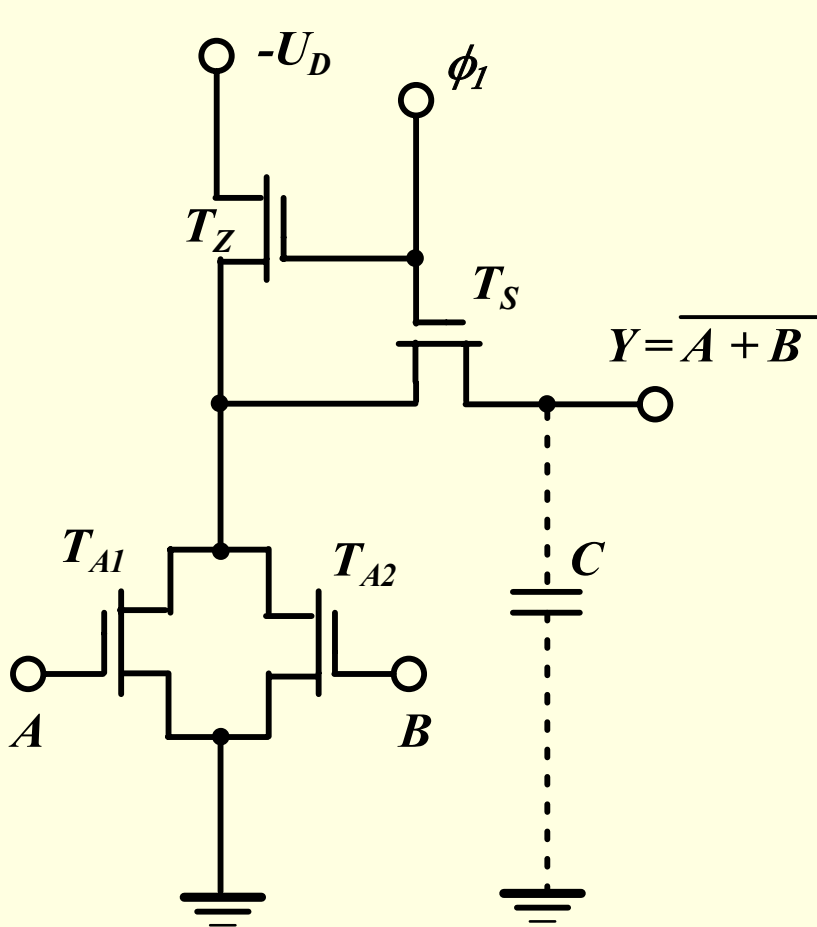


Uvedený princíp dynamického invertora umožňuje realizovať iba *pomerovú logiku*, pre ktorú je charakteristické, že logické úrovne H a L sú ovplyvnené pomerom odporov aktívneho a zaťažovacieho tranzistora, teda dochádza k deleniu napätia $-U_D$.

2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

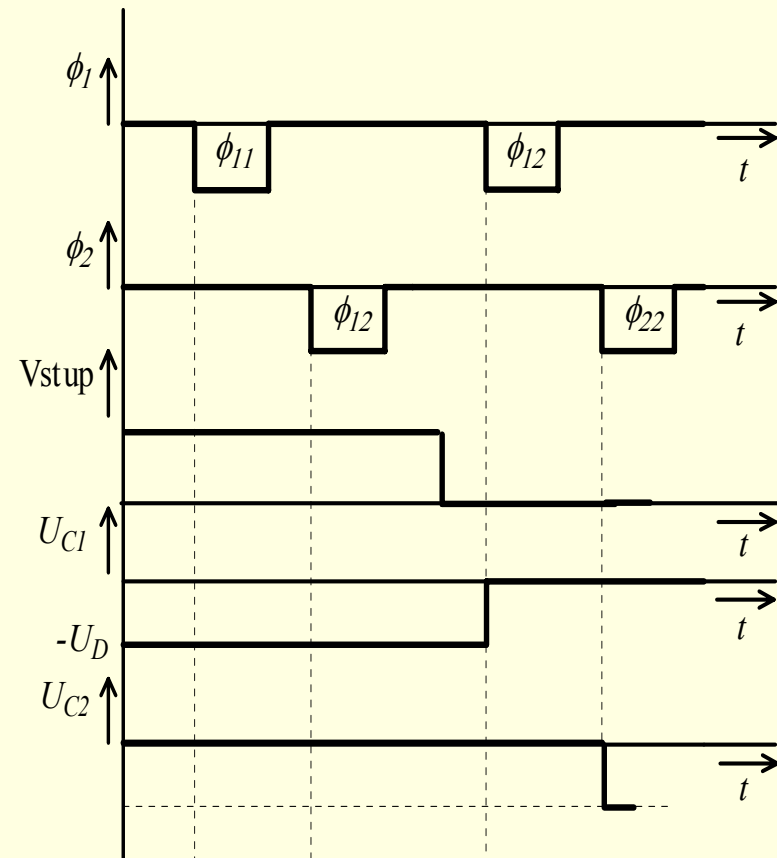
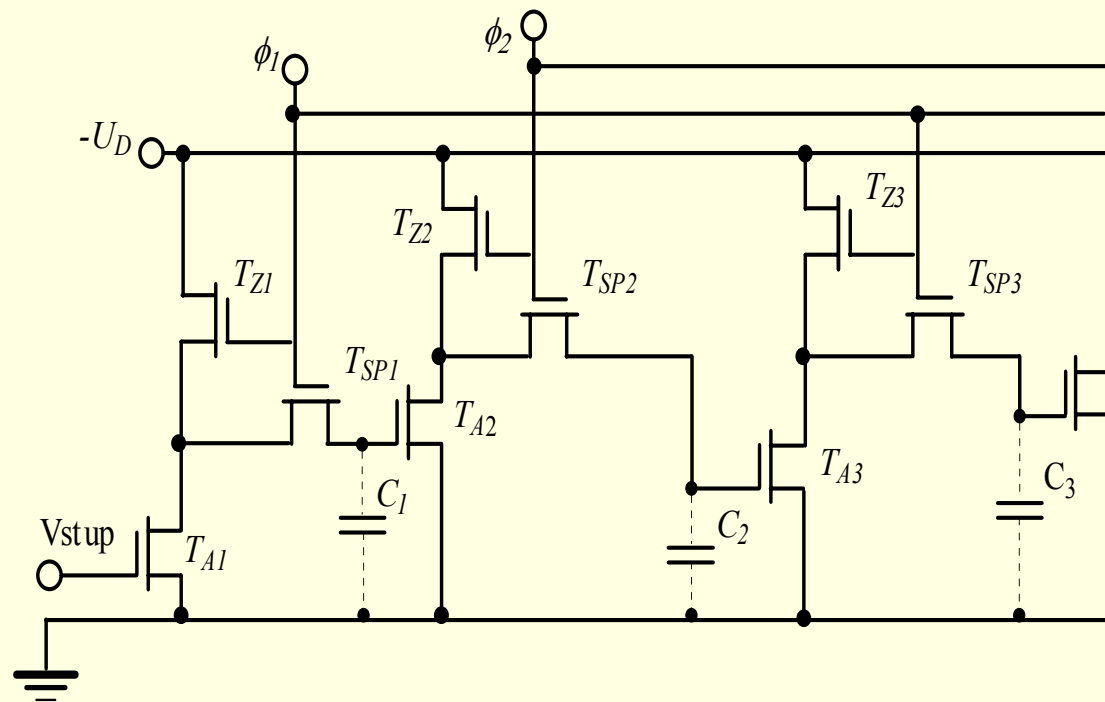
Príklady realizácie logických funkcií dynamických MOS obvodov



2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

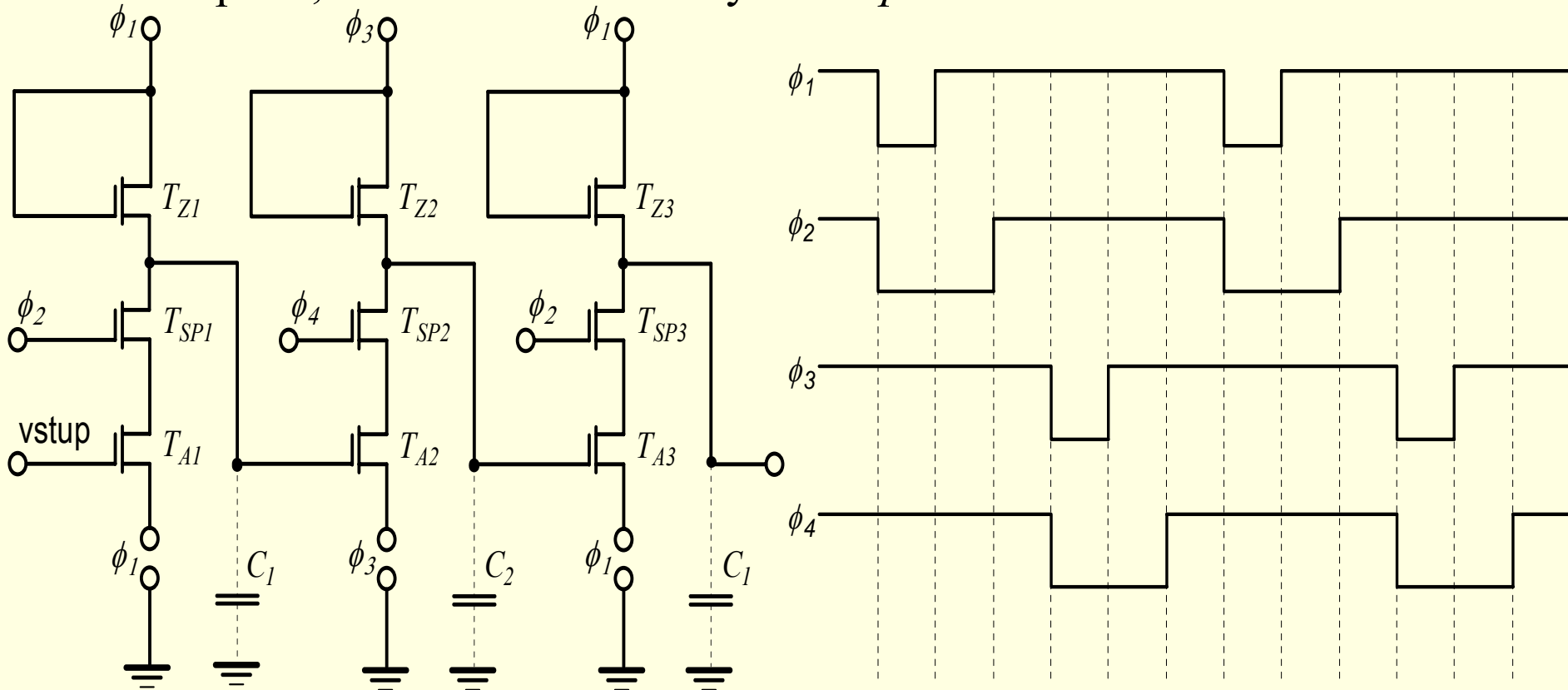
Dvojfázové pomerové dynamické obvody MOS využívajú posun informácie v dynamických obvodoch, čo predstavuje jeden z možných spôsobov obnovovania informácie, resp. určitú logickú operáciu. Aj tieto obvody sú pomerové.



2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

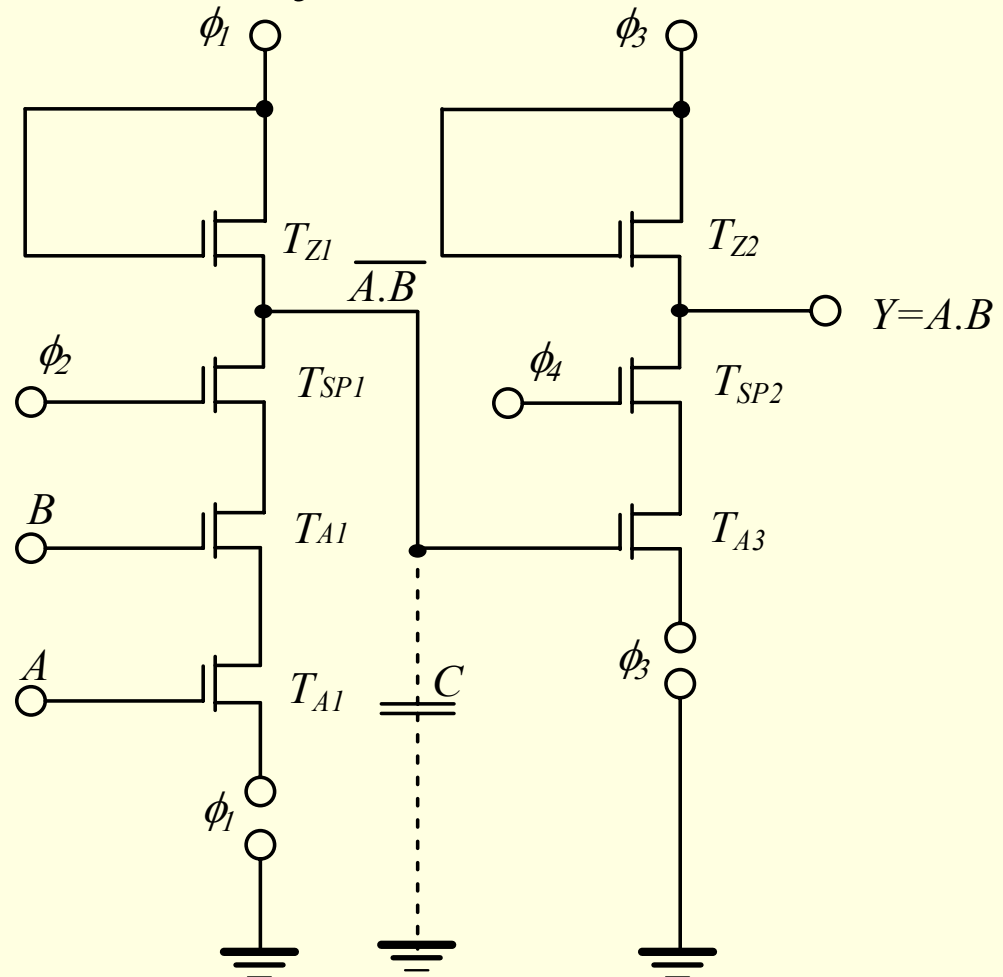
Štvorfázové bezpomeroané obvody MOS využívajú odlišné princípy ako dvojfázové pomeroané obvody. Vzhľadom na to, že tranzistory T_A sú napájané z oboch strán v čase nabíjania kondenzátorov, tieto sa nabíjajú na hodnoty rovné amplitúdam týchto hodinových impulzov, nedochádza k deleniu napätia, teda uvedené obvody sú *bezpomeroané*.



2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

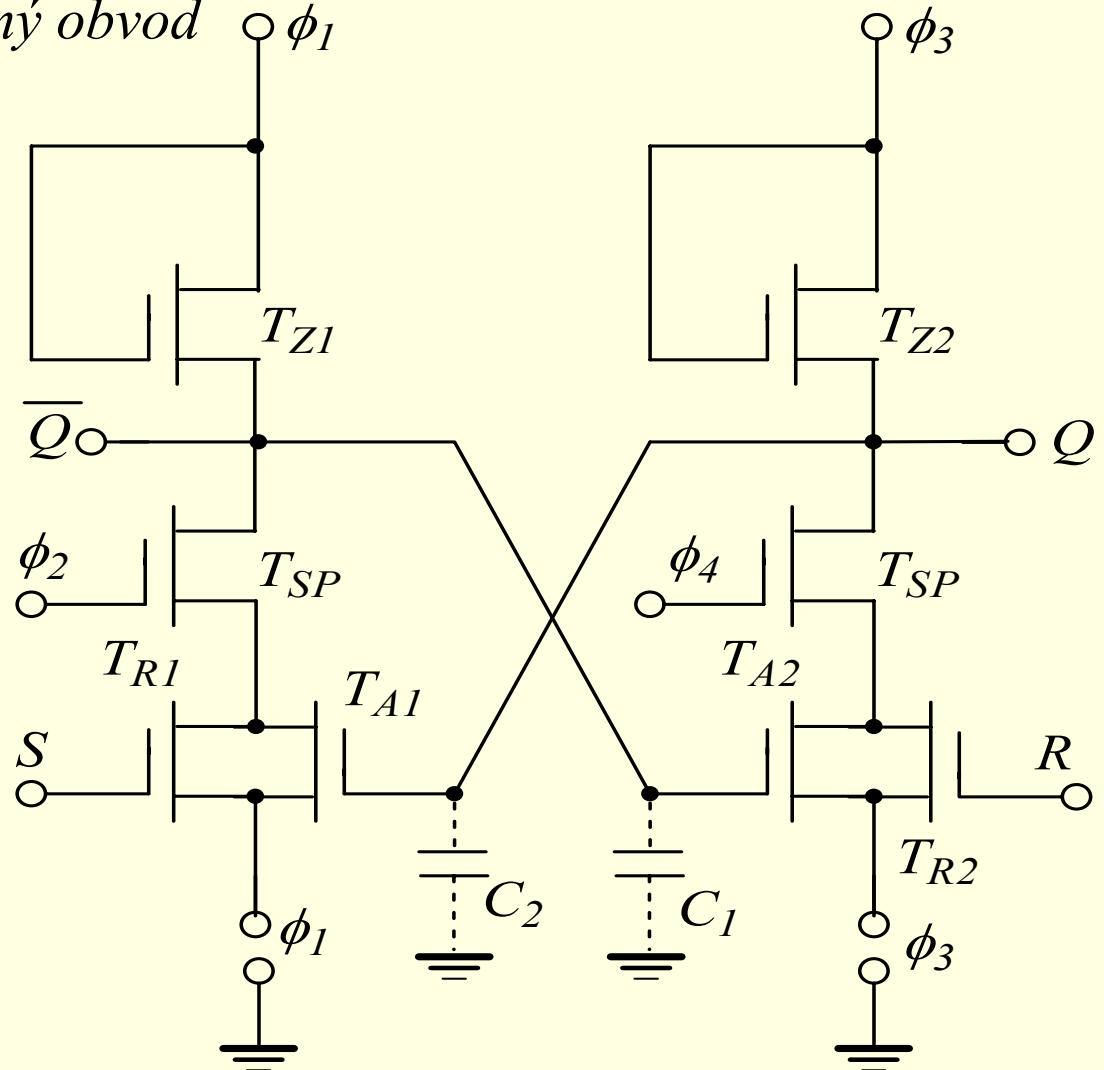
Logické funkcie v štvorfázových obvodoch MOS sa realizujú analogicky ako v dvojfázových obvodoch. Príklad hradla AND je na Obr.



2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

Štvorfázový dynamický klopný obvod



2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

Výhody dynamických pomerových obvodov možno zhrnúť do týchto bodov:

- Menšia spotreba energie ako v statických obvodoch MOS.
- Menší počet tranzistorov ako v statických obvodoch MOS, pretože vo funkcii vnútornej pamäti sa využívajú kondenzátory.
- Väčšia šumová imunita.
- Menší potrebný výkon generátora hodinových impulzov ako v bezpomerových dynamických obvodoch.

Oproti dynamickým bezpomerovým obvodom majú dynamické pomerové obvody tieto nevýhody:

- Väčšia spotreba energie ako v bezpomerových obvodoch.
- Menšia hustota integrácie v porovnaní s dynamickými bezpomerovými obvodymi.

2.2 Základné obvody riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.5 Dynamické obvody MOS

Výhody dynamických bezpomeroých obvodov sú:

- Extrémne malá spotreba energie.
- Veľká hustota integrácie, čo vyplýva z možnosti bezpomeroých obvodov zmenšiť rozmery tranzistorov.
- Väčšia operačná rýchlosť, ktorá vyplýva z malých časových konštánt pri nabíjaní kondenzátorov.

Nevýhody dynamických bezpomeroých obvodov sú:

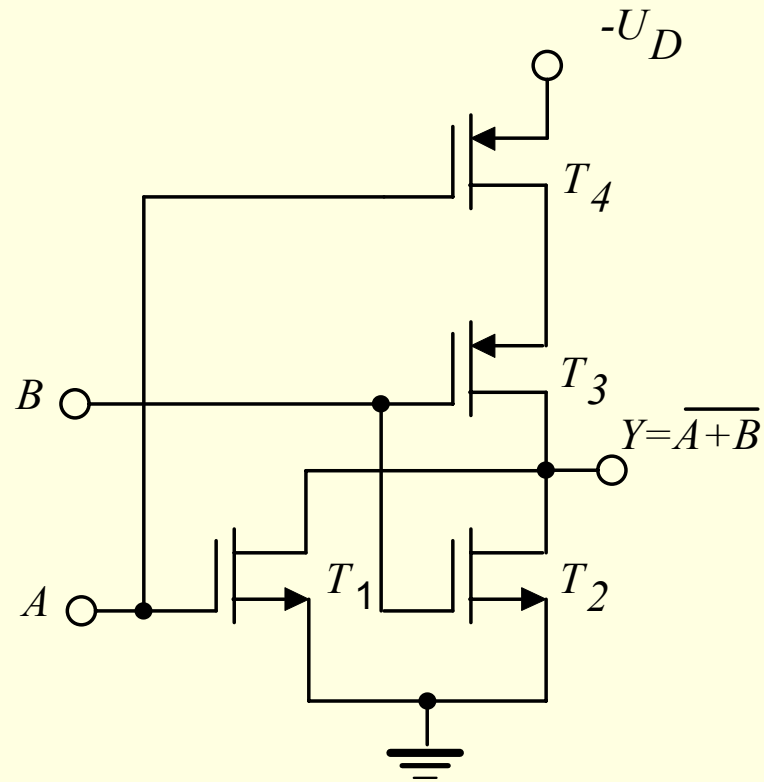
- Väčší výkon zdroja hodinových impulzov v porovnaní s dvojfázovými obvodmi.
- Potreba rozvodu štvorfázových hodinových impulzov, čo komplikuje topológiu obvodov a návrh masiek.

2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.6 Obvody CMOS

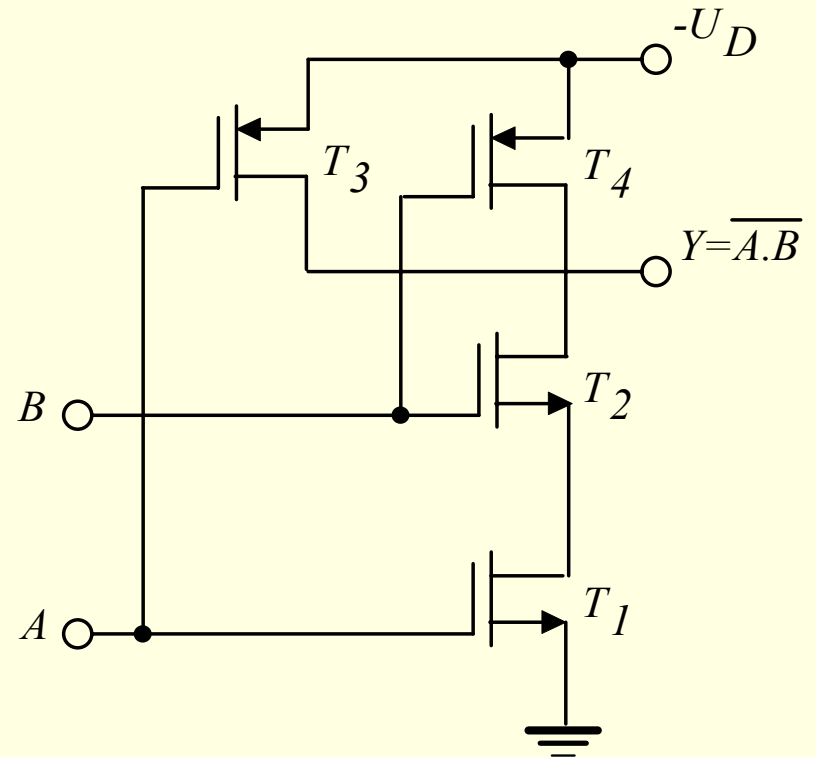
Príklady realizácie logických funkcií obvodov CMOS

NOR



a)

NAND



b)

2.2 Základné obvodové riešenia číslicových obvodov

2.2.8 MOS obvody- 2.2.8.6 Obvody CMOS

Základné výhody CMOS obvodov sú:

- Extrémne nízka spotreba energie v statickom režime (rádové mW).
- Relatívne veľká pracovná rýchlosť.
- Vysoká šumová imunita.
- Široký rozsah napájacích napätí (3 až 15 V)
- Pomerne veľký logický zisk.

2.2 Základné obvody riešenia číslicových obvodov

2.3 Porovnanie obvodov realizujúcich log. funkcie

Parameter	TTL	ECL	I ² L	PMOS	NMOS	CMOS
Plocha hradla [μm^2]	12,5 - 37,5	12,5 - 31	2,5 - 3,7	5-7	3,7-5	6,25 - 18,7
Oneskorenie hradla [ns]	3-10	0,5-2	5	100	40-100	15-20
Príkonnosť hradla [mW]	1-3	5-15	0,2	2-3	0,2-0,5	0,001
Príkonnosť x rýchlosť [pJ]	10	10	1	200	10-50	3
Logický zisk	10	25	8	5	5	100