

Elektronické systémy na báze obvodov FPGA

2004/2005

Pavol Galajda, KEMT, FEI, TUKE

Pavol.Galajda@tuke.sk

1 Úvod do ASIC- teoretický základ

- 1.1 Základné pojmy
- 1.2 Historický vývoj a rozdelenie IO
- 1.3 Typy PLD obvodov
 - SPLD
 - CPLD
 - FPGA
- 1.4 Ekonomické aspekty
 - Porovnanie ASIC technológií
- 1.5 ASIC verzus FPGA – migrácia, prechod ku ASIC

2 Metodika návrhu PLD

- 2.1 Činnosť pred započatím návrhu
- 2.2 Rozdelenie CAD nástrojov
- 2.3 Modely pre metódy návrhu systémov
 - metóda „vodopád“
 - metóda „špirála“
- 2.4 Etapy návrhu číslicových systémov s obvody FPD

Typický vývojový cyklus pri návrhu- vývojový proces požadovaného produktu

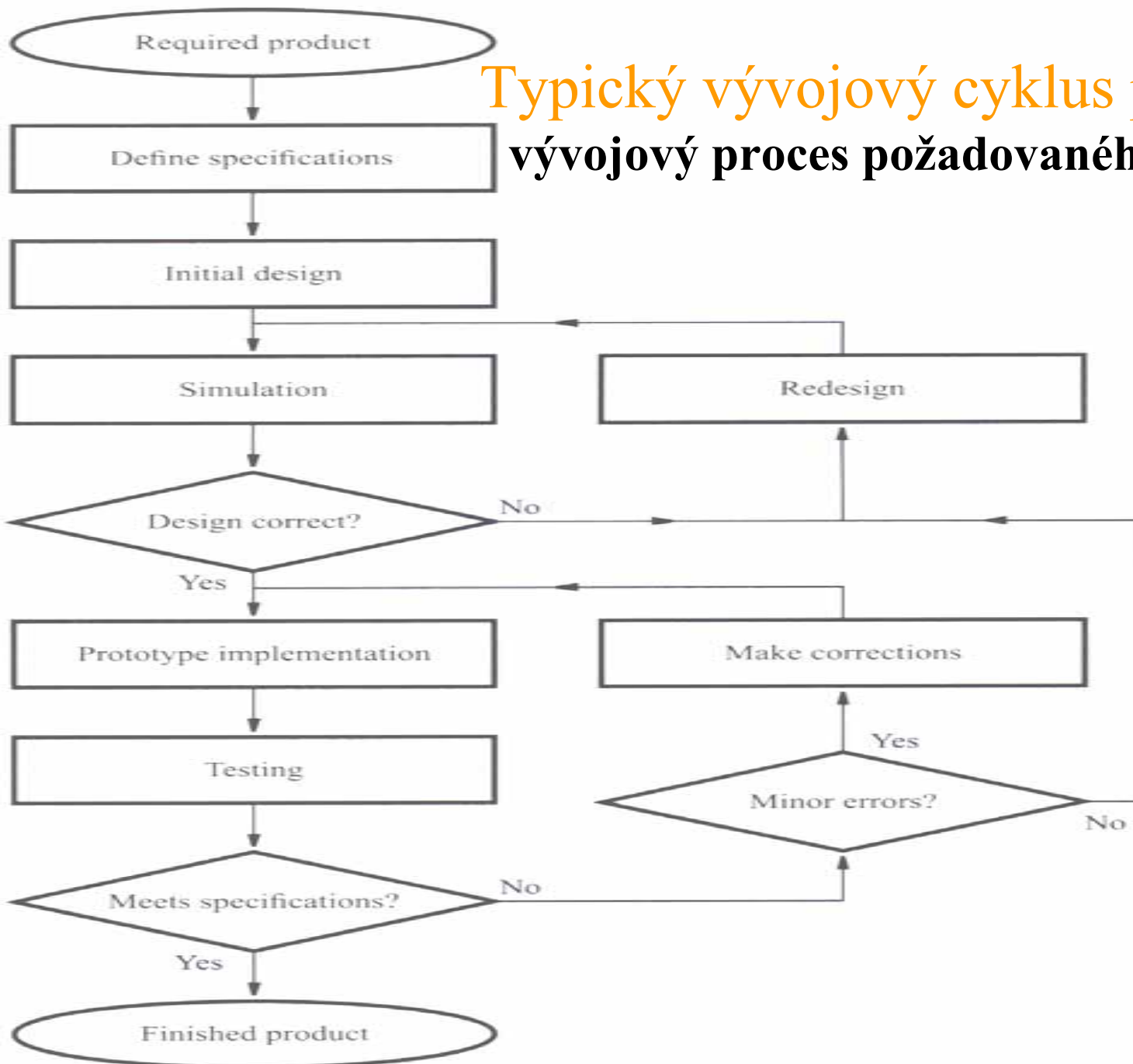


Diagram návrhu ASIC obvodov

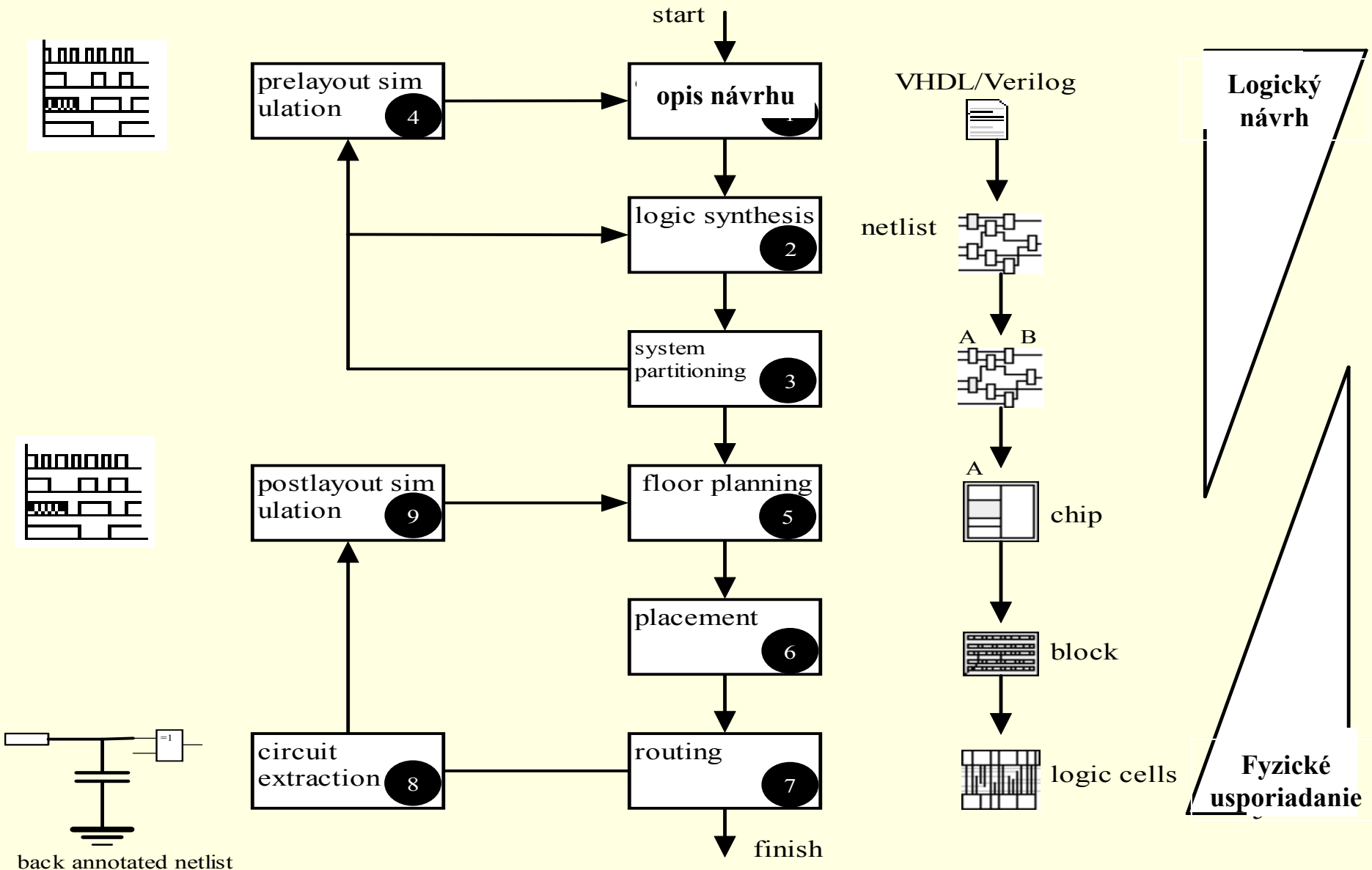
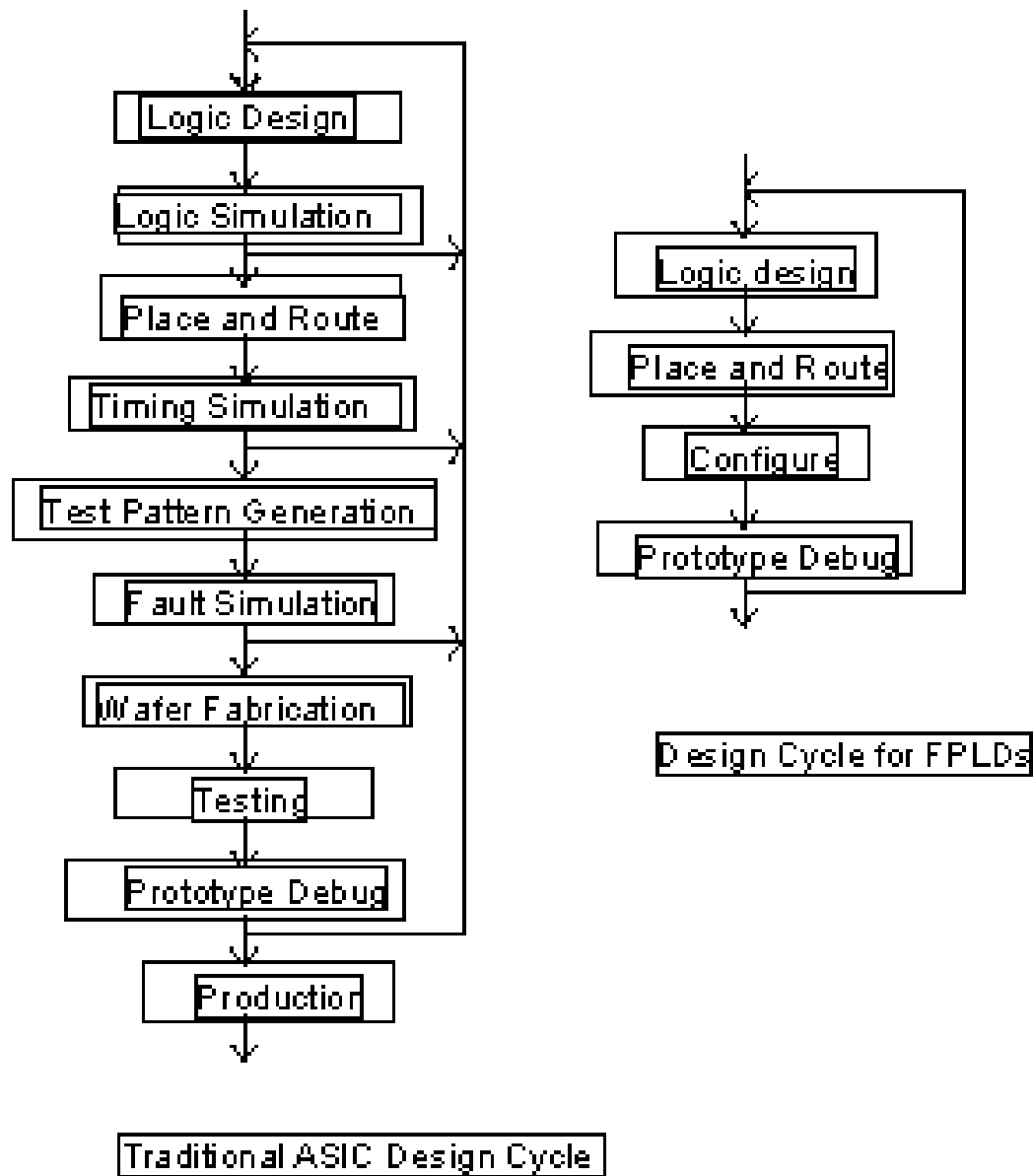
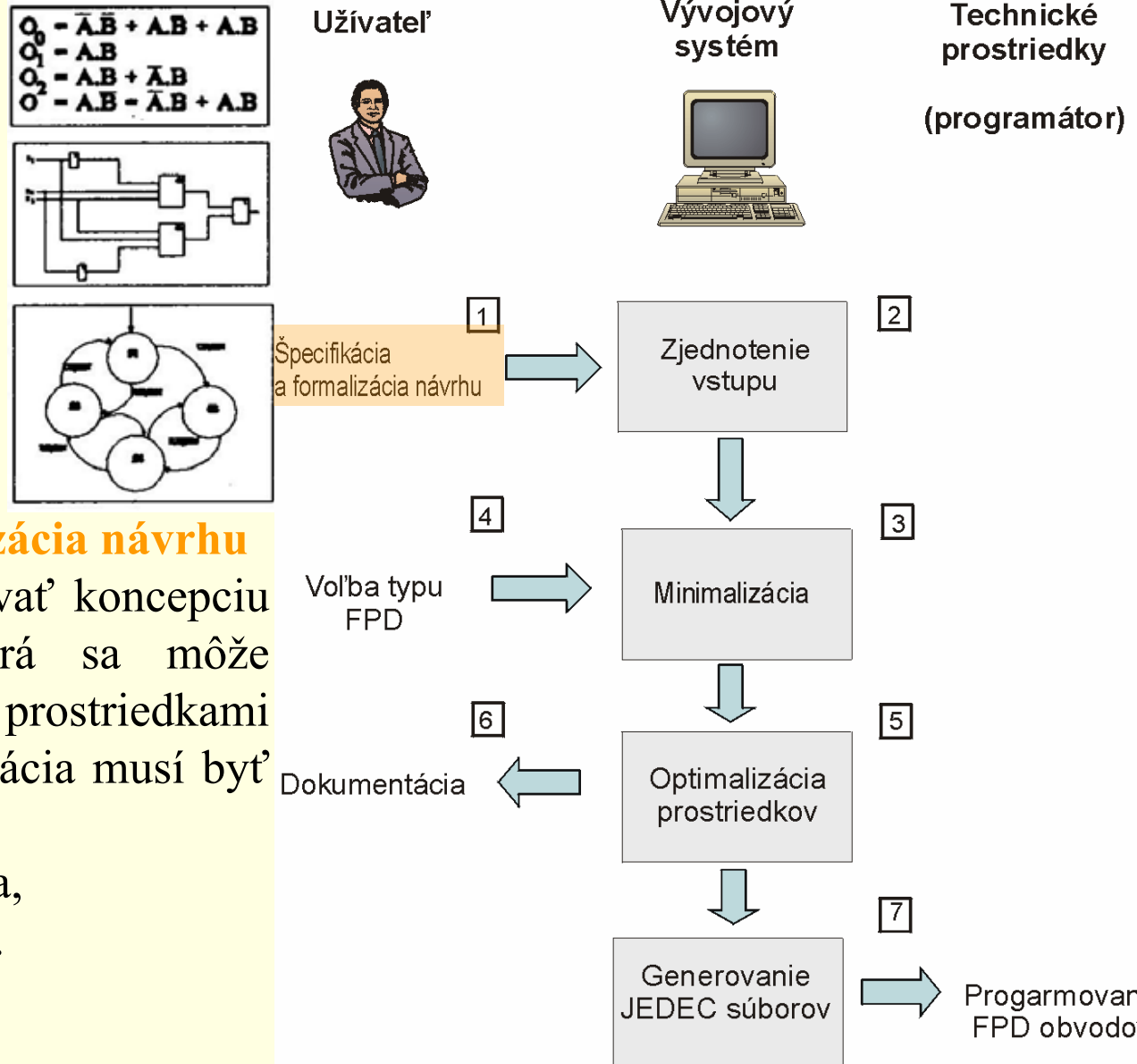


Diagram návrhu ASIC & FPGA obvodov



2.4 Etapy návrhu číslicových systémov s obvodmi FPD



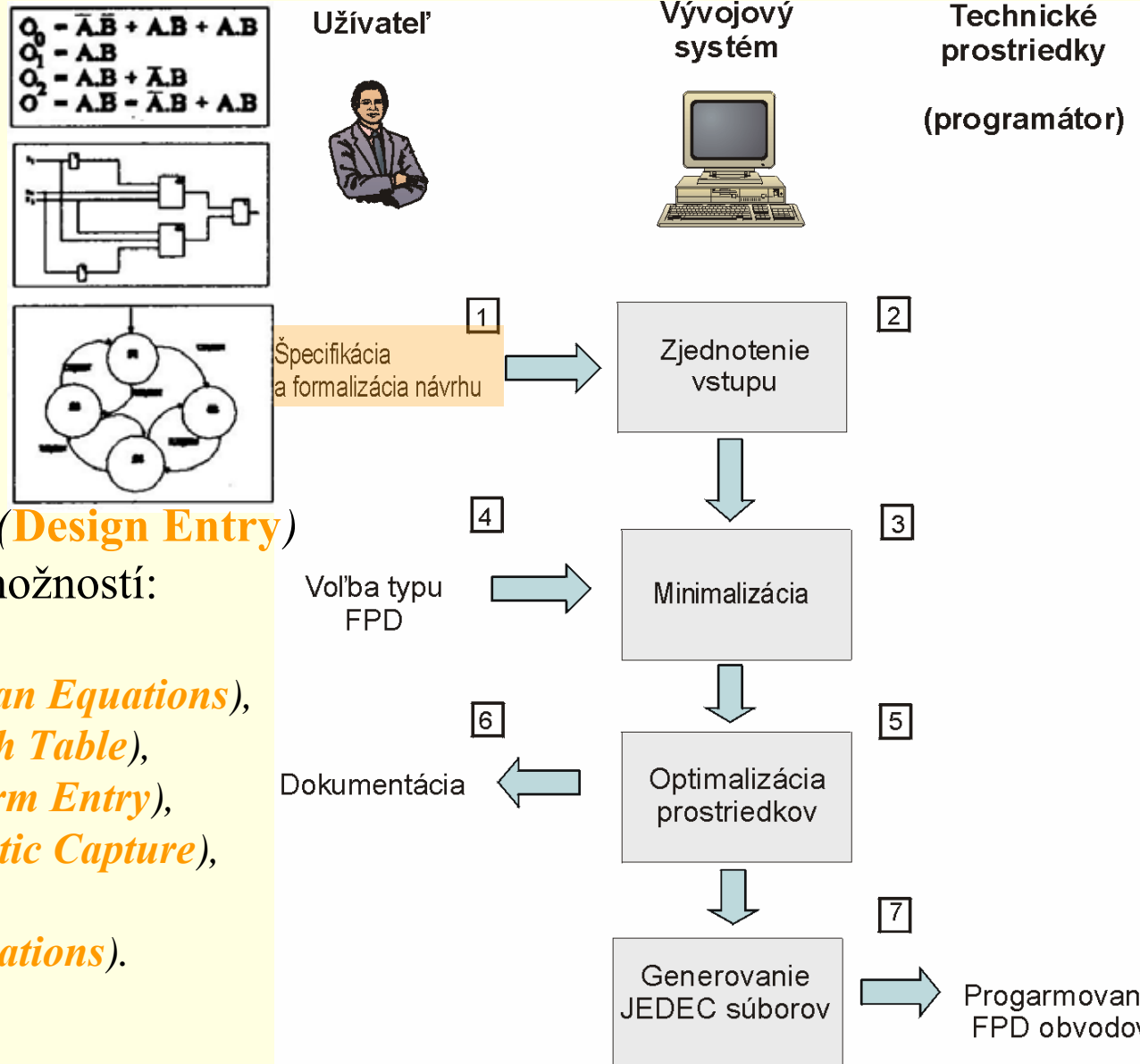
1. Špecifikácia a formalizácia návrhu

Návrhár musí transformovať koncepciu návrhu do formy, ktorá sa môže spracovať návrhovými prostriedkami (CAE). Formálna špecifikácia musí byť zrozumiteľná:

- pre človeka- návrhára,
- pre návrhový systém.

12. 3. 2005

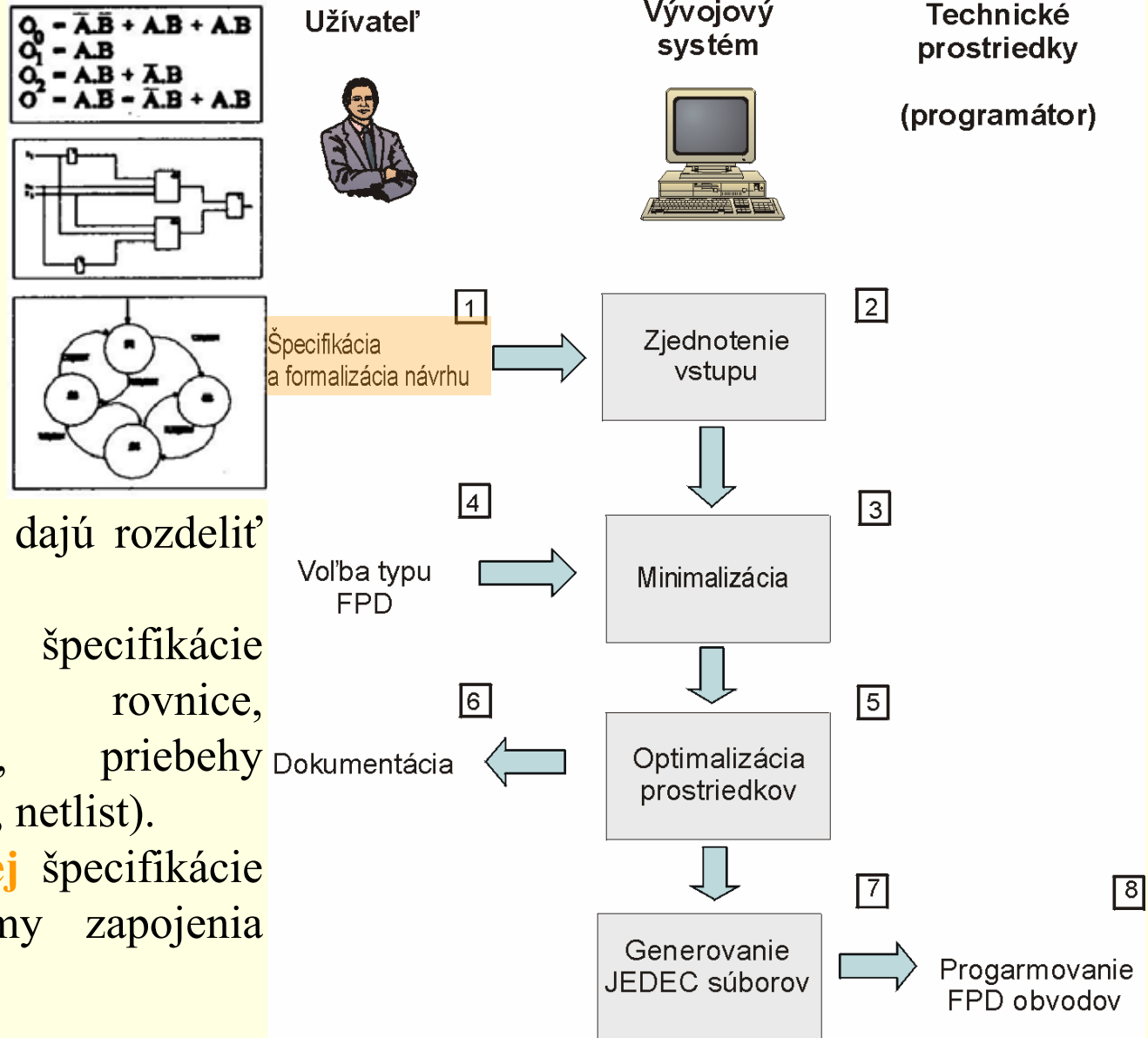
2.4 Etapy návrhu číslicových systémov s obvodmi FPD



Na formálny opis návrhu (**Design Entry**) je k dispozícii niekoľko možností:

- Booleovské rovnice (**Boolean Equations**),
- Pravdivostná tabuľka (**Truth Table**),
- Priebehy signálov (**Waveform Entry**),
- Schéma zapojenia (**Schematic Capture**),
- Netlist (**NetList Entry**),
- Stavové rovnice (**State Equations**).

2.4 Etapy návrhu číslicových systémov s obvodmi FPD



Možnosti špecifikácie sa dajú rozdeliť do dvoch skupín:

Prostriedky **funkčnej** špecifikácie návrhu (booleovské rovnice, pravdivostná tabuľka, priebehy signálov, stavové rovnice, netlist).

Prostriedky **štrukturálnej** špecifikácie návrhu (grafické schémy zapojenia cieľového obvodu).

2.4 Etapy návrhu číslicových systémov s obvodmi FPD

Prostriedky **funkčnej špecifikácie** sú typicky znakovito orientované prostriedky. Vlastnosti funkčných prostriedkov špecifikácie sú:

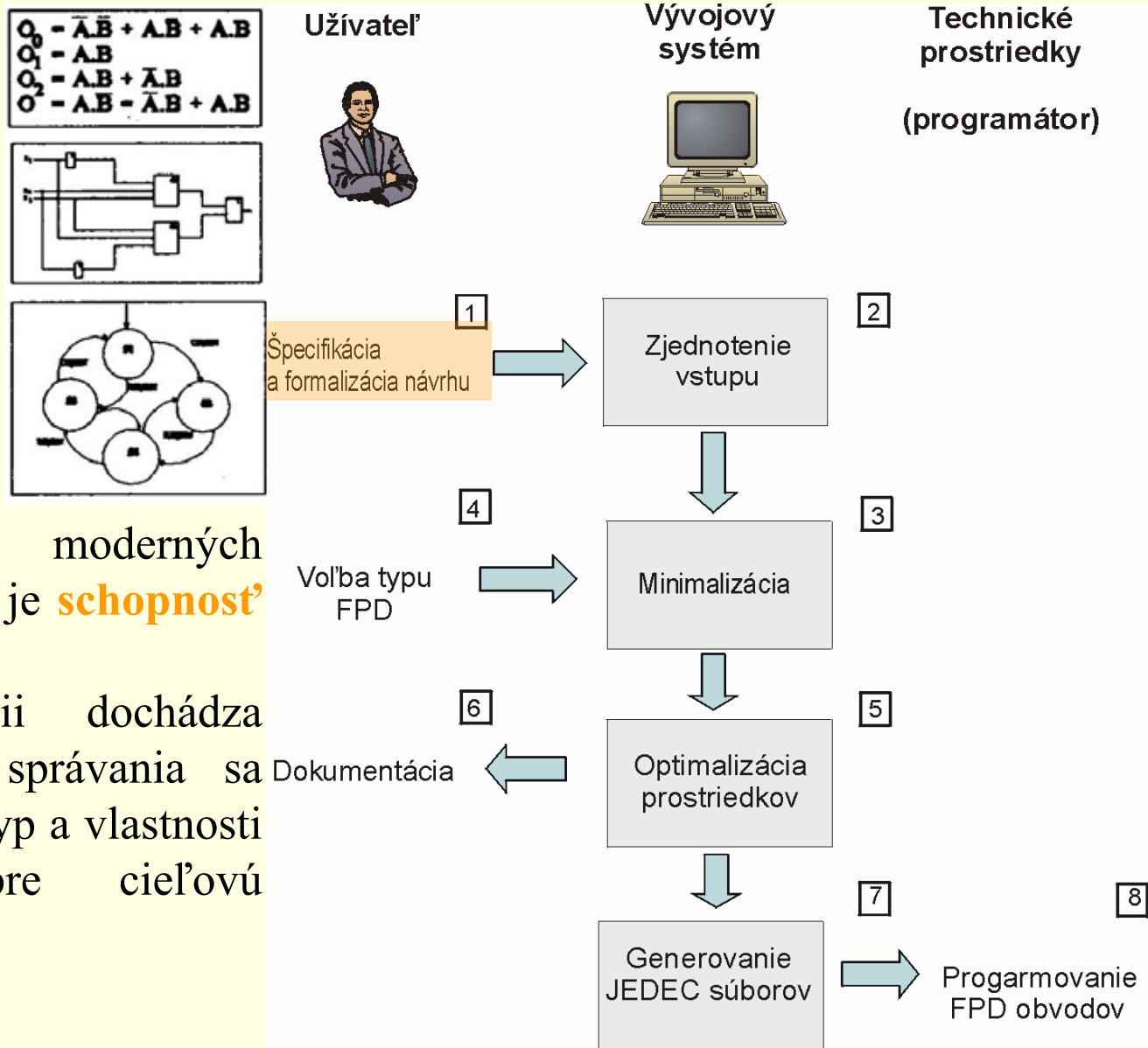
- nezávislosť na implementovanom obvode a jeho technológii, t.j. možnosť špecifikovať návrh bez znalostí technických detailov cieľového obvodu,
- použitie vyššie úrovňového jazyka (VHDL, Verilog HDL ...), ktorý obsahuje aritmetické a relačné operátory, booleovské rovnice, pravdivostné tabuľky a stavové rovnice,
- interaktívnosť pri používaní. HDL jazyky umožňujú syntaktickú kontrolu, jednoduché editovanie návrhu a možnosť simulácie.

2.4 Etapy návrhu číslicových systémov s obvodmi FPD

Prostriedky **štrukturálnej špecifikácie** t.j. možnosť špecifikovať návrh prostredníctvom schémy zapojenia. Návrhár načrtne schému budúceho číslicového systému prostredníctvom vhodného grafického editora. K základným vlastnostiam nástrojov štrukturálnej špecifikácie patrí:

- podpora tvorby návrhov pomocou knižnice symbolov, ktorá obsahuje grafické symboly logických obvodov ako sú hradla AND, OR, NAND, KO- D, T, JK, RS a iné,
- možnosť rozdeliť návrh do menších celkov, ktoré sú ľahko realizovateľné jedným čipom obvodu FPD,
- hierarchický návrh, ktorý umožňuje rozdeliť návrh do niekoľkých logických úrovní,

2.4 Etapy návrhu číslicových systémov s obvodmi FPD



Významnou vlastnosťou moderných prostriedkov špecifikácie je **schopnosť funkčnej** simulácie.

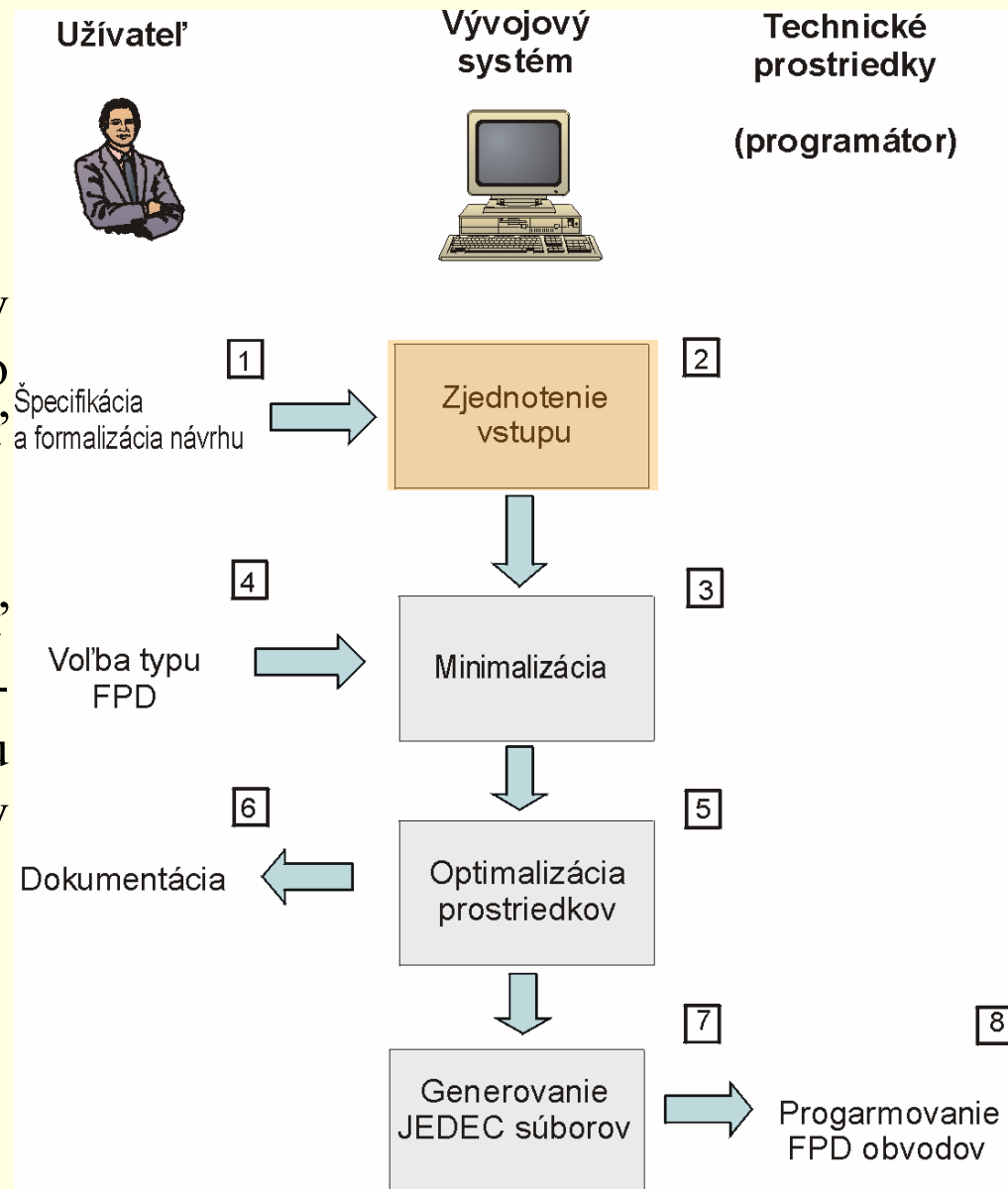
Pri funkčnej simulácii dochádza k simulácii logického správania sa systému, bez ohľadu na typ a vlastnosti obvodu určeného pre cieľovú implementáciu.

2.4 Etapy návrhu číslicových systémov s obvodmi FPD

2. Zjednotenie vstupov

Rôzne formalizované opisy navrhovaného systému alebo jeho jednotlivých častí je potrebné zjednotiť na spoločnú platformu.

Úlohou tejto etapy je teda zjednotiť rôzne vstupné špecifikácie do jedinej - základnej vstupnej špecifikácie. Tú potom akceptujú ďalšie etapy spracovania a realizácie návrhu.

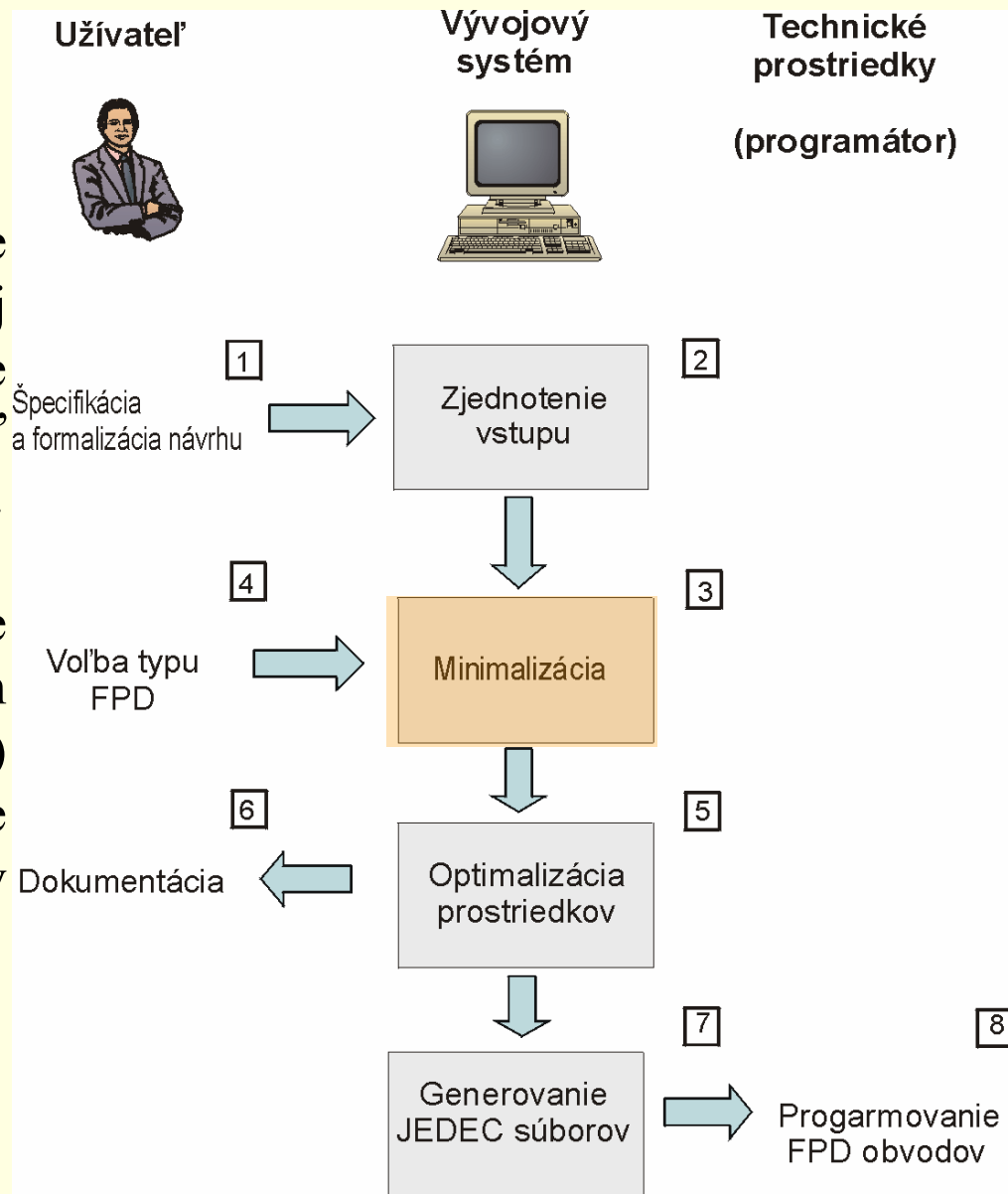


2.4 Etapy návrhu číslicových systémov s obvodmi FPD

3. Minimalizácia

Cieľom procesu minimalizácie je hľadať najjednoduchší zápis logickej funkcie. Pritom sa očakáva, že najjednoduchší zápis bude zodpovedať aj najjednoduchšej technickej realizácii.

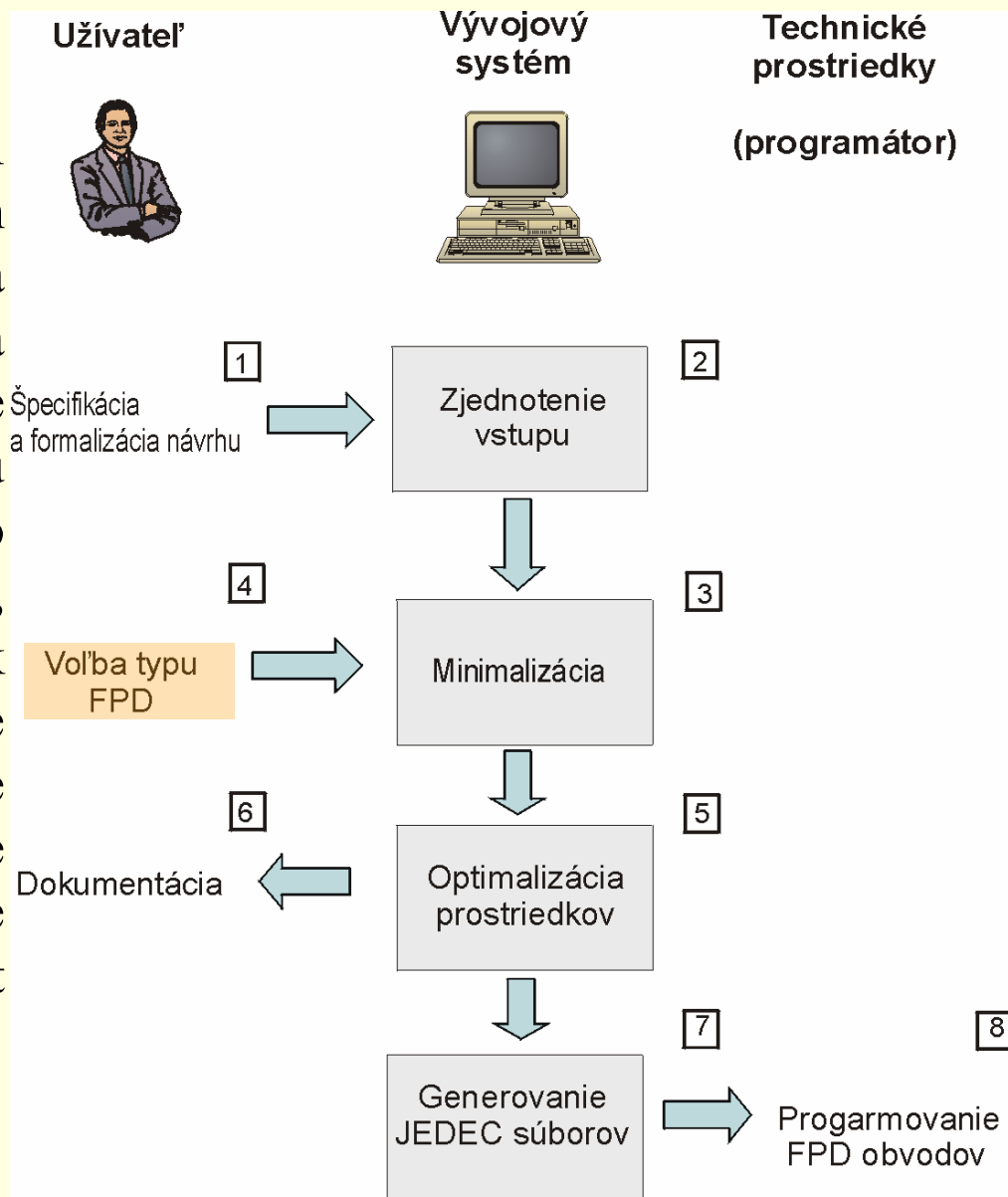
(napr. proces minimalizácie transformuje množinu logických funkcií (booleovských rovníc) v súčtovom tvare do menšej, ale plne funkčnej ekvivalentnej množiny logických funkcií).



2.4 Etapy návrhu číslicových systémov s obvodmi FPD

4. Voľba typu obvodu FPD

V predchádzajúcich etapách prebiehal návrh nezávisle od toho, akým typom konfigurovateľného logického poľa bude návrh implementovaný. Každá architektúra obvodov FPD má svoje špecifiká, ktoré ovplyvňujú transformáciu realizovaného návrhu do “programovacieho“ (JEDEC) súboru, ktorý slúži ako univerzálny prostriedok na opis ako realizovať vlastné naprogramovanie obvodu. V tejto etape teda vyberáme typ obvodu FPD a ak je to možné, tak pristupujeme aj k voľbe ďalších vlastností (napr. počet použitých vývodov).

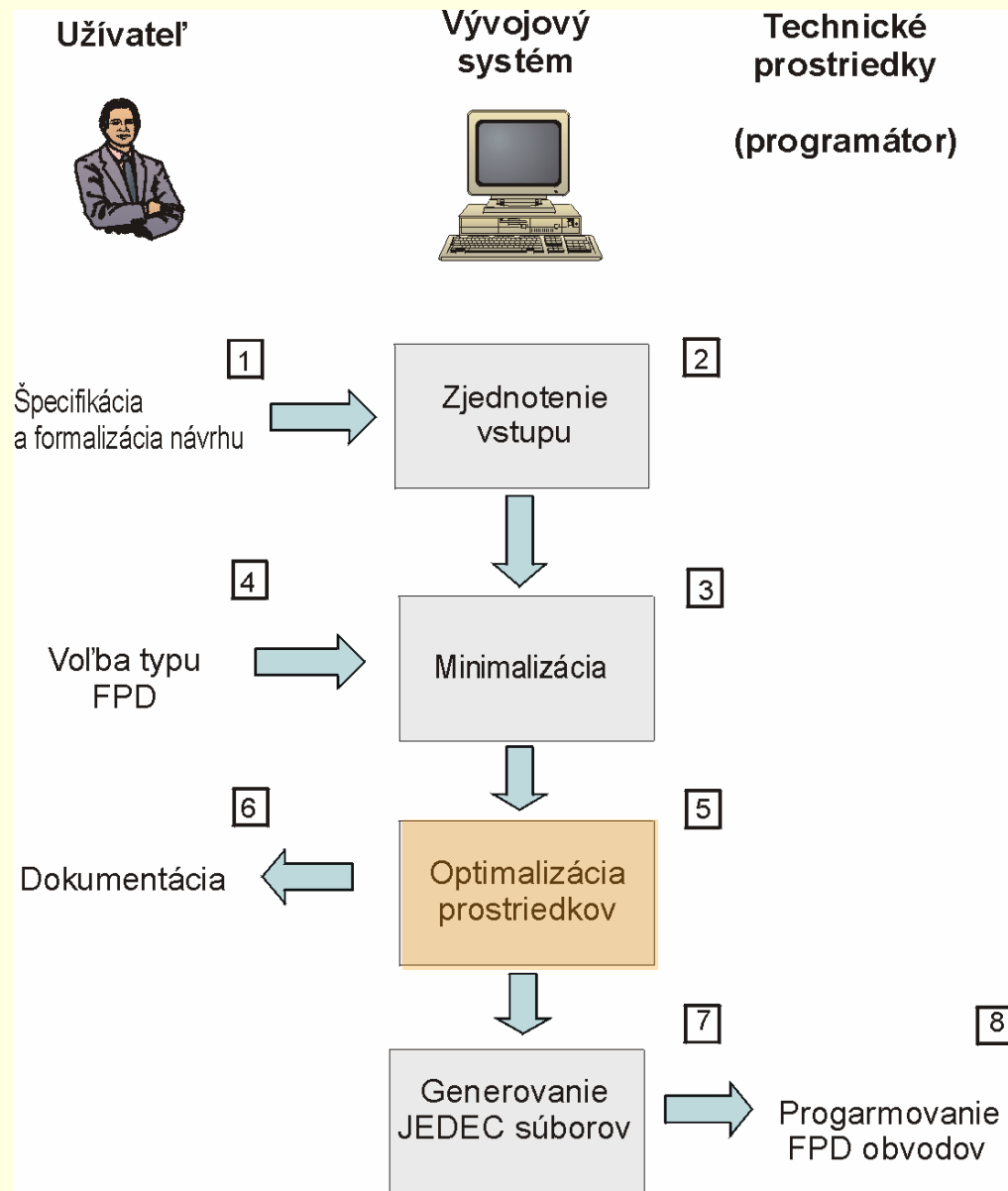


2.4 Etapy návrhu číslicových systémov s obvodmi FPD

5. Optimalizácia použitých prostriedkov

Úlohou tejto etapy je prispôbiť návrh tak, aby boli čo najefektívnejšie využité vlastnosti zvolenej architektúry obvodu FPD.

Kritérium efektivity je minimalizácia spotreby zdrojov (I/O vývody, registre, počet a typ makrobuniek,...), ktoré obvod poskytuje.

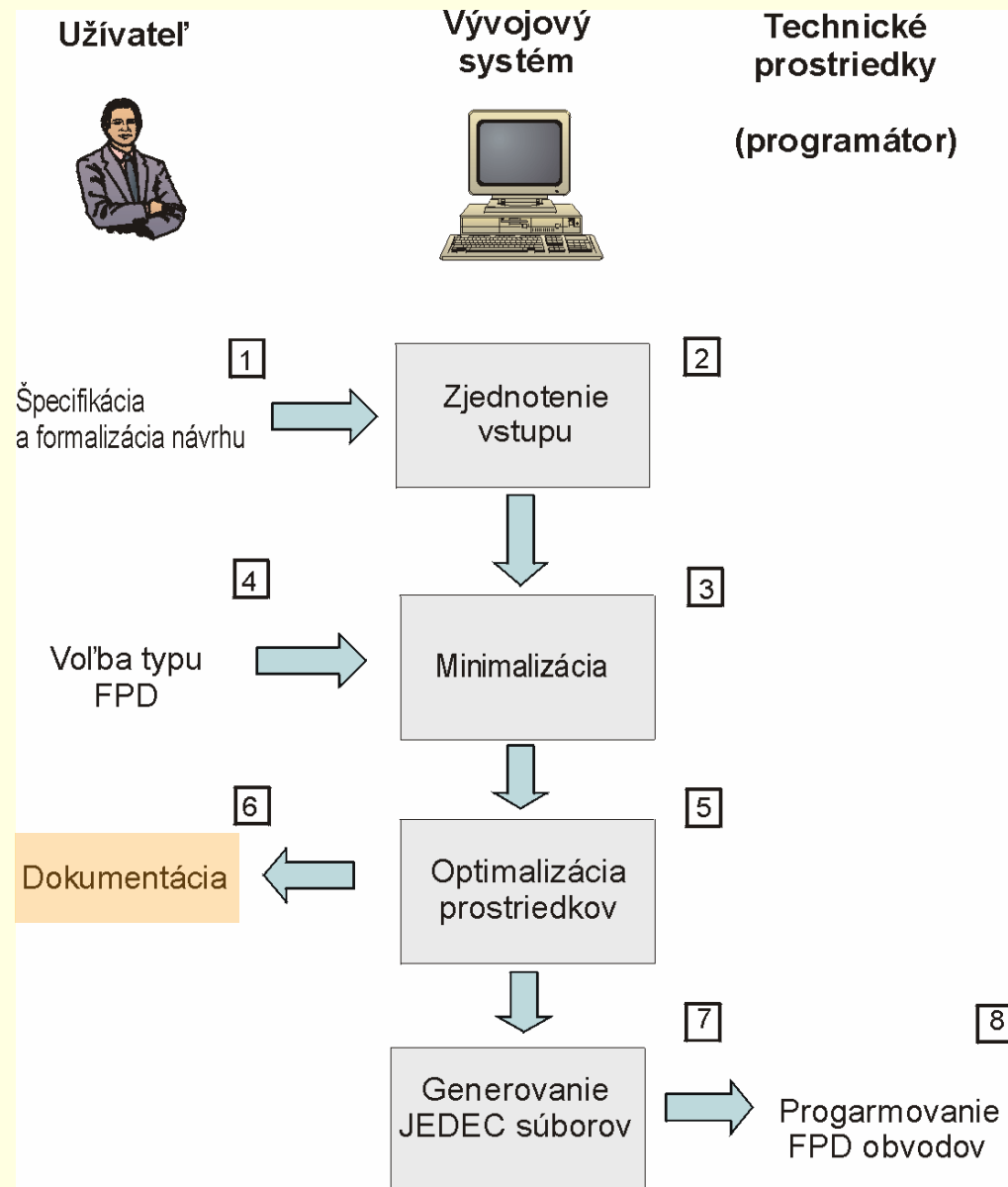


2.4 Etapy návrhu číslicových systémov s obvodmi FPD

6. Dokumentácia

V tejto etape je generovaná podrobná dokumentácia návrhu.

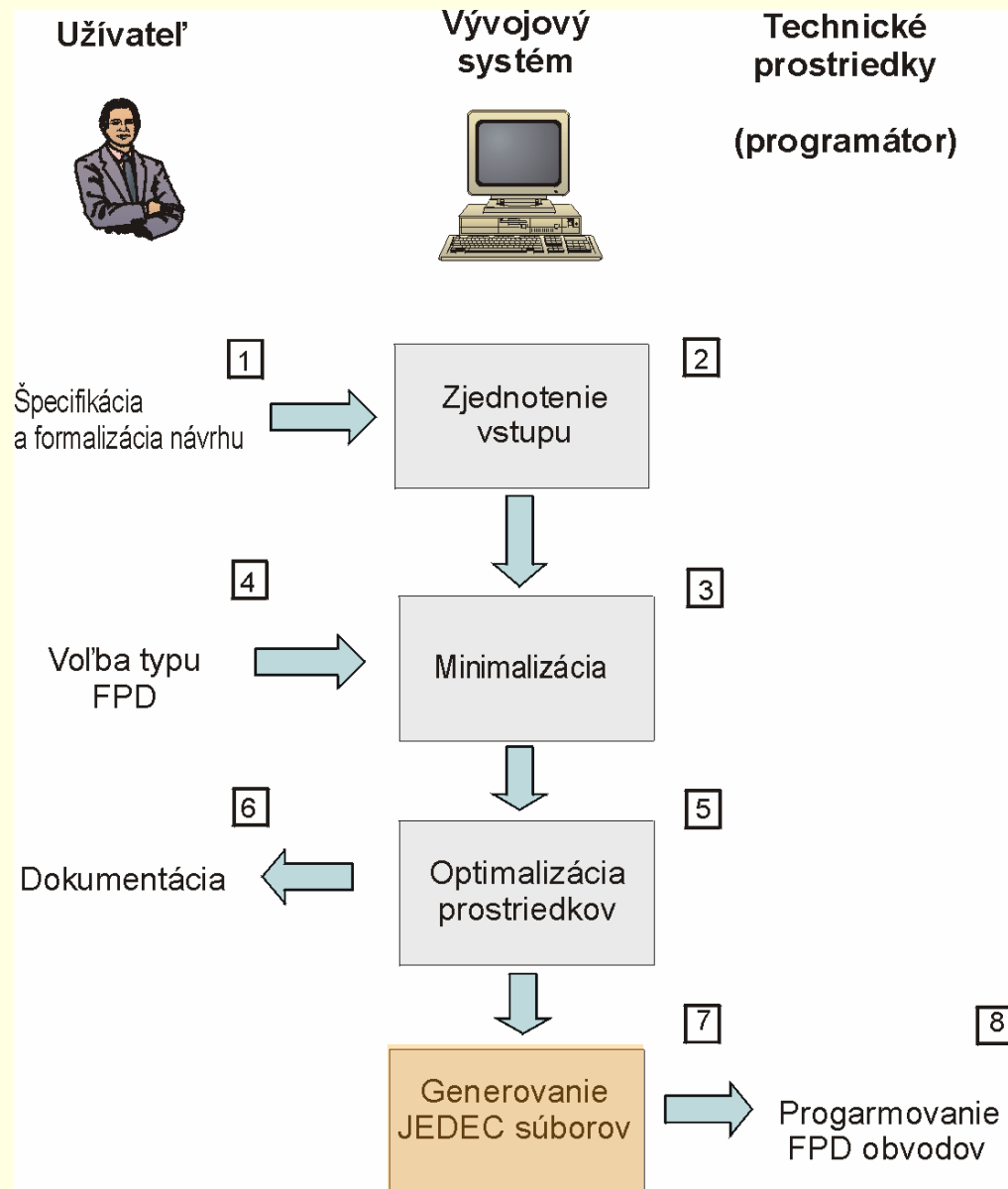
Užívateľ má možnosť analyzovať doterajší priebeh návrhu a prípade ho prerušiť, vykonať zmeny pomocou prostriedkov prvej etapy a začať znovu.



2.4 Etapy návrhu číslicových systémov s obvodmi FPD

7. Generovanie „programovacieho“ súboru návrhovým systémom

Generovanie súboru ktorý umožňuje naprogramovanie obvodu FPD špecializovaným programátorom príslušného výrobcu.

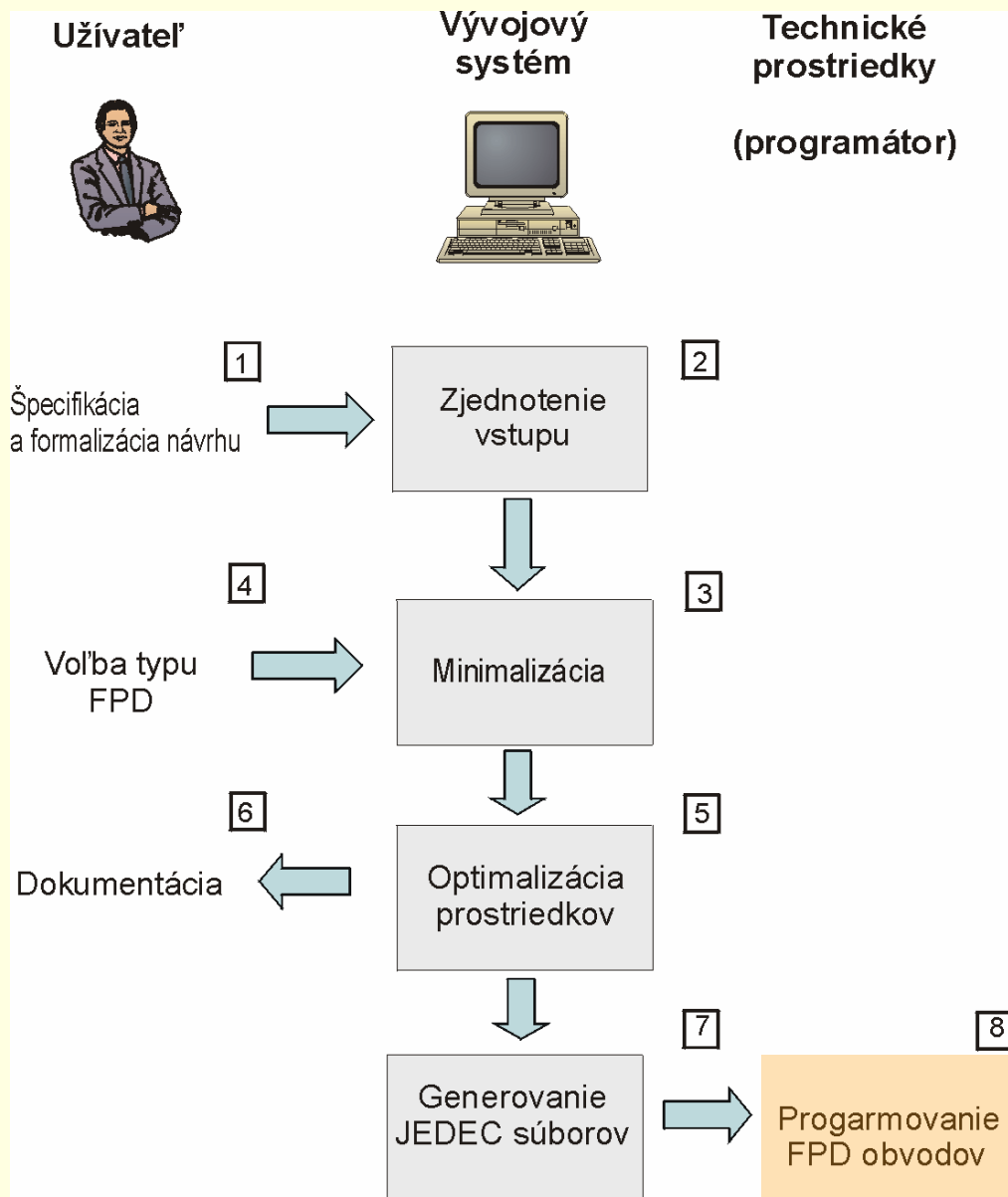


2.4 Etapy návrhu číslicových systémov s obvodmi FPD

8. Programovanie

Bez ohľadu na typ a technológiu akým je obvod FPD vytvorený informácie z JEDEC súboru sa musia nejakým spôsobom preniesť (naprogramovať/ nakonfigurovať) do obvodu.

Tento proces sa vykonáva pomocou vhodného programátora. Proces programovania je riadený programovými prostriedkami.



2.4 Etapy návrhu číslicových systémov s obvodmi FPD

9. Testovanie

Naprogramovanie obvodu FPD je iba čiastkovým úspechom. Úplným úspechom je overenie funkčnej spoľahlivosti.

Cieľom tejto etapy je komplexne preveriť naprogramovaný obvod v podmienkach čo najbližších k cieľovému systému.

Existujú tri základné kategórie testu naprogramovaných obvodov:

- verifikácia programovateľných polí
- testovacie vektory (test bench)
- pseudonáhodné testovanie

3 Klasifikácia PLD z hľadiska technológie výroby

- 3.1 FUSE
- 3.2 EPROM a EEPROM
- 3.3 SRAM
- 3.4 ANTIFUSE
- 3.5 FLASH

3 Klasifikácia PLD z hľadiska technológie výroby

Technológie programovania FPD obvodov

Uvedený popis sa netýka technológie výroby (bipolárnej, alebo CMOS technológie), ale programovacích metód PLD obvodov. Všetky obvody PLD sú vyrobené z kombinácie prepojuvacích polí základných hradiel, KO alebo konfigurovateľných logických blokov- makrobuniek.

Programovateľné spínače vytvárajú pole ktoré prepája logické obvody a tým umožňuje implementovať požadovanú logickú funkciu.

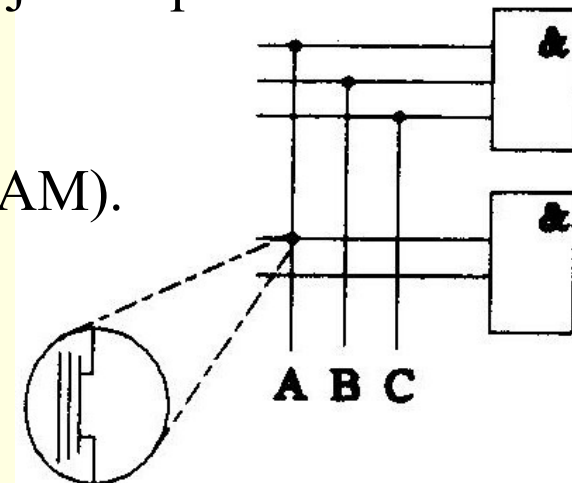
Užívateľ, v závislosti na požadovanej logickej funkcii, určí v etape programovania obvodu PLD ktoré z prepojení budú nastavené a ktoré nie.

3.1 FUSE

Prvý krát bolo programovateľné prepojenie použité v obvodoch **PLA**, kde bol realizovaný ako tavná poistka—*fuse* (OTP). Táto technológia nieje v súčasnosti významná aj keď sa stále používa a bola nahradená novšími technológiami programovania.

Programovateľnosť jednotlivých prepojení je zabezpečená použitím prepojovacích spínačov (Logic Control Element) realizovaných na báze rôznych technológií:

- pevné prepojenie (fuse) programované jeho pretavením (PROM),
- EPROM, EEPROM spínač,
- spínač na báze statickej pamäťovej bunky (SRAM).



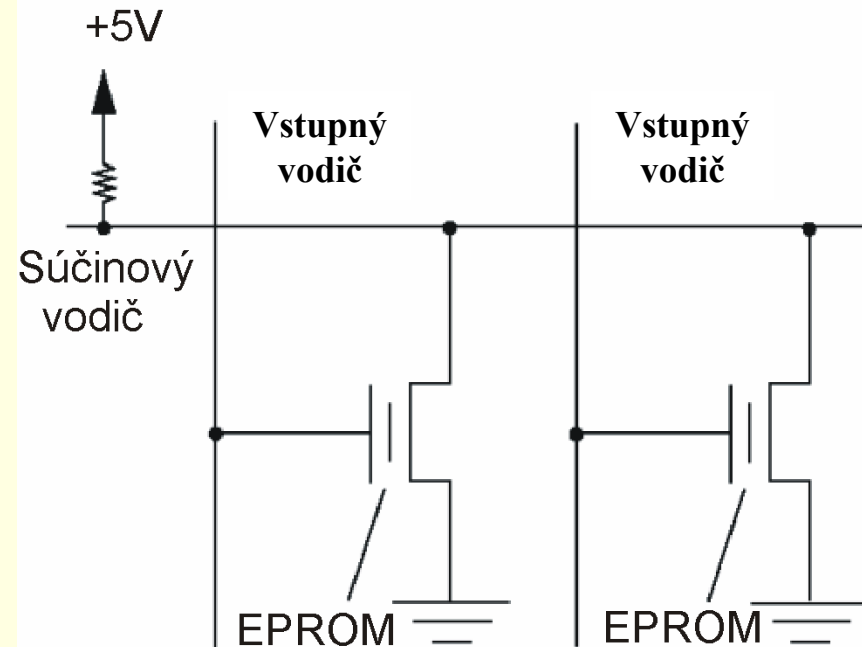
3.2 EPROM a EEPROM

V prípade CPLD obvodov je najvýznamnejšou technológiou vytvárania prepojení, technológia ktorá využíva tranzistory s plávajúcím hradlom. Rozlišujeme dve technológie:

- **EPROM** (Erasable Programmable Read-Only Memory)
- **EEPROM** (Electrically Erasable PROM)

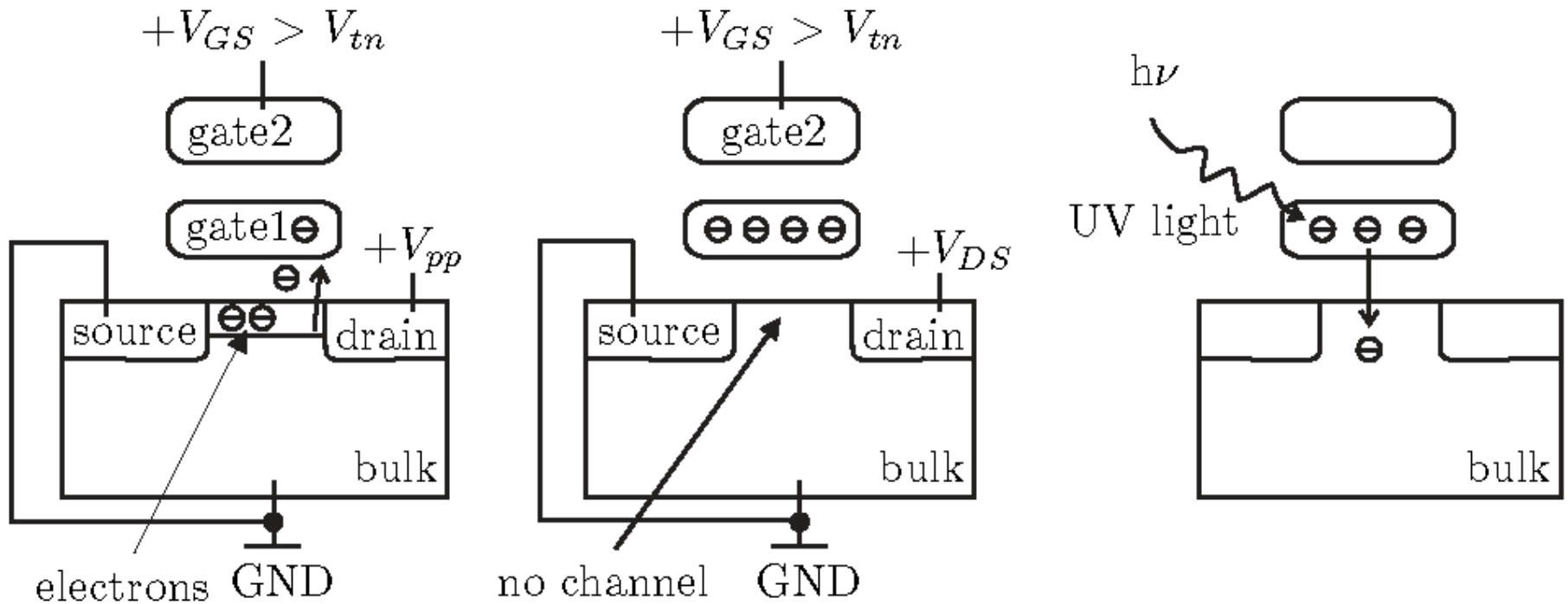
V CPLD obvodoch (a mnohých SPLD obvodoch) je EPROM alebo EEPROM tranzistor (použitý vo funkcii programovateľného spínača) umiestnený medzi dva vodiče a umožňuje realizovať funkciu montážneho súčinu .

Na obr. je príklad zapojenia EPROM (EEPROM) tranzistorov v matici AND v CPLD obvodoch. Vstup do matice AND môže prostredníctvom EPROM tranzistora nastaviť súčinový vodič na logickú úroveň 0, ak je tento vstup súčasťou príslušného súčinového termu. Pre vstupy ktoré nie sú súčasťou súčinového termu, je príslušný EPROM tranzistor naprogramovaný, ako permanentne zavretý.



3.2 EPROM a EEPROM

Bunka EPROM je takmer tak malá ako antifuse. EPROM tranzistor vyzerá podobne ako obyčajný MOS tranzistor, má však navyše druhé plávajúce hradlo (gate1). Programovaním (pripojením programovacieho napätia $V_{pp} > 12V$ na kolektor EPROM tranzistora s n-kanálom) dochádza k lavínovej injekcii elektrónov (Floating Avalanche Injection MOS- FAMOS) a hradlo sa nabije a zvyšuje tak prahové napätie EPROM tranzistora s n-kanálom.



(a)

(b)

(c)

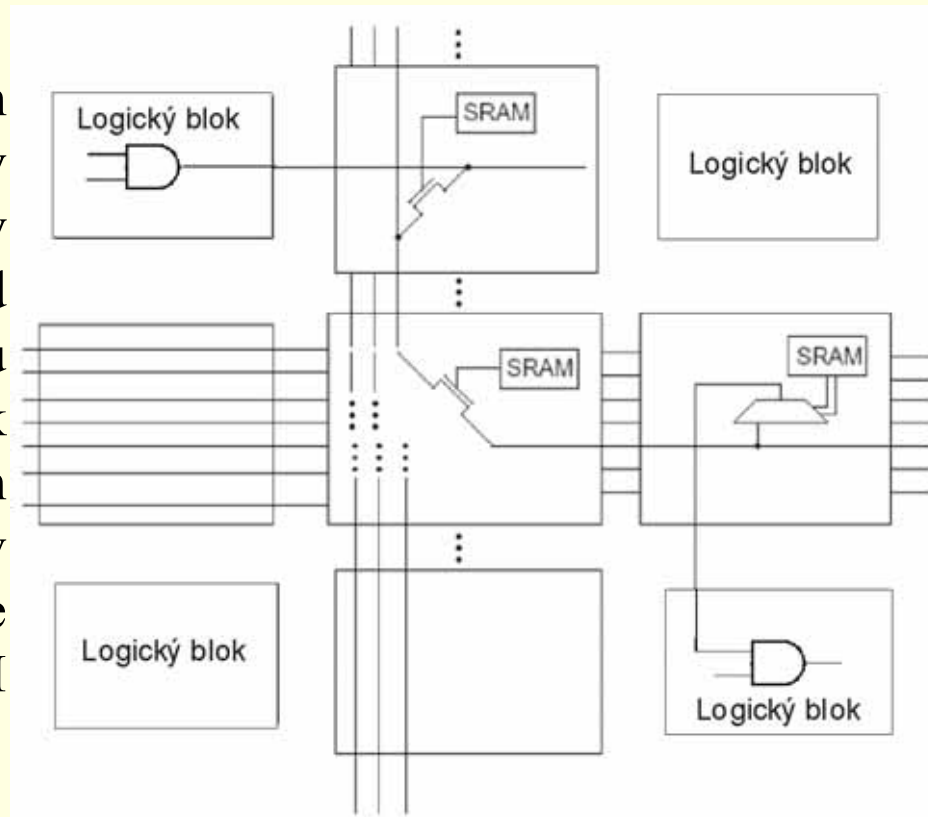
3.3 SRAM

Hoci z hľadiska technológie nie je dôvod prečo by EPROM a EEPROM technológia nemohla byť použitá v FPGA obvodoch, súčasne komerčne vyrábané FPGA sú realizované na:

- SRAM, alebo
- antifuse technológií.

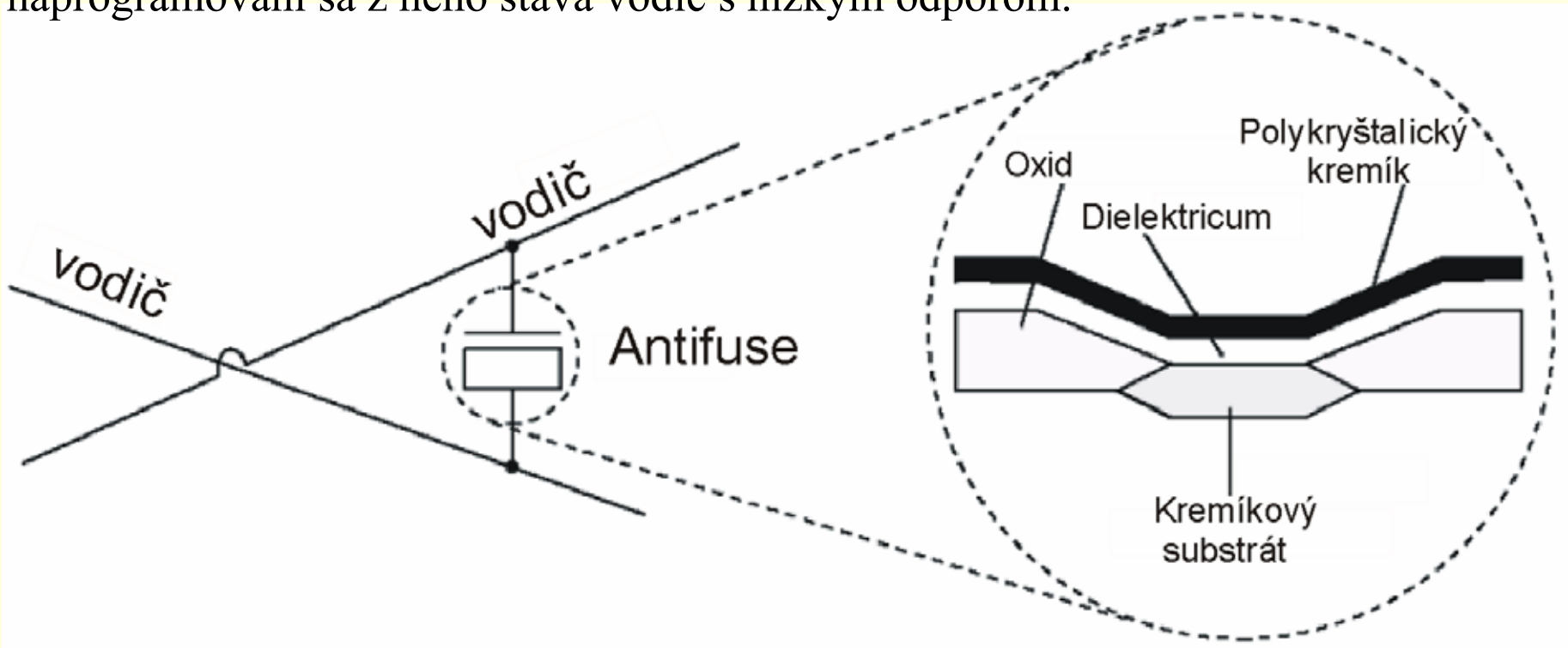
Príklad riadenia programovateľných prepojení prostredníctvom **SRAM** je na obr. Sú tu uvedené dve aplikácie.

Aplikácia, ktorá riadi hradlá spínacích tranzistorov a aplikácia ktorá vyberá riadky multiplexorov, ktoré riadia vstupy logických blokov. Obr. uvádza príklad pripojenia jedného logického bloku (reprezentovaného AND hradlom) k druhému prostredníctvom dvoch prechodových spínacích tranzistorov a multiplexera, pričom celý proces je riadený hodnotami zapísanými v SRAM bunkách.



3.4 ANTIFUSE

Ďalším typom programovateľných spínačov používaných v FPGA obvodoch je *antifuse*. Antifuse (programovateľná prepojka) v nenaprogramovanom stave má veľký odpor, teda je rozpojená. Programovaním znížime odpor tak, že prepojkou bude prechádzať signál. Antifuse sú vyrábané modifikovanou CMOS technológiou. Táto technológia je znázornená na obr. Antifuse je umiestnená medzi dva prepojovacie vodiče. Skladá sa z troch úrovní: hornú a dolnú tvorí vodič a v strede je izolant. V nenaprogramovanom stave izolant izoluje hornú a dolnú vrstvu. Pri naprogramovaní sa z neho stáva vodič s nízkym odporom.



3.5 FLASH

FLASH – elektrický mazateľné a programovateľné ROM.

FLASH:

- majú výhodu EEPROM- môžu byť elektrický mazateľné,
- majú menšiu a úspornejšiu veľkosť bunky podobne ako EPROM technológia.

Prehľad technológií programovania FPD obvodov

Typ spínača	Reprogramo- vateľnosť	Energetická závislosť	Technológia
SRAM	Áno v obvode	Áno	CMOS
EPROM	Áno mimo obvodu	Nie	UVCMOS
EEPROM	Áno v obvode	Nie	EECMOS
FUSE	Nie	Nie	Bipolárna
ANTIFUSE	Nie	Nie	CMOS+

4 Architektúry a typy číslicových obvodov SPLD

- 4.1 Obvody PLD (Programmable Logic Device)
- 4.2 Obvody PAL (Programmable Array Logic)
- 4.3 Obvody GAL (Generic Array Logic)
- 4.4 Obvody PLA (Programmable Logical Arrays)

4 Architektúry a typy číslicových obvodov SPLD

SPLD sú rýchle a najmenšie obvody a teda aj najlacnejšie z rodiny programovateľných obvodov.

SPLD obsahujú 4 až 22 makrobuniek a väčšinou nahrádzujú systémy ktoré sú realizované niekoľkými TTL obvodmi 7400.

Každá z makrobuniek je úplne prepojená s ostatnými makrobunkami v obvode.

Väčšina SPLD používa buď technológiu pevných prepojení (fuse), alebo technológiu energeticky nezávislých buniek EPROM, EEPROM alebo FLASH.

5 Architektúry a typy číslicových obvodov CPLD

- 5.1 EPLD (Erasable Programmable Logic Device)
- 5.2 EEPLD (Electrically Erasable Programmable Logic Device)
- 5.3 MAX (Multiple Array matrix, Altera)
- 5.4 PEEL (Programmable Electrically- Erasable Logic)

5 Architektúry a typy číslicových obvodov CPLD

Obvody CPLD sú v podstate rovnaké ako SPLD obvody, ale rozdiel ako aj výhoda CPLD obvodov spočíva vo vyššej logickej kapacite CPLD obvodov a ich dokonalejšej štruktúre.

Tieto obvody sú typické tým, že obsahujú desať až niekoľko sto makrobuniek. Osem až šestnásť vzájomne prepojených makrobuniek je spojených do vyšších funkčných blokov. Funkčné bloky sú tiež vzájomne prepojené prostredníctvom programovateľnej prepojovacej matice, ale nie všetky CPLD obvody majú navzájom prepojené všetky funkčné bloky—záleží to od špecifikácie výrobcu a rodiny obvodov.

CPLD sa môžu vyrábať jednou z týchto troch technológií: EPROM, EEPROM alebo FLASH. Niektoré z CPLD rodín, ktoré využívajú EEPROM alebo FLASH sa navrhujú tak, aby boli programované v systéme (In- System Programmable - ISP), čo znamená, že obvod môže byť programovaný na doske plošného spoja spoločne s inými súčiastkami.

5.3 MAX (Multiple Array matrix, Altera)

Altera vyvinula tri rodiny CPLD obvodov:

- MAX 5000
- MAX 7000
- MAX 9000

Bližšie sa budeme venovať rodine obvodov MAX 7000.

MAX 5000 reprezentuje staršiu technológiu, jej výhoda však spočíva v cenovej dostupnosti.

MAX 9000 je v podstate rovnaká ako MAX 7000, ale poskytuje vyššiu logickú kapacitu.

5.3 MAX (Multiple Array matrix, Altera)

Obr. ukazuje základnú architektúru rodiny obvodov MAX 7000, ktorá sa skladá z polí logických blokov (Logic Array Blocks - LAB) a zo sústavy prepojovacích vodičov, ktorú budeme nazývať *programovateľné prepojovacie pole* (Programmable Interconnect Array – PIA). PIA môže navzájom prepájať vstupy alebo výstupy medzi jednotlivými LAB. Vstupy a výstupy čipu sa pripájajú priamo na PIA a LAB. LAB je zložitá logická štruktúra, podobaná SPLD štruktúre, preto môžeme považovať celý čip za pole vytvorené z SPLD obvodov.

